数据手册

MM32F0120

基于 Arm® Cortex®-M0 内核的 32 位微控制器

Revision: 0.91

灵动微电子有权在任何时间对此文件包含的信息（包括但不限于规格与产品说明）做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

1 总览 1

1.1 概述 1

1.2 主要特点 1

2 订购信息 4

2.1 订购表 4

2.2 丝印 5

2.3 产品命名规则 6

3 功能描述 7

3.1 系统框图 7

3.2 内核简介 8

3.3 总线简介 8

3.4 存储器映像 8

3.5 Flash 9

3.6 Data Flash 9

3.7 SRAM 9

3.8 NVIC 9

3.9 外部中断/事件控制器 EXTI 10

3.10 时钟和启动 10

3.11 启动模式 11

3.12 供电方案 11

3.13 供电监控器 12

3.14 电压调压器 12

3.15 低功耗模式 12

3.16 硬件除法器 13

3.17 DMA 13

3.18 定时器和看门狗 13

3.19 RTC 15

3.20 备份寄存器 15

3.21 GPIO 15

3.22 NRST 15

3.23 USART 16

3.24 I2C 16

3.25 SPI 16

3.26 ADC 16

3.27 COMP 16

3.28 CSM 17

3.29 CRC 17

3.30 SWD 17

4 引脚定义及复用功能 18

4.1 引脚分布图 18
4.1.1 LQFP48 引脚分布 18
4.1.2 LQFP32 引脚分布 19
4.1.3 QFN32 5x5 mm2 引脚分布 20
4.1.4 QFN32 4x4 mm2 引脚分布 21
4.1.5 QFN20 引脚分布 22
4.2 引脚定义表 23
4.3 引脚复用 28
5 电气特性 31
5.1 测试条件 31
5.1.1 负载电容 31
5.1.2 引脚输入电压 31
5.1.3 供电方案 31
5.1.4 电流消耗测量 32
5.2 绝对最大额定值 33
5.3 工作条件 33
5.3.1 通用工作条件 33
5.3.2 上电和掉电时的工作条件 34
5.3.3 内嵌复位和电源控制模块特性 35
5.3.4 内置的参照电压 36
5.3.5 供电电流特性 36
5.3.6 外部时钟源特性 39
5.3.7 内部时钟源特性 41
5.3.8 存储器特性 42
5.3.9 EMC 特性 42
5.3.10 功能性 EMS (电气敏感性) 43
5.3.11 I/O 端口特性 44
5.3.12 Timer 定时器特性 46
5.3.13 I2C 接口特性 47
5.3.14 SPI 接口特性 48
5.3.15 USART 接口特性 51
5.3.16 ADC 特性 52
5.3.17 比较器特性 55
5.3.18 CSM 特性 56
6 封装特性 57
6.1 LQFP48 57
6.2 LQFP32 59

6.3 QFN32 5x5 mm2 61
6.4 QFN32 4x4 mm2 63
6.5 QFN20 65

7 修订记录 67

表格

表 2-1 订购表 4
表 3-1 存储器映像 8
表 3-2 不同功耗模式下的外设状态 13
表 3-3 定时器功能比较 14
表 4-1 引脚定义 23
表 4-2 PA 端口功能复用 AF0-AF7 28
表 4-3 PB 端口功能复用 AF0-AF7 29
表 4-4 PC 端口功能复用 AF0-AF7 29
表 4-5 PD 端口功能复用 AF0-AF7 29
表 5-1 电压特性 33
表 5-2 电流特性 33
表 5-3 通用工作条件 34
表 5-4 上电和掉电时的工作条件 34
表 5-5 内嵌复位和电源控制模块特性 35
表 5-6 内置的参照电压 36
表 5-7 运行模式下的典型电流消耗 36
表 5-8 睡眠模式下的典型电流消耗 37
表 5-9 停机模式下的典型和最大电流消耗 (1)(2)(3) 37
表 5-10 内置外设的电流消耗 (1) 38
表 5-11 低功耗模式的唤醒时间 39
表 5-12 高速外部用户时钟特性 39
表 5-13 低速外部用户时钟特性 40
表 5-14 LSE 振荡器特性 (1) 41
表 5-15 HSI 振荡器特性 (1)(2) 41
表 5-16 LSI 振荡器特性 (1) 42
表 5-17 Flash 存储器特性 42
表 5-18 Flash 存储器寿命和数据保存期限 (1) 42
表 5-19 EMS 特性 43
表 5-20 ESD & LU 特性 44
表 5-21 I/O 静态特性 44
表 5-22 输出电压特性 45
表 5-23 I/O 交流特性 (1)(2) 46
表 5-24 TIMx (1) 特性 46
表 5-25 I2C 接口特性 47
表 5-26 SPI 特性(1) 49
表 5-27 USART 特性(1) 51
表 5-28 ADC 特性 52
表 5-29 f_{ADC}=16MHz (1) 时的最大 R_{AIN} 53
表 5-30 ADC 静态参数 (1)(2) 53
表 5-31 比较器特性 (1) 55
表 5-32 CSM 特性 (1) 56
表 6-1 LQFP48 封装尺寸细节 58
表 6-2 LQFP32 封装尺寸细节 60
表 6-3 QFN32 5x5 mm2 封装尺寸细节 62

表 6-4 QFN32 4x4 mm2 封装尺寸细节 64
表 6-5 QFN20 封装尺寸细节 66
表 7-1 修订历史 67

插图

图 2-1 LQFP 和 QFN32 封装丝印 5
图 2-2 型号命名规则 6
图 3-1 系统框图 7
图 3-2 时钟树 11
图 4-1 LQFP48 引脚分布 18
图 4-2 LQFP32 引脚分布 19
图 4-3 QFN32 5x5 mm2 引脚分布 20
图 4-4 QFN32 4x4 mm2 引脚分布 21
图 4-5 QFN20 引脚分布 22
图 5-1 引脚的负载条件 31
图 5-2 引脚输入电压 31
图 5-3 供电方案 32
图 5-4 电流消耗测量方案 33
图 5-5 上电与掉电波形 34
图 5-6 外部高速时钟源的交流时序图 39
图 5-7 外部低速时钟源的交流时序图 40
图 5-8 使用 32.768KHz 晶体的典型应用 41
图 5-9 I/O 交流特性 46
图 5-10 I2C 总线交流波形和测量电路 (1) 48
图 5-11 SPI 时序图从模式，CPHASEL = 1 (1) 50
图 5-12 SPI 时序图主模式，CPHASEL = 1 (1) 51
图 5-13 ADC 静态参数示意图 54
图 5-14 使用 ADC 典型的连接图 54
图 5-15 供电电源和参考电源去耦线路 55
图 6-1 LQFP48 封装尺寸 57
图 6-2 LQFP32 封装尺寸 59
图 6-3 QFN32 5x5 mm2 封装尺寸 61
图 6-4 QFN32 4x4 mm2 封装尺寸 63
图 6-5 QFN20 封装尺寸 65

1 总览

1.1 概述

MM32F0120 微控制器搭载 Arm® Cortex®-M0 内核，最高工作频率可达 72MHz。内置 64KB Flash 存储器、3KB Data Flash 存储器和 8KB SRAM，并集成了丰富的 I/O 端口和外设模块。本产品包含 1 个 12 位的 ADC、1 个比较器、1 个 CSM 通用串行模块、1 个 16 位高级定时器、1 个 16 位通用定时器、3 个 16 位基本定时器和 1 个实时时钟（RTC）模块，还包含标准的通信接口：3 个 USART 接口、1 个 SPI 接口和 1 个 I2C 接口。

本产品系列工作电压为 2.2V ~ 5.5V，工作温度范围（环境温度）包括 -40°C ~ 85°C 的工业型和 -40°C ~ 105°C 的拓展工业型。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 手持设备
- 节点控制
- 屏显控制
- 电动玩具
- 电源管理
- 马达控制
- 无线快充
- 协议转换
- 家电类应用
- 工业类控制

本产品提供 LQFP48、LQFP32 、 QFN32 和 QFN20 封装形式。

1.2 主要特点

- 内核与系统
  - 32-bit Arm® Cortex®-M0
  - 工作频率可达 72MHz
  - 32 位硬件除法器
- 存储器
  - 多达 64KB Flash 存储器
  - 多达 3KB Data Flash 存储器
  - 多达 8KB SRAM
  - Boot loader 支持片内 Flash 在线系统编程（ISP）
- 时钟、复位和电源管理
  - 2.2V ~ 5.5V 供电
  - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
  - 内嵌 144MHz HSI 高速振荡器
  - 内嵌 30KHz LSI 低速振荡器

  - 支持最高 24MHz 外部时钟输入
  - 外部 32.768KHz 低速振荡器
- 低功耗
  - 多种低功耗模式，包括：睡眠（Sleep）、停机（Stop）和深度停机（Deep Stop）
- 1 个 3 通道 DMA 控制器，支持外设类型包括定时器、ADC、USART、I2C、SPI 和 CSM
- 7 个定时器
  - 1 个 16 位 4 通道高级控制定时器（TIM1），可输出 4 路 PWM 或 3 路互补 PWM 对，支持中心或边沿对齐 PWM 模式，支持硬件死区插入和故障刹车，可运行在最高 144MHz 时钟下，通道 1~3 支持 PWM 移相输出模式
  - 1 个 16 位 4 通道通用定时器（TIM3），可输出 4 路 PWM 或捕获 4 路输入信号，支持霍尔传感器和正交编码器的解码，支持 IR 控制解码
  - 3 个 16 位基本定时器 （TIM14 / TIM16 / TIM17），可输出 1 路 PWM 或捕获 1 路输入信号。TIM16 和 TIM17 有 1 组互补输出，支持硬件死区插入和故障刹车
  - 1 个配置了独立时钟的硬件看门狗定时器（IWDG）
  - 1 个 Systick 定时器：24 位自减型计数器
- 1 个实时时钟（RTC）模块
- 多达 42 个快速 I/O 端口
  - 所有 I/O 口可以映像到 16 个外部中断
  - 所有端口均可输入输出电压不高于 V_{DD} 的信号
- 多达 5 个通信接口
  - 3 个 USART 接口，其中 USART1 和 USART2 支持三线 SPI 模式
  - 1 个 I2C 接口
  - 1 个 SPI 接口
- 1 个 12 位模数转换器（ADC），支持最快 1μs 转换时间（1MSPS 采样率），配置 12 个外部通道和 1 个可采集内置参考电压的内部通道
- 1 个高速模拟比较器，内置 4 位电压参考
- 1 个通用串行模块（CSM），可接收和发送 1.2V 数字信号
- CRC 计算单元
- 96 位芯片唯一 ID（UID）
- 调试模式
  - 串行调试接口（SWD） 接口
- 工作温度范围包括 -40°C ~ 85°C 工业型和 -40°C ~ 105°C 的拓展工业型
- 工作电压范围为 2.2V ~ 5.5V

- 支持封装
  - LQFP48 7x7 mm^2
  - LQFP32 7x7 mm^2
  - QFN32 5x5 mm^2
  - QFN32 4x4 mm^2
  - QFN20 3x3 mm^2

2 订购信息

2.1 订购表

表 2-1 订购表

Part numbers		MM32F0121 C1N	MM32F0121 C4N(V)	MM32F0121 C4Q(V)	MM32F0121 C4P(V)	MM32F0121 C6P(V)
CPU frequency		Up to 72 MHz				
Flash - KB		64	64	64	64	64
Data Flash - KB		3	3	3	3	3
SRAM - KB		8	8	8	8	8
DMA		3ch	3ch	3ch	3ch	3ch
32-bit divider		√	√	√	√	√
Timers	16-bit GP	1	1	1	1	1
	Basic	3	3	3	3	3
	Advanced	1	1	1	1	1
	IWDG	1	1	1	1	1
RTC		√	√	√	√	√
Interfaces	USART	3	3	3	3	3
	I2C	1	1	1	1	1
	SPI	1	1	1	1	1
GPIO		18	31	29	27	42
12-bit ADC	Modules	1	1	1	1	1
	Channels	7	12	12	12	12
Comparator		1	1	1	1	1
CSM		1	1	1	1	1
Supply voltage		2.2V to 5.5V				
Temperature range		-40°C to +85°C	-40°C to +85°C or -40°C to +105°C (Suffix V)			
Package		QFN20 3x3 mm^2	QFN32 4x4 mm^2	QFN32 5x5 mm^2	LQFP32 7x7 mm^2	LQFP48 7x7 mm^2

2.2 丝印

丝印须知：本节的目的在于指导用户从丝印中识别出所需的信息，而丝印图中的格式（包括字体、字号、对齐等）、位置、比例等均可能和实际丝印有差别，且部分封装的丝印中可能不包含灵动微电子 Logo，此类格式、位置、比例、Logo 等信息，请以实际产品为准。

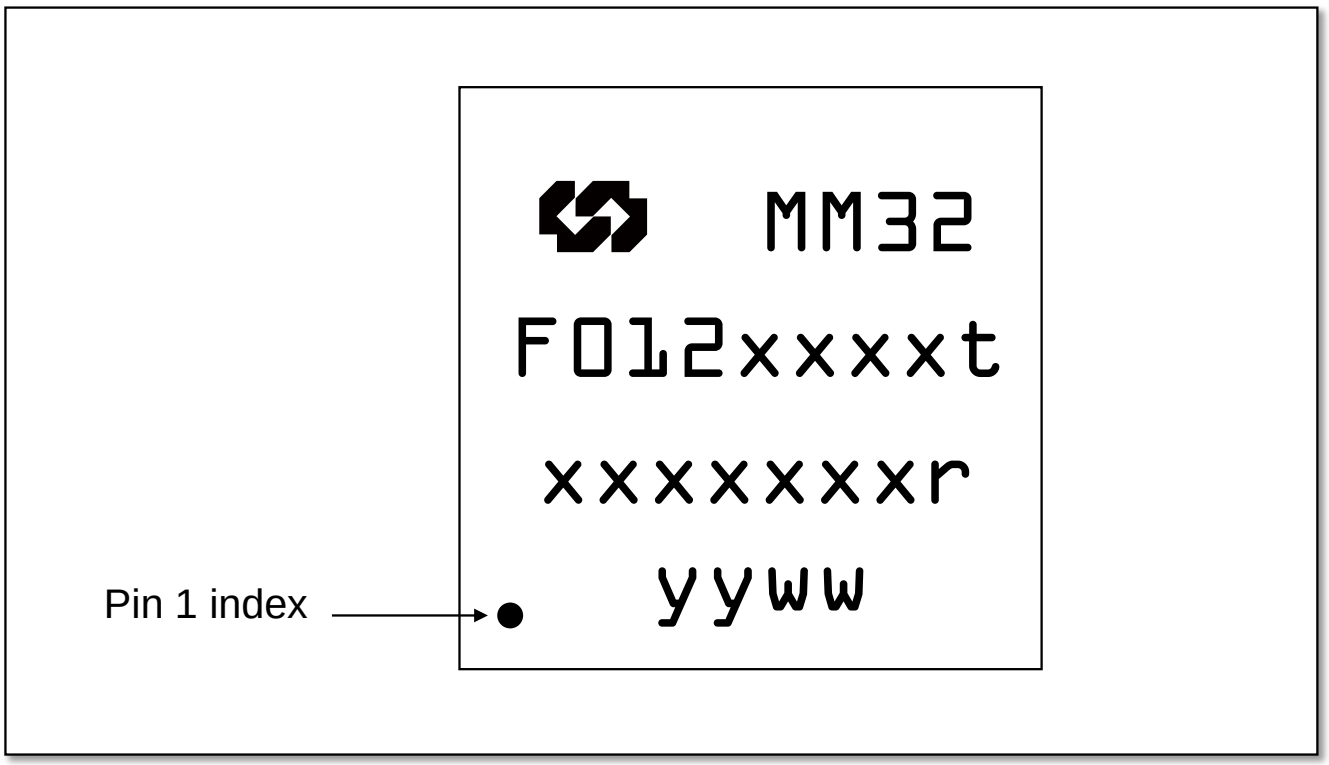

图 2-1 LQFP 和 QFN32 封装丝印

LQFP 和 QFN32 封装一般在顶层包含如下丝印：

- 第一行：MM32
  - 灵动微电子 Logo + 产品型号第一部分。
- 第二行：F012xxxxt
  - 产品型号第二部分，其中“t”表示温度等级，“t”为空表示该芯片为工业型（-40°C~85°C），如 F0121C6P；“t”为“V”表示该芯片为扩展工业型（-40°C~105°C），如 F0121C6PV。
- 第三行：xxxxxxxr
  - Trace code + 芯片版本号，其中“r”代表芯片版本号。对于初始工程样片，Trace code 的首两位标识为“ES”。
- 第四行：yyww
  - Data code，其中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

2.3 产品命名规则

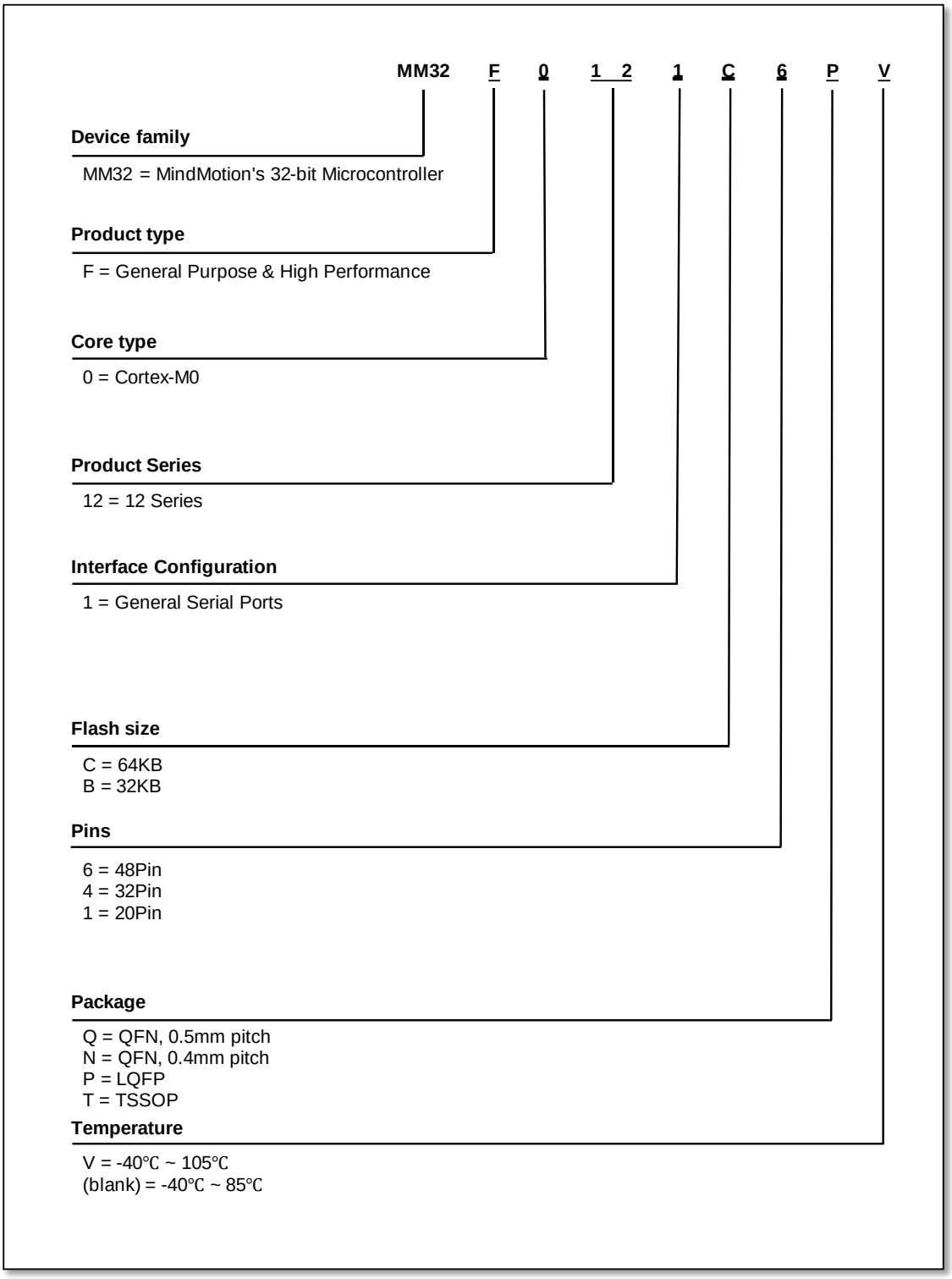

图 2-2 型号命名规则

3 功能描述

3.1 系统框图

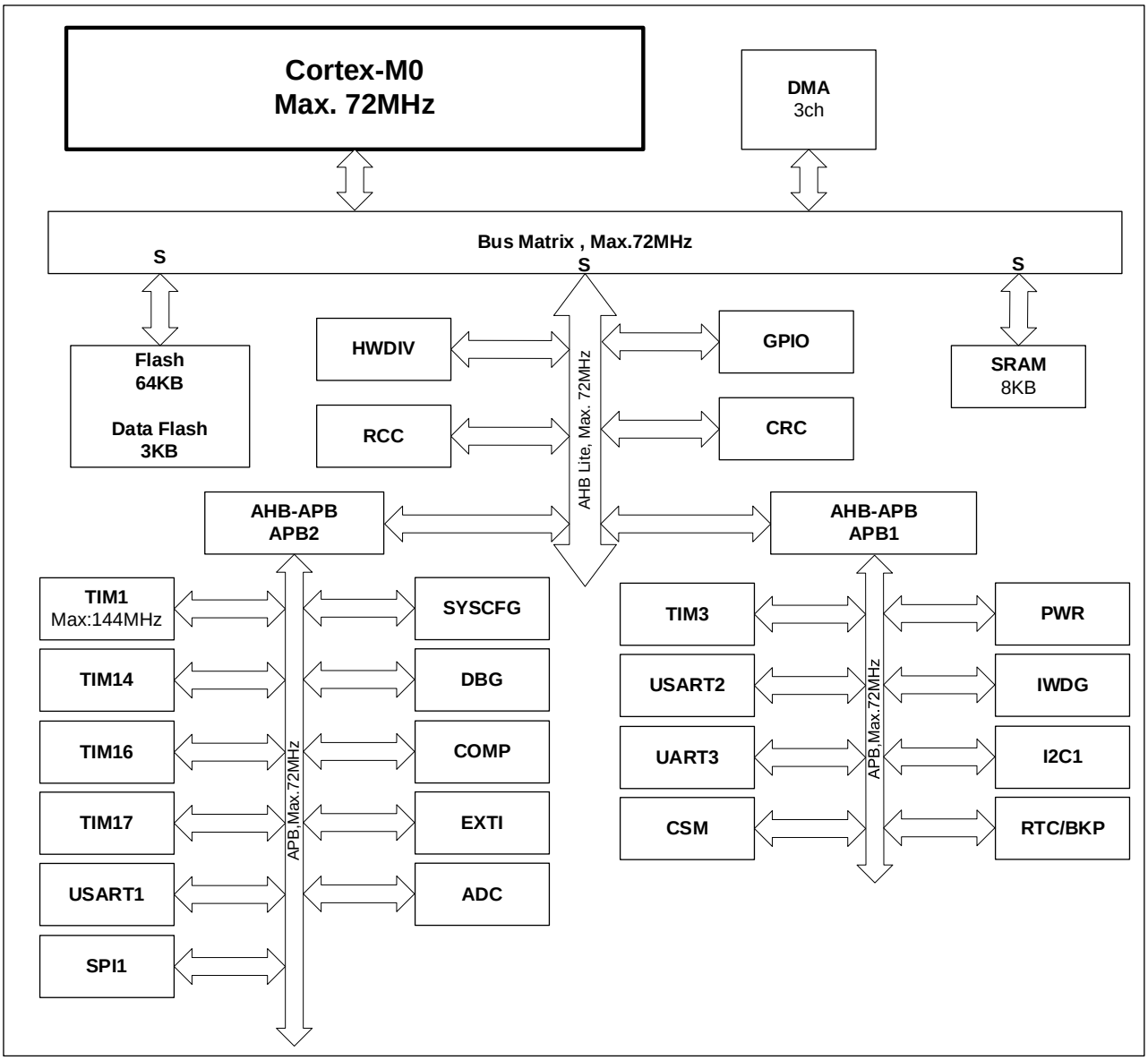

图 3-1 系统框图

3.2 内核简介

Arm® 的 Cortex®-M0 处理器是最新一代的嵌入式 Arm 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

本产品拥有内置的 Arm 核心，因此它与所有的 Arm 工具和软件兼容。

3.3 总线简介

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和两个桥接的 APB 总线。当 CPU 总线和 DMA 总线同时请求时，具备仲裁的功能。AHB 总线的外设（RCC，HWDIV，GPIO 和 CRC）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位，同样的，AHB2APB 桥也具备自动拓宽功能。

3.4 存储器映像

表 3-1 存储器映像

总线	编址范围	大小	外设
Flash	0x0000 0000 - 0x0000 FFFF	64 KB	可映射为主闪存存储器、数据存储器、系统存储器或 SRAM，有赖于 BOOT 的配置
	0x0001 0000 - 0x07FF FFFF	~127 MB	Reserved
	0x0800 0000 - 0x0800 FFFF	64 KB	主存储区
	0x0801 0000 - 0x1FDF FFFF	~383 MB	Reserved
	0x1FE0 0000 - 0x1FE0 0BFF	3KB	数据存储区
	0x1FE0 0C00 - 0x1FFF F3FF	~2MB	Reserved
	0x1FFF F400 - 0x1FFF F7FF	1 KB	系统存储区
	0x1FFF F800 - 0x1FFF F9FF	0.5KB	选项字节
	0x1FFF FA00 - 0x1FFF FFFF	1.5KB	Reserved
SRAM	0x2000 0000 - 0x2000 1FFF	8 KB	SRAM
	0x2000 2000 - 0x2FFF FFFF	~255 MB	Reserved
APB1	0x4000 0000 – 0x4000 03FF	1KB	Reserved
	0x4000 0400 – 0x4000 07FF	1KB	TIM3
	0x4000 0800 – 0x4000 27FF	8KB	Reserved
	0x4000 2800 – 0x4000 2BFF	1KB	RTC/BKP
	0x4000 2C00 – 0x4000 2FFF	1KB	Reserved
	0x4000 3000 – 0x4000 33FF	1KB	IWDG
	0x4000 3400 – 0x4000 43FF	4KB	Reserved
	0x4000 4400 – 0x4000 47FF	1KB	USART2
	0x4000 4800 – 0x4000 4BFF	1KB	USART3
	0x4000 4C00 – 0x4000 53FF	2KB	Reserved
	0x4000 5400 – 0x4000 57FF	1KB	I2C1
	0x4000 5800 – 0x4000 67FF	4KB	Reserved
	0x4000 6800 – 0x4000 6BFF	1KB	CSM

总线	编址范围	大小	外设
	0x4000 6C00 – 0x4000 6FFF	1KB	Reserved
	0x4000 7000 – 0x4000 73FF	1KB	PWR
	0x4000 7400 – 0x4000 FFFF	35KB	Reserved
APB2	0x4001 0000 – 0x4001 03FF	1KB	SYSCFG
	0x4001 0400 – 0x4001 07FF	1KB	EXTI
	0x4001 0800 – 0x4001 23FF	7KB	Reserved
	0x4001 2400 – 0x4001 27FF	1KB	ADC1
	0x4001 2800 – 0x4001 2BFF	1KB	Reserved
	0x4001 2C00 – 0x4001 2FFF	1KB	TIM1
	0x4001 3000 – 0x4001 33FF	1KB	SPI1
	0x4001 3400 – 0x4001 37FF	1KB	DBG
	0x4001 3800 – 0x4001 3BFF	1KB	USART1
	0x4001 3C00 – 0x4001 3FFF	1KB	COMP
	0x4001 4000 – 0x4001 43FF	1KB	TIM14
	0x4001 4400 – 0x4001 47FF	1KB	TIM16
	0x4001 4800 – 0x4001 4BFF	1KB	TIM17
	0x4001 4C00 – 0x4001 FFFF	45KB	Reserved
AHB	0x4002 0000 – 0x4002 03FF	1KB	DMA
	0x4002 0400 – 0x4002 0FFF	3KB	Reserved
	0x4002 1000 – 0x4002 13FF	1KB	RCC
	0x4002 1400 – 0x4002 1FFF	3KB	Reserved
	0x4002 2000 – 0x4002 23FF	1KB	Flash Interface
	0x4002 2400 – 0x4002 2FFF	3KB	Reserved
	0x4002 3000 – 0x4002 33FF	1KB	CRC
	0x4002 3400 – 0x4002 FFFF	51KB	Reserved
	0x4003 0000 – 0x4003 03FF	1KB	HWDIV
	0x4003 0400 – 0x47FF FFFF	~128MB	Reserved
	0x4800 0000 – 0x4800 03FF	1KB	PORT A
	0x4800 0400 – 0x4800 07FF	1KB	PORT B
	0x4800 0800 – 0x4800 0BFF	1KB	PORT C
	0x4800 0C00 – 0x4800 0FFF	1KB	PORT D

3.5 Flash

本产品提供最大 64KB 的内置闪存存储器，用于存放程序和数据。

3.6 Data Flash

本产品提供最大 3KB 的内置数据闪存存储器（Data Flash），用于存放数据。

3.7 SRAM

本产品提供最大 8KB 的内置 SRAM。

3.8 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道和 4 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

3.9 外部中断/事件控制器 EXTI

外部中断/事件控制器包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB2 总线时钟周期的电平变化。

3.10 时钟和启动

本产品包含以下内部或外部时钟源：

- HSI 144MHz
- LSI 30KHz
- EXTCLK 高速外部时钟输入
- LSE 低速外部用户时钟

如图 3-2 所示，系统时钟（sysclk）可从以下内部或外部时钟选择：

- HSI – 可选 HSI 144MHz 输出或其 1.5 分频即 96MHz 输出
- HSIDIV – HSI 144MHz 的 18 分频分出，即 8MHz 输出
- LSI – 即 LSI 30KHz 输出
- EXTCLK – 从 OSC_IN（PD0）引脚的外部时钟输入
- LSE – 外部 32.768KHz 振荡器

仅 TIM1 可直接使用系统时钟，因此 TIM1 可运行在最高 144MHz 频率。

系统时钟分频后可作为 CPU 和 AHB 总线时钟，当 HSI 作为系统时钟时，系统时钟的分频系数要大于或等于 2，因此，当 HSI 输出选择为 144MHz 时，CPU 和 AHB 总线的最高工作频率为 72MHz；当 HSI 输出选择为 96MHz 时，CPU 和 AHB 总线的最高工作频率为

48MHz。

APB 总线的最高工作频率和 AHB 总线相同。

在复位后，首先使用 HSIDIV （8MHz）作为默认的系统时钟，随后可选择使用 HSI、LSI 或 EXTCLK 作为时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

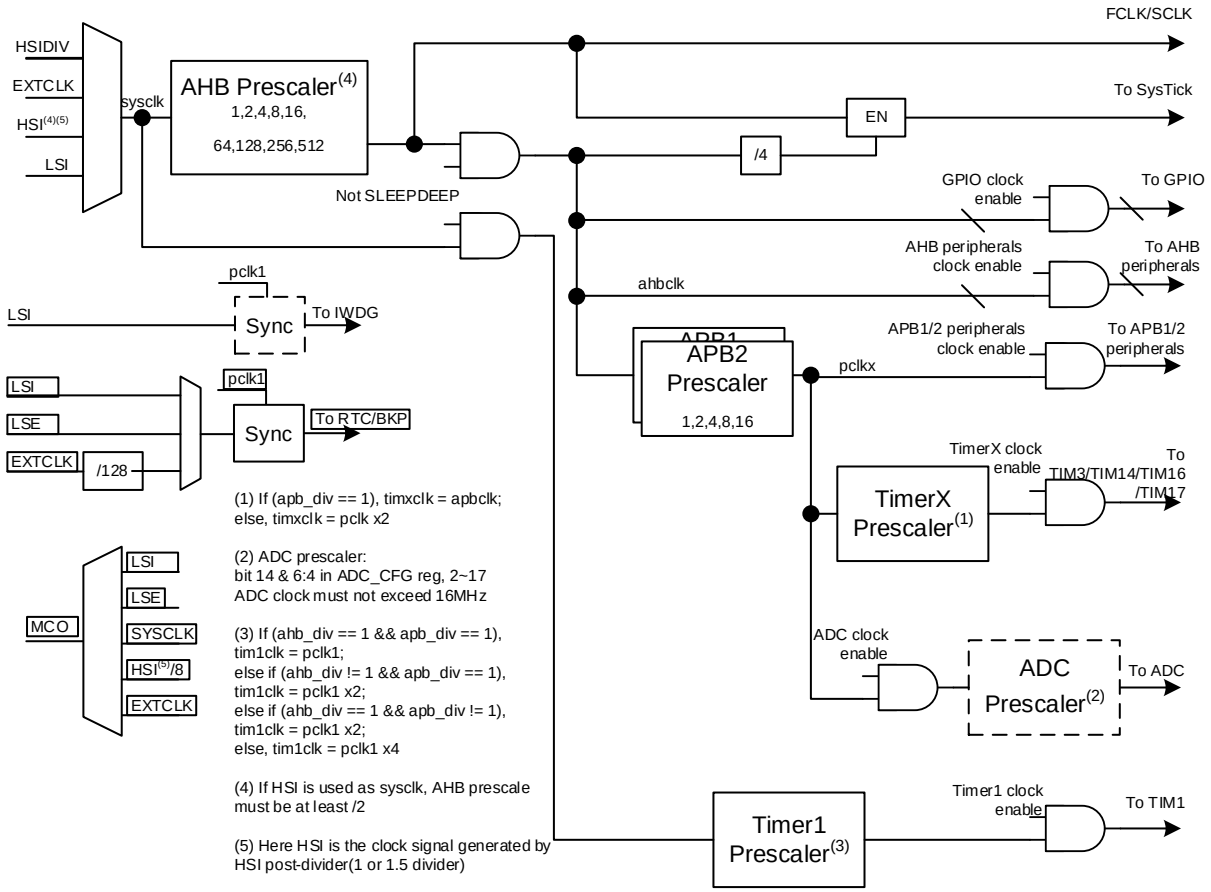

图 3-2 时钟树

3.11 启动模式

在启动时，通过 BOOT0 引脚和 nBOOT1 选择位可以选择三种启动模式中的一种：

- 从片内 Flash 启动
- 从系统存储区启动
- 从片内 SRAM 启动

Bootloader 程序位于系统存储区。从系统存储区启动 Bootloader 之后，可通过 USART1 对片内 Flash 重新编程。

3.12 供电方案

- 通过 VDD 引脚为 I/O 引脚和内部调节器等供电，V_{DD} 的工作电压范围是 2.2V ~ 5.5V。

- 通过 VDDA 引脚为 ADC、COMP 的模拟部分供电，具体模拟器件的工作电压范围请参考电气特性章节。

3.13 供电监控器

本产品内部集成了上电复位（POR） / 掉电复位（PDR） 电路，该电路始终处于工作状态，保证系统供电超过阈值（$V_{POR/PDR}$）时工作；当 V_{DD} 低于设定的阈值（$V_{POR/PDR}$ ） 时，置器件于复位状态。

器件中还有一个可编程电压监测器（PVD），它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

3.14 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

3.15 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式（Sleep）

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式（Stop）

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 EXTCLK 外灌时钟输入被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式（Deep Stop）

与停机模式状态一致，但能够达到更低的电能消耗。

各低功耗模式下的外设状态如表 3-2 所示。其中：

- Power Down 表示模块掉电，除 Flash 外数据均会丢失。
- Optional 表示外设可通过软件配置开启或关闭
- ON 表示工作
- OFF 表示功能关闭

- Retention 表示数据保留但无法操作
- High-z 表示高阻态

表 3-2 不同功耗模式下的外设状态

Module/Mode	Run	Sleep	Stop	Deep Stop
PVD	Optional	Optional	Optional	Optional
POR/PDR	ON	ON	ON	ON
CPU	ON	OFF	OFF	OFF
SRAM	ON	ON	Retention	Retention or Power Down
Flash	ON	Standby	Standby	Deep Standby
HSI	Optional	Optional	OFF	Power Down
EXTCLK OSC_IN	Optional	Optional	OFF	OFF
LSI	Optional	Optional	Optional	Optional
LSE	Optional	Optional	Optional	Optional
RTC	Optional	Optional	Optional	Optional
ADC	Optional	Optional	OFF	OFF
COMP	Optional	Optional	Optional	Optional
IWDG	Optional	Optional	Optional	Optional
Other Peripherals	Optional	Optional	OFF	OFF
I/O	Optional	Retention	Retention	Retention

3.16 硬件除法器

内嵌硬件除法器单元（HWDIV），能自动执行有符号或者无符号的 32 位整数除法运算。硬件除法在一些高性能的应用中非常有用。

3.17 DMA

本产品内置 3 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 支持的外设类型包括 USART、I2C、SPI、ADC、CSM 和通用、高级和基础定时器。

3.18 定时器和看门狗

本产品包含 1 个高级定时器、1 个通用定时器、3 个基本定时器、1 个看门狗定时器和 1 个

系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器、基本定时器的功能：

表 3-3 定时器功能比较

Type	Instance	Resolution	Counter direction	pre-divider	DMA request	Capture/compare channels	Complementary output
Advanced	TIM1	16-bit	up, down, up/down	1 to 65536	Yes	4 (no capture)	3
General purpose	TIM3	16-bit	up, down, up/down	1 to 65536	Yes	4	No
Basic	TIM14	16-bit	up	1 to 65536	Yes	1	No
	TIM16 / TIM17	16-bit	up	1 to 65536	Yes	1	1

高级控制定时器（TIM1）

高级控制定时器是由 16 位计数器、4 个比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

本产品中，TIM1 可运行在 HSI 的 144MHz 时钟上，从而实现最快 7ns PWM 分辨率。 通道 1~3 可支持 PWM 移相输出。

配置为 16 位通用定时器时，它与 TIM3 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

在调试模式下，计数器可以被冻结。

通用定时器（TIM3）

产品中内置了 1 个 16 位通用定时器（TIM3）。定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。通用定时器还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

在调试模式下，计数器可以被冻结。

基本定时器（TIM14 / TIM16 / TIM17）

产品中内置 3 个基本定时器（TIM14 / TIM16 / TIM17），每个定时器有一个 16 位计数器，支持自动重载，仅支持递增计数。定时器有一个 16 位预分频器和 1 个独立通道，每个通

道可用于输入捕捉、输出比较、PWM 输出或单脉冲输出。当用作 PWM 模式，TIM14 没有互补输出端口，TIM16 和 TIM17 配备互补输出端口，可生成互补 PWM 对，支持硬件死区插入。

独立看门狗（IWDG）

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 LSI 振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

系统时基定时器（Systick）

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

3.19 RTC

实时时钟（Real-Time Clock，RTC）是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。RTC 模块和时钟配置系统处于后备区域，即在系统复位或低功耗模式唤醒后，RTC 的设置和时间维持不变。

3.20 备份寄存器

备份寄存器是 10 个 16 位的寄存器，可用来存储用户应用程序数据。当系统在低功耗模式下被唤醒，或系统复位或电源复位时，备份寄存器的数据不会被清除。

3.21 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

3.22 NRST

在本产品中，复位引脚（NRST）的状态分为以下两个阶段：

- 上电时（上电启动配置完成前），该引脚状态为 GPIO，在此过程中，芯片内部有

50KΩ 弱上拉电阻到 VDD。

- 上电后（上电启动配置完成后），该引脚出厂状态为 NRST。用户可通过配置 Option Bytes 将上电后状态改写成 GPIO，并操作一次软件或上电复位后使配置生效。Option Bytes 的内容是掉电后保持的，因此在下一次上电时和上电后，该引脚状态均为 GPIO，不再提供 NRST 功能。Option Bytes 可通过 CPU 或 SWD 改写。用户可采用同样的方法将上电后状态改写成 NRST。

3.23 USART

本产品中内置 3 个通用同步/异步接收器/发送器（USART）接口。USART 为使用行业标准 NRZ 异步串行数据格式的外设提供全双工数据交换的灵活性。该模块可通过集成的波特率发生器支持广泛的波特率（包括整数和小数设置）。支持 LSB、MSB 收发模式，支持 8 位或 9 位可编程数据长度，支持 0.5/1/1.5/2 位停止位配置。支持同步或异步单向通信和半双工单线通信。USART1 和 USART2 支持三线 SPI 模式，用作 SPI 模式时，主模式和从模式的最大速率可达 12Mbps。支持 DMA。

3.24 I2C

本产品中内嵌 1 个 I2C 接口，能够工作于多主模式或从模式，支持标准模式（100Kbps）和快速模式（400Kbps）。支持 7 位或 10 位寻址。支持 DMA。

3.25 SPI

本产品中内嵌 1 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 36Mbps，从模式最大速率 18Mbps。支持 DMA。

3.26 ADC

产品内嵌 1 个 12 位的模拟/数字转换器（ADC），支持高达 1MSPS 转换速率，配置 12 个外部通道和 1 个内部通道。支持单次、单周期和连续扫描转换。支持任意序列采样模式，采样通道可按任意顺序排布。所有外部或内部转换通道都配备了独立的通道数据寄存器（共 13 个）。内部通道用于采集内置参考电压，在应用中可根据采集的转换值推算芯片供电电源的电压值。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器和高级控制定时器产生的事件，在芯片内部连接到 ADC 的触发源选择上，以实现精确的 ADC 采样时刻控制。

3.27 COMP

产品内嵌 1 个模拟比较器（COMP），可独立使用，也可与定时器结合使用。可以选择外部 I/O 引脚上的电平、内部电压参考（CRV）的输出电压做为比较器的参考电压，其中，CRV 的输出电压支持通过 V_{DDA} 或内部 V_{REFINT} 电压的 6bit 分辨率分压实现。COMP 可用于多种功能，包括：由模拟信号触发低功耗模式唤醒事件；为实现快速 PWM 关断的刹车事件；捕获事件或用于逐周期电流控制的 OCref_clr 事件等。COMP 支持可编程的迟滞电压，可编程的速率和功耗。

3.28 CSM

产品内嵌 1 个通用串行模块（CSM）。该模块主要用于 1.2V 串行数据的接收和发送。发送数据时，通过 CSM 内置的 1.2V 输出缓冲器可输出幅值为 1.2V 的输出信号。接收数据时，通过内置比较器（COMP）识别幅值为 1.2V 的输入信号，再通过预设的波特率采样后转换成 32 位数据，可用 CPU 或 DMA 将数据保存在存储器中

3.29 CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

3.30 SWD

内嵌 Arm 标准的两线串行调试接口（SW-DP）。

4 引脚定义及复用功能

4.1 引脚分布图

4.1.1 LQFP48 引脚分布

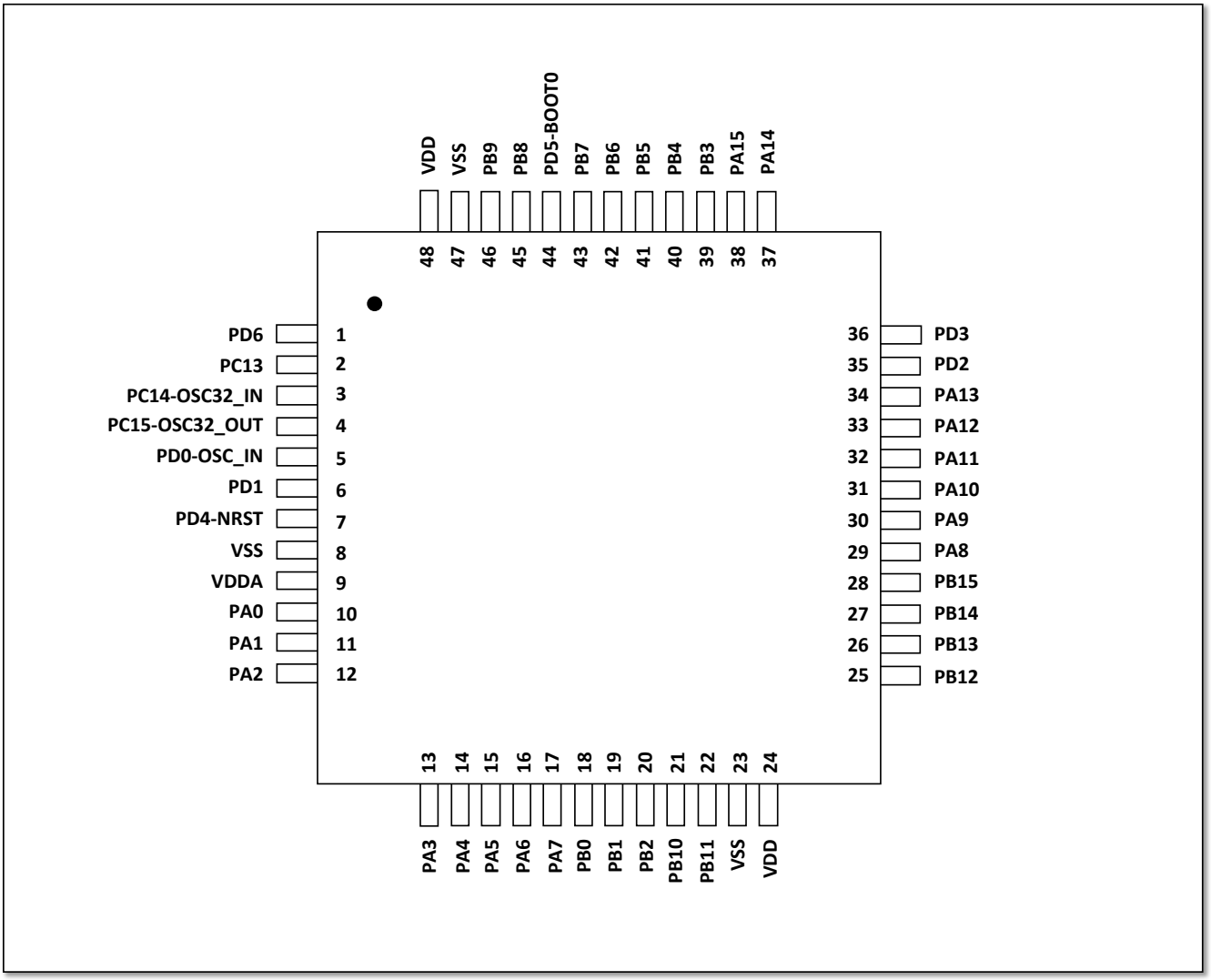

图 4-1 LQFP48 引脚分布

4.1.2 LQFP32 引脚分布

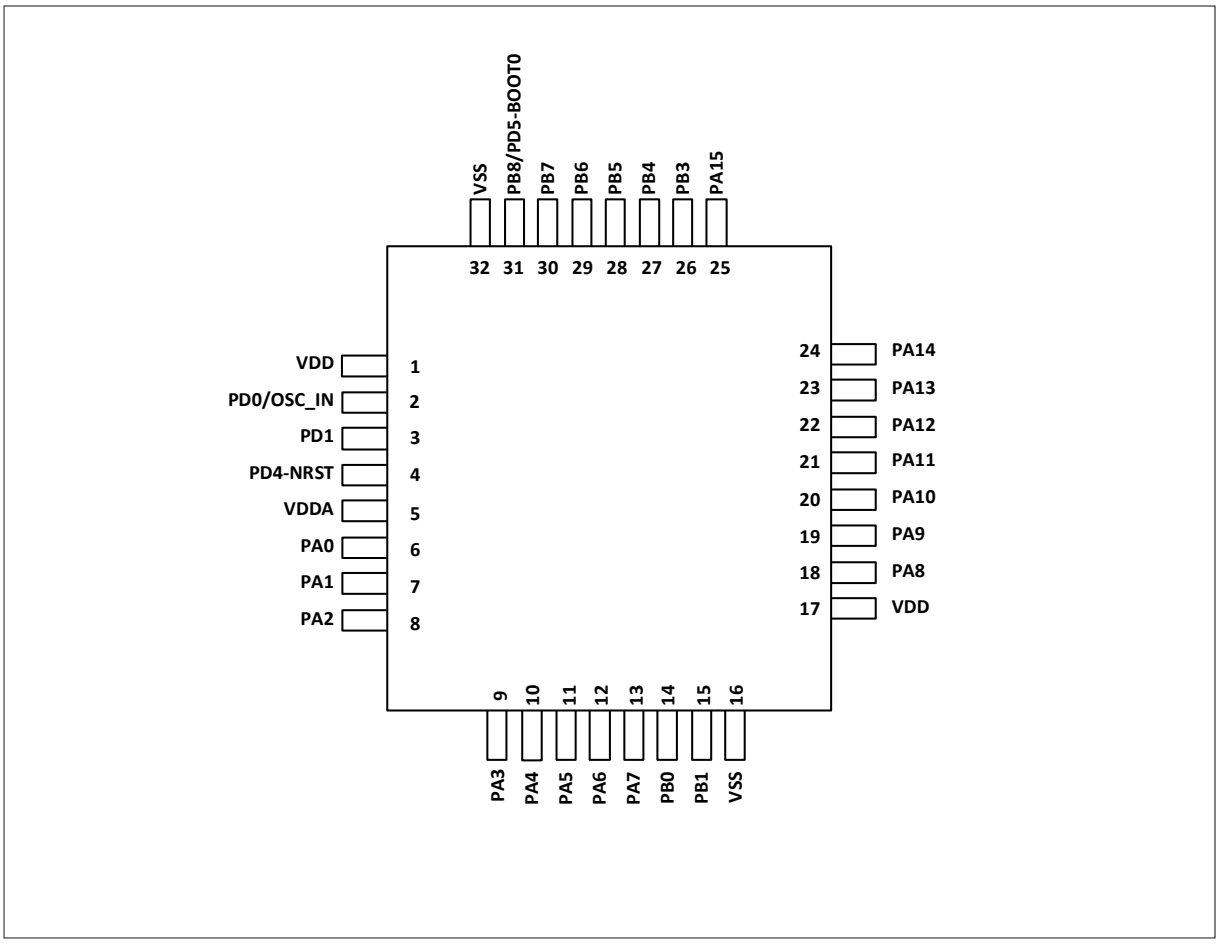

图 4-2 LQFP32 引脚分布

4.1.3 QFN32 5x5 mm2 引脚分布

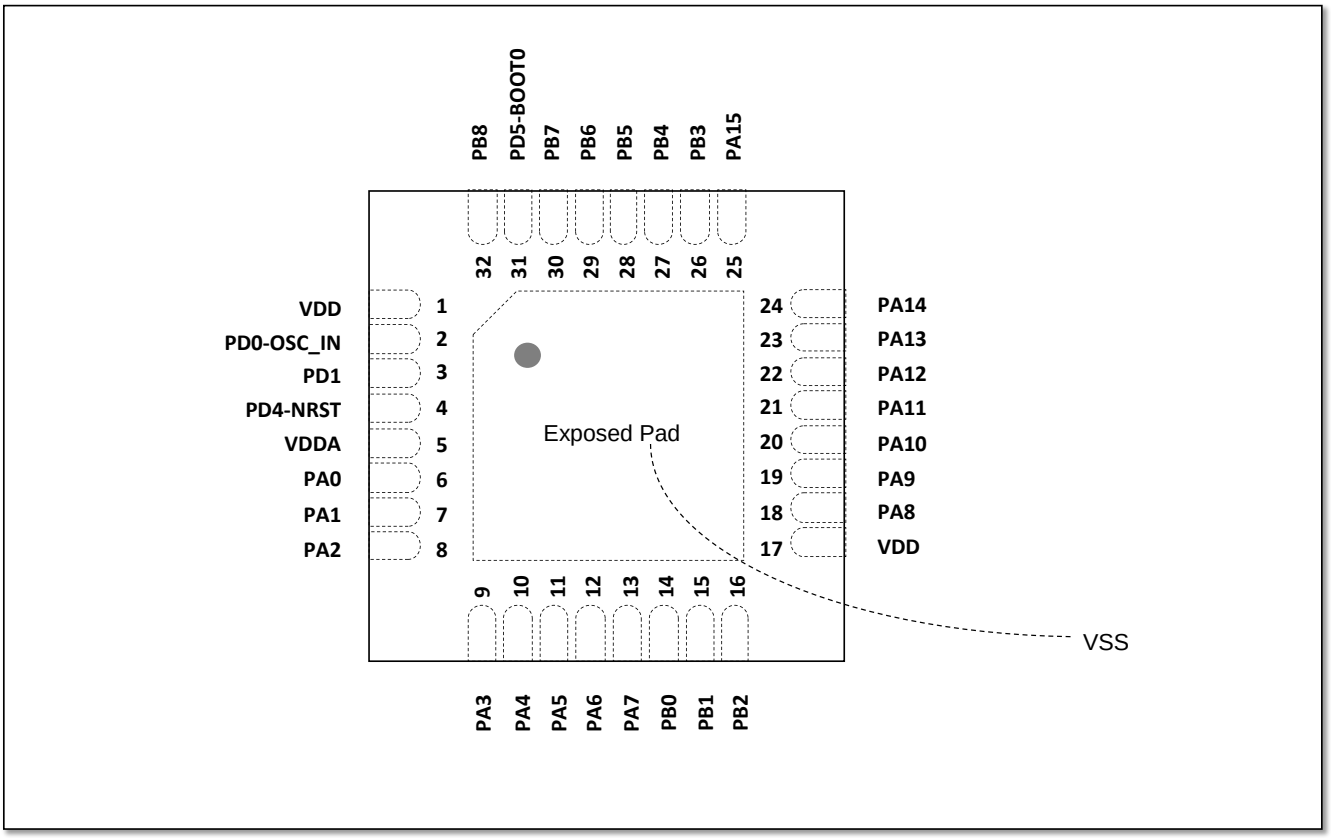

图 4-3 QFN32 5x5 mm2 引脚分布

4.1.4 QFN32 4x4 mm2 引脚分布

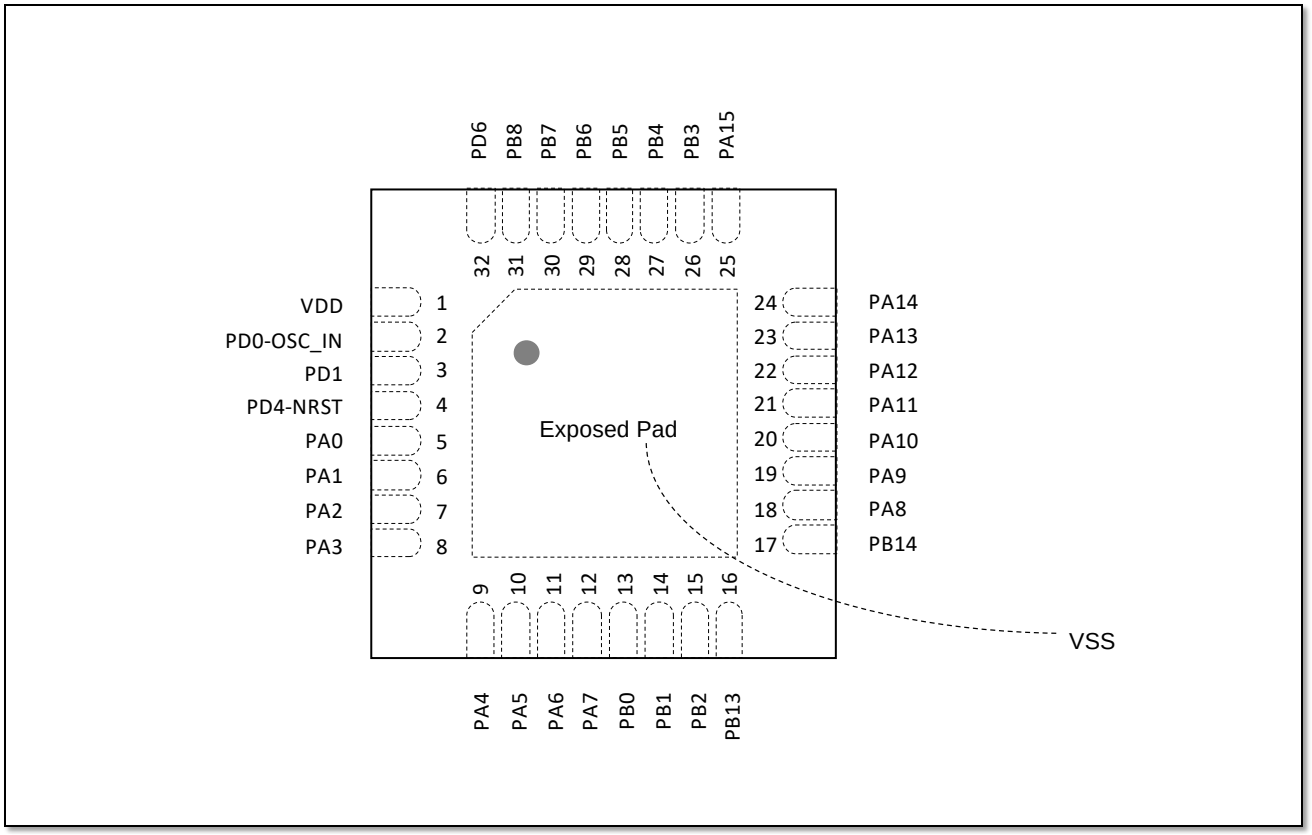

图 4-4 QFN32 4x4 mm2 引脚分布

4.1.5 QFN20 引脚分布

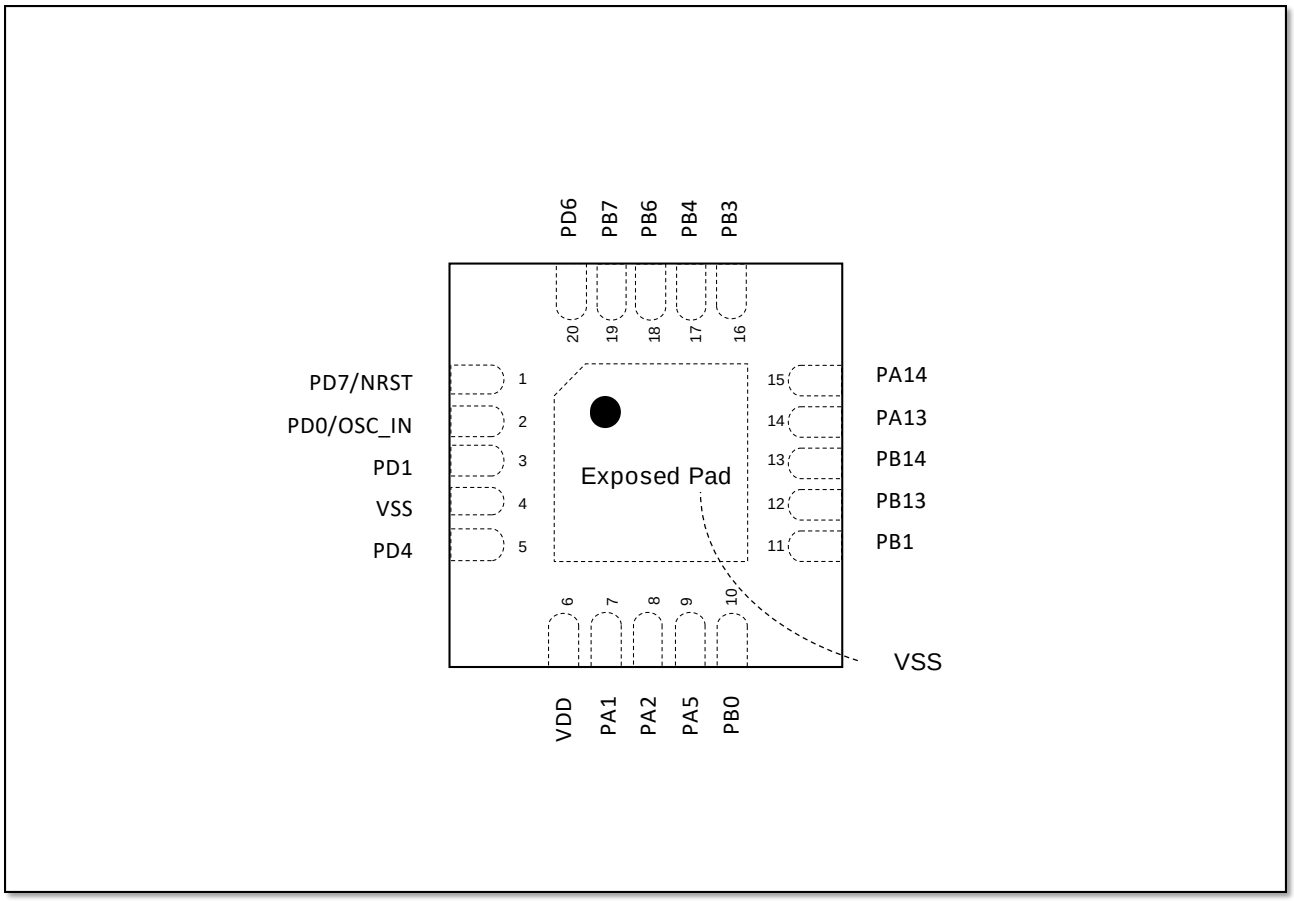

图 4-5 QFN20 引脚分布

备注：

1. QFN20 (MM32F0121C1N) PD4 只能用作 IO。
2. QFN20 (MM32F0121C1N) PD7 可用作 NRST 或 I/O。

4.2 引脚定义表

表 4-1 引脚定义

LQFP 48	LQFP 32	QFN 32 5x5 mm2	QFN 32 4x4 mm2	QFN 20	Name	Type (1)	I/O level (2)	Main function	Multiplex function	Additional function
1	-	-	32	20	PD6	I/O	TC	PD6	SPI1_MISO TIM3_CH1 TIM1_BKIN8 USART2_RX TIM1_ETR TIM16_CH1 TIM1_CH3 COMP1_OUT	COMP1_INM[3]
2	-	-	-	-	PC13	I/O	TC	PC13	TIM1_BKIN1 TIM1_ETR TIM3_CH1	-
3	-	-	-	-	PC14 OSC32_IN	I/O	TC	PC14	USART1_TX I2C1_SDA TIM1_BKIN2 TIM1_ETR TIM17_CH1 TIM3_CH2	OSC32_IN
4	-	-	-	-	PC15 OSC32_OUT	I/O	TC	PC15	TIM1_ETR TIM3_CH3	OSC32_OUT
5	2	2	2	2	PD0 OSC_IN	I/O	TC	PD0	USART3_TX I2C1_SDA TIM14_CH1	OSC_IN
6	3	3	3	3	PD1	I/O	TC	PD1	USART3_RX I2C1_SCL	-
8	-	-	-	4	VSS	S	-	VSS	-	-
9	5	5	-	-	VDDA	S	-	VDDA	-	-
10	6	6	5	-	PA0	I/O	TC	PA0	TIM1_CH1 USART2_CTS TIM3_CH1/TIM3_ETR USART2_SCLK TIM3_CH3 TIM16_CH1 USART1_TX COMP1_OUT	ADC1_VIN[0]
11	7	7	6	-	PA1	I/O	TC	PA1	TIM1_CH2 USART2_RTS TIM3_CH2 SPI1_SCK TIM17_CH1 USART1_RX MCO	ADC1_VIN[1] COMP1_INP[0] CSM_PIN1
-	-	-	-	7	PA1	I/O	TC	PA1	TIM1_CH2 USART2_RTS TIM3_CH2 SPI1_SCK TIM17_CH1 USART1_RX	ADC1_VIN[1] COMP1_INP[0] CSM_PIN1-

LQFP 48	LQFP 32	QFN 32 5x5 mm2	QFN 32 4x4 mm2	QFN 20	Name	Type (1)	I/O level (2)	Main function	Multiplex function	Additional function
12	8	8	7	8	PA2	I/O	TC	PA2	TIM1_CH3 USART2_TX TIM3_CH3 USART1_SCLK SPI1_MOSI USART3_TX TIM3_ETR USART2_SCLK	ADC1_VIN[2] COMP1_INP[1] CSM_PIN2
13	9	9	8	-	PA3	I/O	TC	PA3	TIM1_CH4 USART2_RX TIM3_CH4 USART3_RX TIM1_CH1N	ADC1_VIN[3] COMP1_INP[2]
14	10	10	9	-	PA4	I/O	TC	PA4	SPI1_NSS USART2_TX TIM17_CH1N TIM1_BKIN3 TIM14_CH1 I2C1_SDA TIM1_CH2N USART3_TX	ADC1_VIN[4] COMP1_INP[3]
15	11	11	10	9	PA5	I/O	TC	PA5	SPI1_SCK USART2_RX TIM3_CH1/TIM3_ETR TIM1_ETR TIM1_CH1 I2C1_SCL TIM1_CH3N USART3_RX	ADC1_VIN[5] COMP1_INM[0]
16	12	12	11	-	PA6	I/O	TC	PA6	SPI1_MISO TIM3_CH1 TIM1_BKIN4 USART2_RX TIM1_ETR TIM16_CH1 TIM1_CH3 COMP1_OUT	ADC1_VIN[6] COMP1_INM[1]
17	13	13	12	-	PA7	I/O	TC	PA7	SPI1_MOSI TIM3_CH2 TIM1_CH1N TIM14_CH1 TIM17_CH1 TIM1_CH2N TIM1_CH3N	ADC1_VIN[7] COMP1_INM[2]
18	14	14	13	10	PB0	I/O	TC	PB0	SPI1_NSS TIM3_CH3 TIM1_CH2N TIM1_CH1N TIM1_CH3	ADC1_VIN[8]
19	15	15	14	11	PB1	I/O	TC	PB1	TIM14_CH1 TIM3_CH4 TIM1_CH3N TIM1_CH4 TIM1_CH2N MCO TIM1_CH2 TIM1_CH1N	ADC1_VIN[9]
20	-	16	15	-	PB2	I/O	TC	PB2	MCO USART1_RX USART2_RX	-

LQFP 48	LQFP 32	QFN 32 5x5 mm2	QFN 32 4x4 mm2	QFN 20	Name	Type (1)	I/O level (2)	Main function	Multiplex function	Additional function
21	-	-	-	-	PB10	I/O	TC	PB10	I2C1_SCL TIM3_CH3 USART3_TX USART1_SCLK USART2_SCLK	-
22	-	-	-	-	PB11	I/O	TC	PB11	I2C1_SDA TIM3_CH4 USART3_RX USART2_TX	-
23	16	-	-	-	VSS	S	-	VSS	-	-
24	17	17	-	-	VDD	S	-	VDD	-	-
25	-	-	-	-	PB12	I/O	TC	PB12	USART2_TX USART2_RX TIM1_BKIN5 USART2_SCLK TIM14_CH1 TIM1_CH1	-
26	-	-	16	12	PB13	I/O	TC	PB13	USART2_RX USART2_TX TIM1_CH1N USART2_SCLK USART3_CTS I2C1_SCL TIM1_CH3N TIM3_CH1	-
27	-	-	17	13	PB14	I/O	TC	PB14	USART2_TX USART2_RX TIM1_CH2N USART2_SCLK USART3_RTS I2C1_SDA TIM1_CH3 TIM1_CH1	-
28	-	-	-	-	PB15	I/O	TC	PB15	USART2_RX USART2_TX TIM1_CH3N USART2_SCLK I2C1_SCL TIM1_CH2N TIM1_CH2	-
29	18	18	18	-	PA8	I/O	TC	PA8	MCO USART1_RX TIM1_CH1 USART2_TX TIM3_CH3 TIM14_CH1 TIM1_CH2 TIM1_CH3	-
30	19	19	19	-	PA9	I/O	TC	PA9	TIM3_ETR USART1_TX TIM1_CH2 USART2_RX I2C1_SCL MCO TIM1_CH1N TIM1_CH4	-

LQFP 48	LQFP 32	QFN 32 5x5 mm2	QFN 32 4x4 mm2	QFN 20	Name	Type (1)	I/O level (2)	Main function	Multiplex function	Additional function
31	20	20	20	-	PA10	I/O	TC	PA10	TIM17_BKIN1 USART1_RX TIM1_CH3 USART2_TX I2C1_SDA SPI1_SCK TIM1_CH1 USART2_SCLK	-
32	21	21	21	-	PA11	I/O	TC	PA11	USART3_TX USART1_CTS TIM1_CH4 SPI1_MOSI I2C1_SCL TIM1_BKIN6 COMP1_OUT	-
33	22	22	22	-	PA12	I/O	TC	PA12	USART3_RX USART1_RTS TIM1_ETR SPI1_MISO I2C1_SDA TIM1_CH2	-
34	23	23	23	14	PA13	I/O	TC	PA13	SWDIO TIM3_ETR USART1_TX SPI1_MISO USART2_TX MCO TIM1_CH2 TIM1_BKIN7	-
35	-	-	-	-	PD2	I/O	TC	PD2	USART3_TX SPI1_SCK	-
36	-	-	-	-	PD3	I/O	TC	PD3	USART3_RX	-
37	24	24	24	15	PA14	I/O	TC	PA14	SWCLK USART2_TX USART1_RX SPI1_NSS USART2_RX MCO USART3_TX TIM1_CH1	-
38	25	25	25	-	PA15	I/O	TC	PA15	SPI1_NSS USART2_RX TIM3_CH1/TIM3_ETR TIM1_CH1 MCO TIM17_CH1 USART3_RX	-
39	26	26	26	16	PB3	I/O	TC	PB3	SPI1_SCK TIM3_CH2 USART1_TX TIM3_CH3 TIM17_CH1N TIM1_CH1 TIM3_CH1	ADC1_VIN[10]
40	27	27	27	17	PB4	I/O	TC	PB4	SPI1_MISO TIM3_CH1 SPI1_MOSI USART1_RX TIM17_BKIN2 TIM1_CH2 TIM3_CH2	-

LQFP 48	LQFP 32	QFN 32 5x5 mm2	QFN 32 4x4 mm2	QFN 20	Name	Type (1)	I/O level (2)	Main function	Multiplex function	Additional function
41	28	28	28	-	PB5	I/O	TC	PB5	SPI1_MOSI TIM3_CH2 TIM16_BKIN1 MCO TIM1_CH3 TIM3_CH3	-
42	29	29	29	18	PB6	I/O	TC	PB6	USART1_TX I2C1_SCL TIM16_CH1N TIM16_BKIN2 TIM3_CH1 TIM17_BKIN3 SPI1_SCK SPI1_MISO	-
43	30	30	30	19	PB7	I/O	TC	PB7	USART1_RX I2C1_SDA TIM17_CH1N TIM16_CH1 USART2_TX USART3_TX TIM1_CH4 TIM3_CH4	ADC1_VIN[12]
44	31	31	-	-	PD5 BOOT0	I/O	TC	PD5	-	-
45	31	32	31	-	PB8	I/O	TC	PB8	USART1_SCLK I2C1_SCL TIM16_CH1 TIM3_CH1 USART2_RX USART3_RX	-
46	-	-	-	-	PB9	I/O	TC	PB9	I2C1_SDA TIM17_CH1 TIM3_CH2 TIM1_CH4 USART2_SCLK USART2_TX	-
47	32	-	-	-	VSS	S	-	VSS	-	-
48	1	1	1	6	VDD	S	-	VDD	-	-

1. I = 输入，O = 输出，S = 电源，HiZ = 高阻
2. TC: 标准 IO，输入信号不超过 VDD 电压

LQFP 48	LQFP 32	QFN 32 5x5 mm2	QFN 32 4x4 mm2	Name	Type	I/O level	Main function	Multiplex function	Additional function
7	4	4	4	PD4 NRST(1)	I/O	TC	PD4	SPI1_MOSI USART2_TX TIM3_CH3 SPI1_NSS TIM1_CH4 MCO	-

1. PD4 引脚功能可在 NRST 和 GPIO 间切换，配置方法请参考 3.22 NRST 小节和用户手册

QFN20 (MM32F0121C1N)	Name	Type (1)	I/O level (2)	Main function	Multiplex function	Additional function
5	PD4 (I/O only)	I/O	TC	PD4	SPI1_MOSI USART2_TX TIM3_CH3 SPI1_NSS TIM1_CH4 MCO	-
1	PD7 NRST	I/O	TC	PD7	TIM14_CH1 TIM16_CH1 TIM3_CH4 TIM17_CH1	-

1. QFN20 (MM32F0121C1N) PD4 只能用作 GPIO。
2. QFN20 (MM32F0121C1N) PD7 引脚功能可在 NRST 和 GPIO 间切换，配置方法请参考 3.22 NRST 小节和用户手册

4.3 引脚复用

表 4-2 PA 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	TIM1_CH1	USART2_CTS	TIM3_CH1/TIM3_ETR	USART2_SCLK	TIM3_CH3	TIM16_CH1	USART1_TX	COMP1_OUT
PA1	TIM1_CH2	USART2_RTS	TIM3_CH2	-	SPI1_SCK	TIM17_CH1	USART1_RX	MCO
PA2	TIM1_CH3	USART2_TX	TIM3_CH3	USART1_SCLK	SPI1_MOSI	USART3_TX	TIM3_ETR	USART2_SCLK
PA3	TIM1_CH4	USART2_RX	TIM3_CH4	-	-	USART3_RX	TIM1_CH1N	-
PA4	SPI1_NSS	USART2_TX	TIM17_CH1N	TIM1_BKIN3	TIM14_CH1	I2C1_SDA	TIM1_CH2N	USART3_TX
PA5	SPI1_SCK	USART2_RX	TIM3_CH1/TIM3_ETR	TIM1_ETR	TIM1_CH1	I2C1_SCL	TIM1_CH3N	USART3_RX
PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN4	USART2_RX	TIM1_ETR	TIM16_CH1	TIM1_CH3	COMP1_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	TIM1_CH2N	TIM1_CH3N
PA8	MCO	USART1_RX	TIM1_CH1	USART2_TX	TIM3_CH3	TIM14_CH1	TIM1_CH2	TIM1_CH3
PA9	TIM3_ETR	USART1_TX	TIM1_CH2	USART2_RX	I2C1_SCL	MCO	TIM1_CH1N	TIM1_CH4
PA10	TIM17_BKIN1	USART1_RX	TIM1_CH3	USART2_TX	I2C1_SDA	SPI1_SCK	TIM1_CH1	USART2_SCLK
PA11	USART3_TX	USART1_CTS	TIM1_CH4	SPI1_MOSI	-	I2C1_SCL	TIM1_BKIN6	COMP1_OUT
PA12	USART3_RX	USART1_RTS	TIM1_ETR	SPI1_MISO	-	I2C1_SDA	-	TIM1_CH2
PA13	SWDIO	TIM3_ETR	USART1_TX	SPI1_MISO	USART2_TX	MCO	TIM1_CH2	TIM1_BKIN7
PA14	SWCLK	USART2_TX	USART1_RX	SPI1_NSS	USART2_RX	MCO	USART3_TX	TIM1_CH1
PA15	SPI1_NSS	USART2_RX	TIM3_CH1/TIM3_ETR	TIM1_CH1	MCO	TIM17_CH1	USART3_RX	-

表 4-3 PB 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	SPI1_NSS	TIM3_CH3	TIM1_CH2N	TIM1_CH1N	TIM1_CH3	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	TIM1_CH4	TIM1_CH2N	MCO	TIM1_CH2	TIM1_CH1N
PB2	-	-	-	-	-	MCO	USART1_RX	USART2_RX
PB3	SPI1_SCK	-	TIM3_CH2	USART1_TX	TIM3_CH3	-	TIM1_CH1	TIM3_CH1
PB4	SPI1_MISO	TIM3_CH1	SPI1_MOSI	USART1_RX	-	TIM17_BKIN2	TIM1_CH2	TIM3_CH2
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN1	MCO	-	-	TIM1_CH3	TIM3_CH3
PB6	USART1_TX	I2C1_SCL	TIM16_CH1N	TIM16_BKIN2	TIM3_CH1	TIM17_BKIN3	SPI1_SCK	SPI1_MISO
PB7	USART1_RX	I2C1_SDA	TIM17_CH1N	TIM16_CH1	USART2_TX	USART3_TX	TIM1_CH4	TIM3_CH4
PB8	USART1_SCLK	I2C1_SCL	TIM16_CH1	TIM3_CH1	USART2_RX	USART3_RX	-	-
PB9	-	I2C1_SDA	TIM17_CH1	TIM3_CH2	TIM1_CH4	-	USART2_SCLK	USART2_TX
PB10	-	I2C1_SCL	TIM3_CH3	-	USART3_TX	-	USART1_SCLK	USART2_SCLK
PB11	-	I2C1_SDA	TIM3_CH4	-	USART3_RX	-	-	USART2_TX
PB12	USART2_TX	USART2_RX	TIM1_BKIN5	USART2_SCLK	TIM14_CH1	TIM1_CH1	-	-
PB13	USART2_RX	USART2_TX	TIM1_CH1N	USART2_SCLK	USART3_CTS	I2C1_SCL	TIM1_CH3N	TIM3_CH1
PB14	USART2_TX	USART2_RX	TIM1_CH2N	USART2_SCLK	USART3_RTS	I2C1_SDA	TIM1_CH3	TIM1_CH1
PB15	USART2_RX	USART2_TX	TIM1_CH3N	USART2_SCLK	-	I2C1_SCL	TIM1_CH2N	TIM1_CH2

表 4-4 PC 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC13	-	-	TIM1_BKIN1	-	TIM1_ETR	-	TIM3_CH1	-
PC14	USART1_TX	I2C1_SDA	TIM1_BKIN2	-	TIM1_ETR	TIM17_CH1	TIM3_CH2	-
PC15	-	-	-	-	TIM1_ETR	-	TIM3_CH3	-

表 4-5 PD 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	USART3_TX	I2C1_SDA	-	TIM14_CH1	-	-	-	-
PD1	USART3_RX	I2C1_SCL	-	-	-	-	-	-
PD2	-	USART3_TX	-	SPI1_SCK	-	-	-	-
PD3	-	USART3_RX	-	-	-	-	-	-
PD4	SPI1_MOSI	USART2_TX	TIM3_CH3	SPI1_NSS	TIM1_CH4	MCO	-	-
PD5	-	-	-	-	-	-	-	-

引脚定义及复用功能

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD6	SPI1_MISO	TIM3_CH1	TIM1_BKIN8	USART2_RX	TIM1_ETR	TIM16_CH1	TIM1_CH3	COMP1_OUT
PD7	-	-	-	-	TIM14_CH1	TIM16_CH1	TIM3_CH4	TIM17_CH1

5 电气特性

5.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

5.1.1 负载电容

测量引脚参数时的负载条件示于图 5-1。

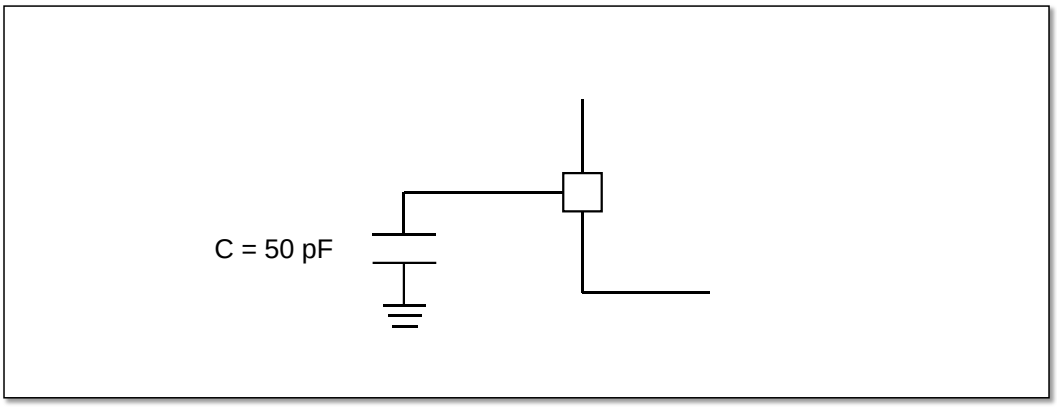

图 5-1 引脚的负载条件

5.1.2 引脚输入电压

引脚上输入电压的测量方式示于图 5-2。

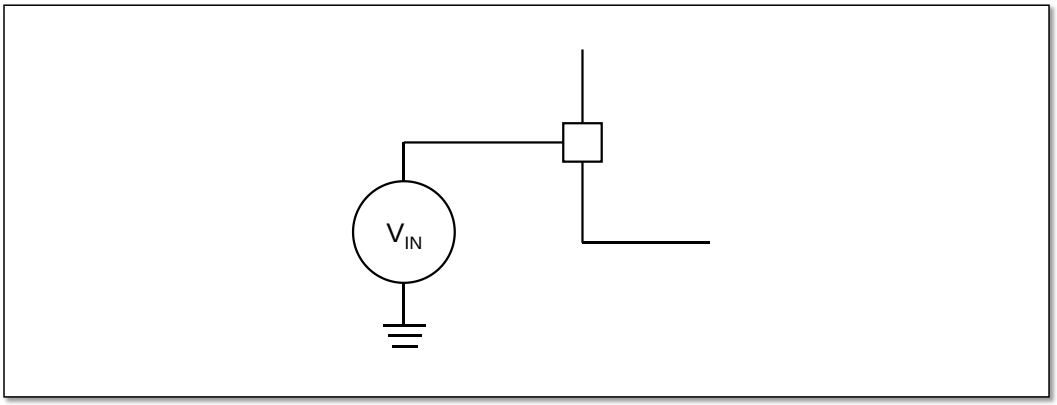

图 5-2 引脚输入电压

5.1.3 供电方案

供电设计方案示于下图 5-3。

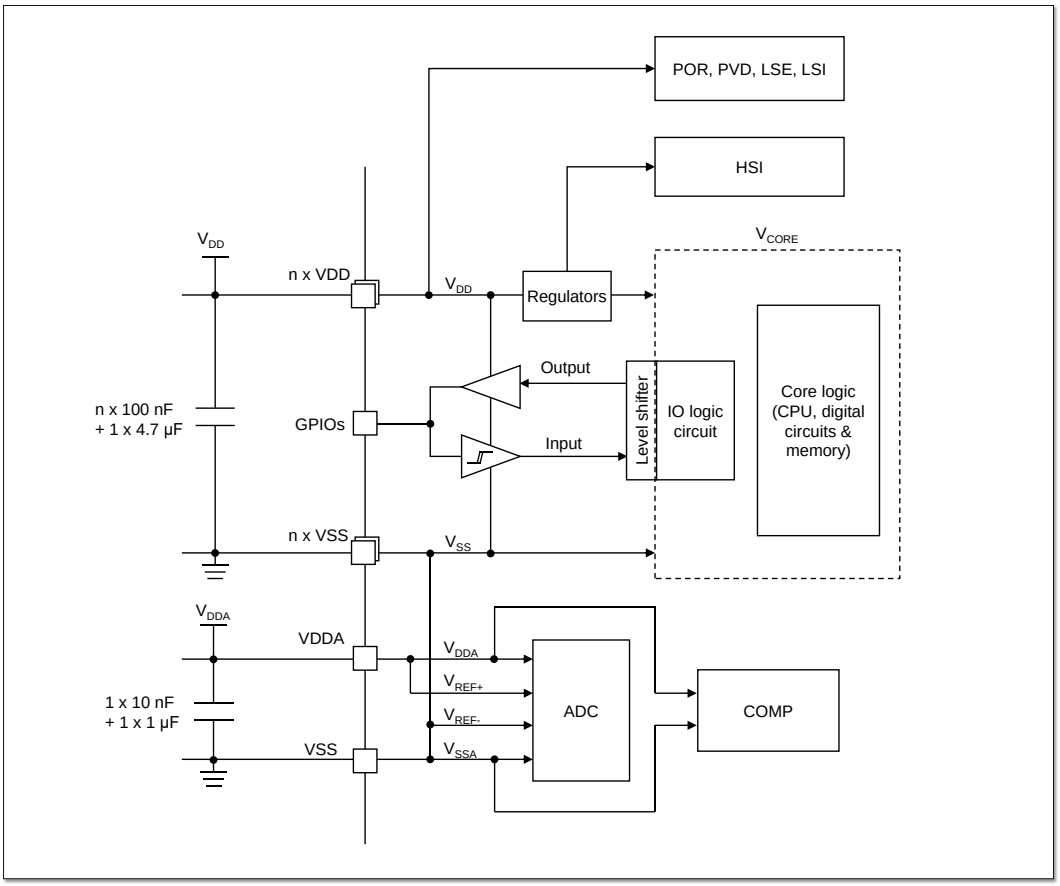

图 5-3 供电方案

备注：

1. 为使芯片达到最佳性能，每组电源地之间建议使用上图所示的滤波陶瓷电容去耦。
2. 上图所示的 4.7uF 电容需连接到其中一个 VDD 引脚。
3. 本产品的 V_{DDA} 和 V_{REF+} 在芯片内部均接到 VDDA 引脚，V_{SS}、V_{SSA} 和 V_{REF-} 在芯片内部均连接到 VSS 引脚。

5.1.4 电流消耗测量

电流消耗的测量方式示于下图 5-4。

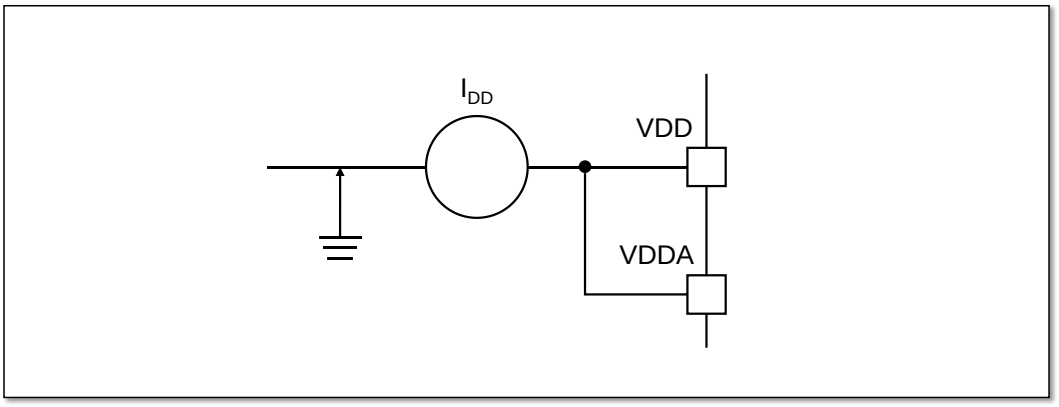

图 5-4 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 5-1、表 5-2 和 表 5-3）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5-1 电压特性

Symbol	Description	Minimum	Maximum	Unit
V_{DDx}-V_{SSx}	External main supply voltage (including V_{DDA} and V_{SSA}) (1)	-0.3	5.8	V
V_{IN} (2)	Input voltage on other pins	V_{SS}-0.3	V_{DD}+0.3	

1. 所有的电源（V_{DD}, V_{DDA}） 和地（V_{SS}, V_{SSA}） 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 5-2 电流特性

Symbol	Description	Maximum	Unit
$I_{VDD/VDDA}$ (1)	Total current through V_{DD}/V_{DDA} power pins (supply current) (1)	+120	mA
$I_{VSS/VSSA}$ (1)	Total current through V_{SS}/V_{SSA} ground pins (outflow current) (1)	-120	
I_{IO}	Output sink current on any I/O and control pins	+10	
	Output source current on any I/O and control pins	-10	
$I_{INJ(PIN)}$ (2)(3)	NRST pin injection current	±5	
	EXTCLK OSC_IN pin injection current	±5	
$\sum I_{INJ(PIN)}$ (5)	Other pins injection current (4)	±25	

1. 在允许的范围内，所有主电源（V_{DD}、V_{DDA}） 和接地（V_{SS}、V_{SSA}） 引脚必须始终连接到外部电源。
2. 此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
3. 反向注入电流会干扰器件的模拟性能。
4. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得 超出 I_{INJ}（PIN）。
5. 当多个输入同时存在注入电流时，ΣI_{INJ}（PIN）的最大值等于正向注入电流和反向注入电流（瞬时值） 的绝对值之和。

5.3 工作条件

5.3.1 通用工作条件

表 5-3 通用工作条件

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{HCLK}	Internal AHB clock frequency	-	-	-	72	MHz
f_{PCLK2}	Internal APB2 clock frequency	-	-	-	72	
f_{PCLK1}	Internal APB1 clock frequency	-	-	-	72	
V_{DD}	Digital circuit operating voltage	-	2.2	3.3	5.5	V
	Digital circuit operating voltage	f_{HCLK} <= 8MHz	2.2		5.5	
	Digital circuit operating voltage	f_{HCLK} > 8MHz	2.5		5.5	
V_{DDA}	Analog circuit operating voltage (Performance is guaranteed)	Must be the same as V_{DD} (1)	2.5	3.3	5.5	
	Analog circuit operating voltage (Performance is not guaranteed)		2.2	-	2.5	
T_A	Ambient temperature (industrial level)	-	-40	-	85	℃
	Ambient temperature (extended industrial level)	-	-40	-	105	℃
T_J	Junction temperature (2) (industrial level)	-	-40	-	105	℃
	Junction temperature (2) (extended industrial level)	-	-40	-	125	℃

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间 最多允许有 50 mV 的差别。
2. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}，T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在表 5-3 一般的工作条件下测试得出。

表 5-4 上电和掉电时的工作条件

Symbol	Conditions	Min.	Typ.	Max.	Unit
t_{VDD}	V_{DD} rise time t_r	1	-	∞	us/V
	V_{DD} fall time t_f	60	-	∞	

1. 由综合评估得出，不在生产中测试
2. 芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象

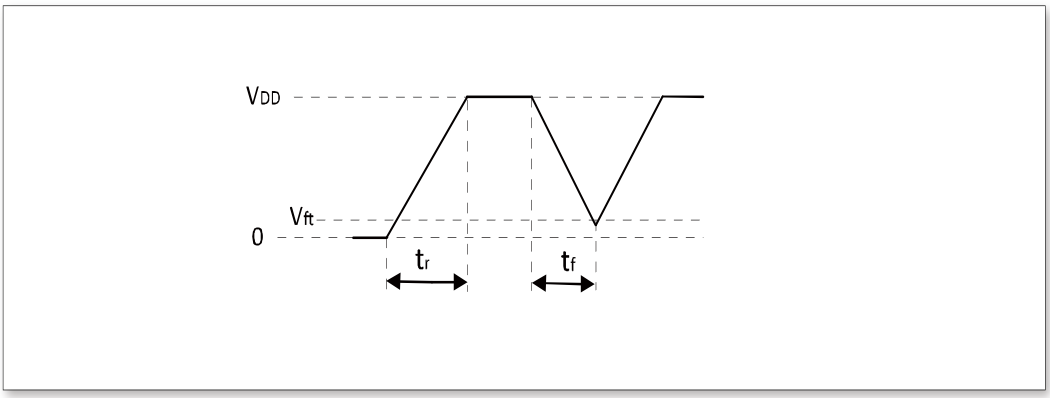

图 5-5 上电与掉电波形

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-5 内嵌复位和电源控制模块特性

Symbol	Parameter	Condition	Min. (3)	Typ.	Max. (3)	Unit
V_{PVD}	Level selection of programmable voltage detectors	PLS[3:0]=0010 (Rising edge)	-	2.4	-	V
		PLS[3:0]=0010 (Falling edge)	-	2.3	-	
		PLS[3:0]=0011 (Rising edge)	-	2.7	-	
		PLS[3:0]=0011 (Falling edge)	-	2.6	-	
		PLS[3:0]=0100 (Rising edge)	-	3.0	-	
		PLS[3:0]=0100 (Falling edge)	-	2.9	-	
		PLS[3:0]=0101 (Rising edge)	-	3.3	-	
		PLS[3:0]=0101 (Falling edge)	-	3.2	-	
		PLS[3:0]=0110 (Rising edge)	-	3.6	-	
		PLS[3:0]=0110 (Falling edge)	-	3.5	-	
		PLS[3:0]=0111 (Rising edge)	-	3.9	-	
		PLS[3:0]=0111 (Falling edge)	-	3.8	-	
		PLS[3:0]=1000 (Rising edge)	-	4.2	-	
		PLS[3:0]=1000 (Falling edge)	-	4.1	-	
		PLS[3:0]=1001 (Rising edge)	-	4.5	-	
		PLS[3:0]=1001 (Falling edge)	-	4.4	-	
		PLS[3:0]=1010 (Rising edge)	-	4.8	-	
		PLS[3:0]=1010 (Falling edge)	-	4.7	-	
V_{POR}(1)	Power-on reset threshold	-	-	1.90	-	V
V_{PDR} (1)	Power-down reset threshold	-	-	1.86	-	V
V_{hyst_PDR}	PDR hysteresis	-	-	42	-	mV
$T_{RSTTEMPO}$ (2)	Reset duration	-	-	6	-	ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$。
2. 由设计保证，不在生产中测试。
3. 由综合评估得出。

注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

5.3.4 内置的参照电压

下表中给出的参数是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-6 内置的参照电压

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V_{REFINT}	Built-in voltage reference	-40°C < T_A < 105°C	1.14	1.2	1.26	V
$T_{s_vrefint}$ (1)	ADC sampling time when readout build-in voltage reference	-	-	2.5	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于模拟输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期，48 ~ 72 MHz 时为 2 个等待周期）。
- 指令预取功能开启。当开启外设时：$f_{HCLK} = f_{PCLK1} = f_{PCLK2}$。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据表 5-3 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5-7 运行模式下的典型电流消耗

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled				Typical All peripherals disabled				Unit
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
I_{DD}	Supply current in Run mode	Internal clock source	72M	6.70	6.84	7.07	7.18	5.03	5.18	5.38	5.50	mA
			48M	5.29	5.44	5.48	5.58	4.08	4.21	4.25	4.33	
			24M	3.24	3.33	3.45	3.52	2.62	2.71	2.83	2.89	
			8M	1.63	1.69	1.78	1.82	1.44	1.51	1.59	1.64	
			4M	1.20	1.24	1.31	1.35	1.10	1.14	1.20	1.24	
			2M	0.99	1.02	1.08	1.11	0.94	0.97	1.02	1.06	
			1M	0.88	0.91	0.96	1.00	0.86	0.88	0.93	0.97	

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled				Typical All peripherals disabled				Unit
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
			500K	0.82	0.85	0.90	0.93	0.81	0.84	0.89	0.92	
			LSI	0.25	0.27	0.32	0.37	0.25	0.27	0.32	0.37	

表 5-8 睡眠模式下的典型电流消耗

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled				Typical All peripherals disabled				Unit
				-40°C	25°C	85°C	105°C	-40°C	25°C	85°C	105°C	
I_{DD}	Supply current in Sleep mode	Internal clock source	72M	3.67	3.75	3.85	3.90	1.73	1.77	1.83	1.87	mA
			48M	3.22	3.28	3.37	3.41	1.54	1.58	1.63	1.67	
			24M	2.36	2.41	2.48	2.53	1.25	1.28	1.34	1.37	
			4M	1.55	1.58	1.64	1.68	1.01	1.04	1.09	1.12	
			2M	0.96	0.98	1.04	1.07	0.79	0.82	0.86	0.90	
			1M	0.85	0.87	0.92	0.96	0.78	0.81	0.85	0.89	
			500K	0.78	0.80	0.85	0.89	0.76	0.79	0.83	0.87	
			LSI	0.23	0.25	0.30	0.33	0.23	0.25	0.30	0.33	

表 5-9 停机模式下的典型和最大电流消耗 (1)(2)(3)

Symbol	Parameter	Conditions	Typical	Unit
			25°C	
I_{DD}	Supply current in Stop mode	8KB RAM retention, V_{DD}=3.3V	149	uA
	Supply current in Deep Stop mode	8KB RAM retention, V_{DD}=3.3V	TBD	uA

1. I/O 状态为模拟输入。
2. 由综合评估得出。
3. 由设计保障，生产不作测试。

内置外设电流消耗

内置外设的电流消耗列于下表，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
  - 关闭所有外设的时钟
  - 只开启一个外设的时钟
- 环境温度和 VDD 供电电压条件列于表 5-3。

表 5-10 内置外设的电流消耗 (1)

Symbol	Parameter	Bus	Typical	Unit
I_{DD}	CRC	AHB	0.61	uA/MHz
	GPIOA		0.89	
	GPIOB		0.90	
	GPIOC		0.56	
	GPIOD		0.27	
	DMA		0.96	
	HWDIV		0.86	
	TIM1	APB2	3.25	
	TIM14		0.97	
	TIM16		0.99	
	TIM17		0.90	
	SPI1		2.05	
	USART1		1.15	
	SYSCFG		0.31	
	MCUDBG		0.18	
	COMP		0.77	
	EXTI		0.92	
	ADC		0.81	
	TIM3	APB1	1.83	
	USART2		0.99	
	USART3		0.97	
	IWDG		0.21	
	I2C1		2.81	
	CSM		1.12	

1. f_{HCLK} = 72MHz，f_{APB1} = f_{HCLK}/2，f_{APB2} = f_{HCLK}，每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合表 5-3 通用工作条件测量得到。

表 5-11 低功耗模式的唤醒时间

Symbol	Parameter	Conditions	Typical	Unit
$t_{WUSLEEP}$	Wake up from Sleep mode	System clock is HSI	3	cycles
t_{WUSTOP}	Wake up from Stop mode (regulator is in Run mode)	System clock is HSI	11	μs
$t_{WUDEEPSTOP}$	Wake up from Deep Stop mode (regulator is in low power mode)	System clock is HSI	19	μs

5.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 5-12 高速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{EXTCLK}	User external clock source frequency (1)	-	-	8	24	MHz
V_{EXTCLK_H}	OSC_IN input high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V
V_{EXTCLK_L}	OSC_IN input low level voltage	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(EXTCLK)}$	OSC_IN high or low time (1)	-	20	-	-	ns

1. 由设计保证，不在生产中测试。

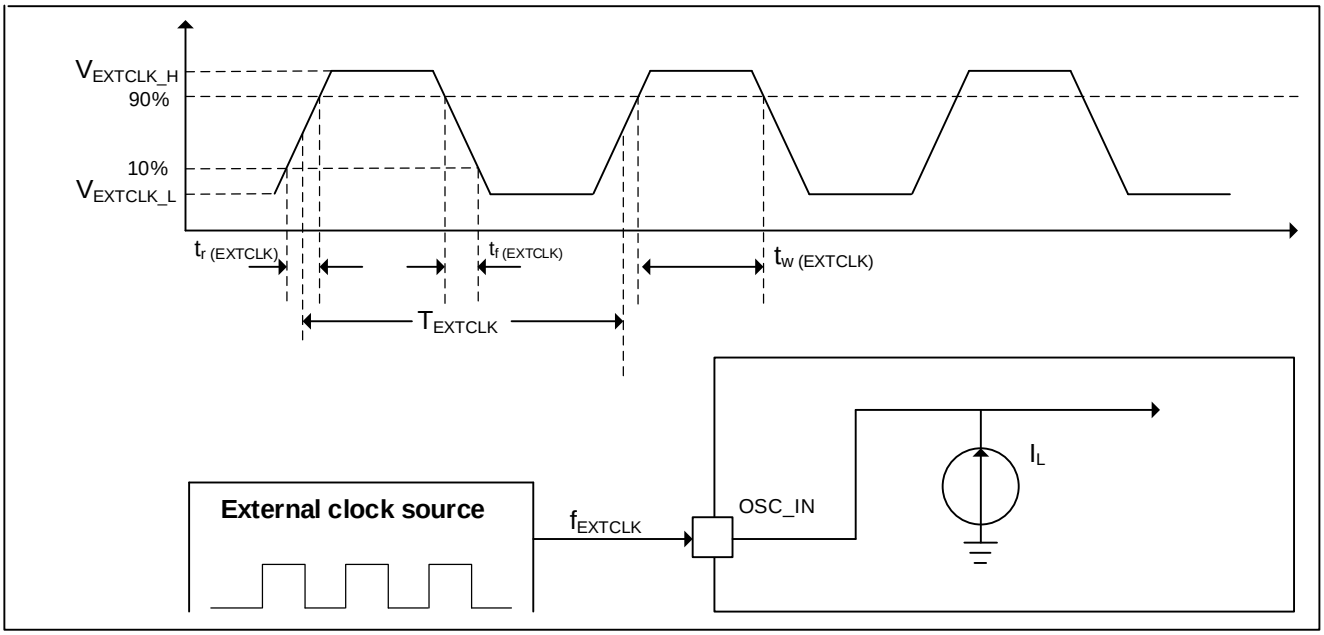

图 5-6 外部高速时钟源的交流时序图

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合通用

工作条件。

表 5-13 低速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{LSE_ext}	User external clock frequency (1)	-	-	32.768	1000	KHz
V_{LSEH}	OSC32_IN input pin high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN input pin low level voltage	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(LSE)}$	OSC32_IN high or low time (1)	-	250	-	-	ns

1. 由设计保证，不在生产中测试。

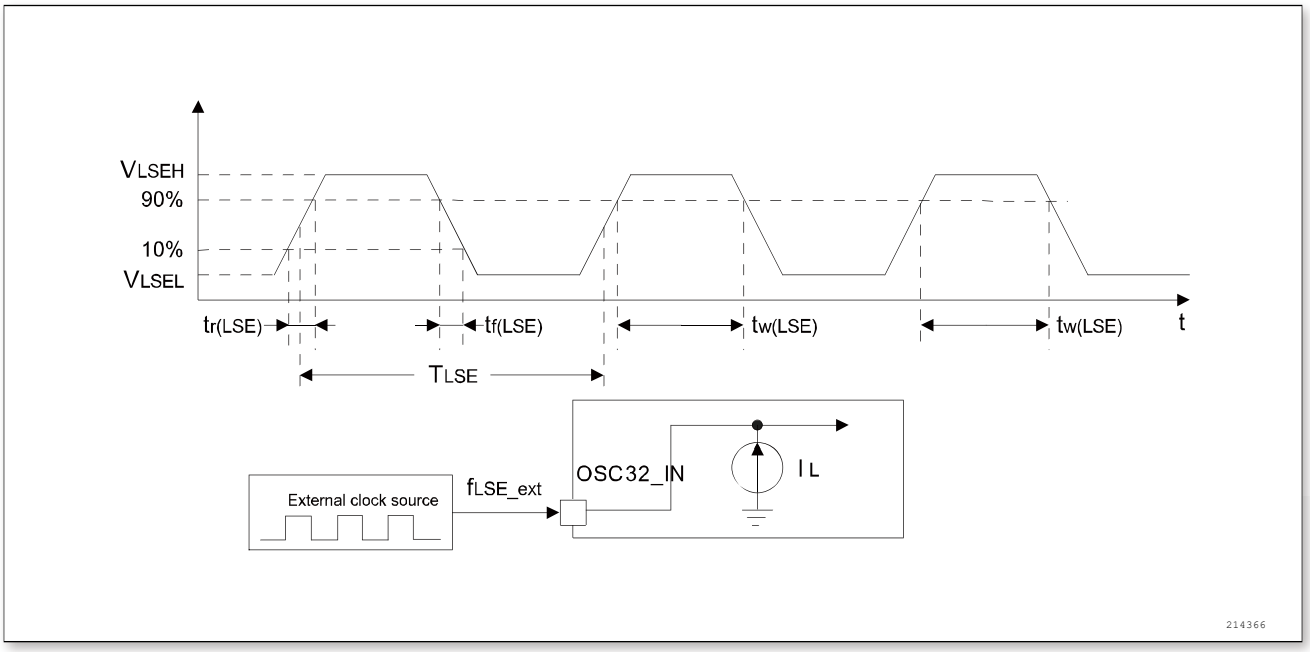

图 5-7 外部低速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE） 可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（注：这里提到的晶体谐振器就是我们通常说的无源晶振）

注意: 对于 C_{L1} 和 C_{L2}，建议使用高质量的 5pF ~ 15pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通 常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。负载电容 C_L 由下式计算：$C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF ~ 7pF 之间。警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值（15pF），强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器，不能使用负载电容为 12.5pF 的谐振器。例如：如果选择了一个负载电容 C_L = 6pF 的谐振器并且 C_{stray} = 2pF，则 $C_{L1} = C_{L2}$ = 8pF。

表 5-14 LSE 振荡器特性 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{OSC32_IN}	Oscillator frequency	2.2V<V_{DD}<5.5V	-	32.768	-	KHz
$I_{DD(LSE)}$ (2)	LSE current consumption	IBSEL=0b1000	-	440	-	nA
$t_{SU(LSE)}$ (3)	Startup time	V_{DD} is stabilized	-	2		s

1. 由综合评估得出。
2. 选择具有较小 RS 值的高质量振荡器，可以优化电流消耗。详情请咨询晶体制造商。
3. $t_{SU(LSE)}$ 是启动时间，是从软件使能 LSE 开始测量，直至得到稳定的 32.768K Hz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

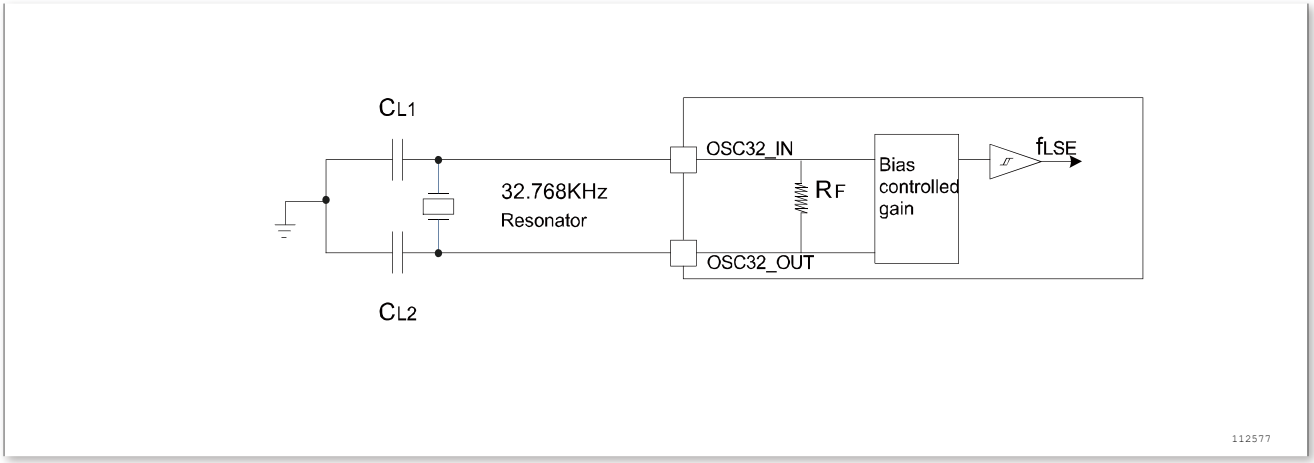

图 5-8 使用 32.768KHz 晶体的典型应用

5.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI） 振荡器

表 5-15 HSI 振荡器特性 (1)(2)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{HSI}	Frequency	-	-	144	-	MHz
ACC_{HSI}	HSI oscillator deviation	T_A = -40°C~ 105°C	-2.5	-	+2.5	%
		TA = -40°C~ 85°C	TBD	-	TBD	%
		TA = -20°C~ 70°C	TBD	-	TBD	%
		T_A = 25°C	-1	-	+1	%
$T_{stab(HSI)}$	HSI oscillator startup time	-	-	12		μs
$I_{DD(HSI)}$	HSI oscillator power consumption	-	-	216	-	μA

1. V_{DD} = 3.3V，T_A = -40℃~ 105℃，除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部（LSI） 振荡器

表 5-16 LSI 振荡器特性 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{LSI} (2)	Frequency	T_A = -40°C~ 105°C	20	30	50	KHz
$t_{SU(LSI)}$ (3)	LSI oscillator startup time	-	-	50	100	μs
$I_{DD(LSI)}$ (3)	LSI oscillator power consumption	-	-	0.45	-	μA

1. V_{DD} = 3.3V，T_A = -40℃~ 105℃，除非特别说明。
2. 由综合评估得出。
3. 由设计保证，不在生产中测试。

5.3.8 存储器特性

表 5-17 Flash 存储器特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
t_{prog}	16-bit programming time	-	-	45	-	μs
t_{prog}	32-bit programming time	-	-	60	-	μs
t_{ERASE}	Page (1024 bytes) erase time	-	-	5	-	ms
t_{ME}	Mass erase time	-	-	50	-	ms

表 5-18 Flash 存储器寿命和数据保存期限 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
N_{END}	Endurance	-	20000	-	-	Cycles
T_{DR}	Data retention	T_A = 85℃	20	-	-	Years
		T_A = 25℃	100	-	-	

1. 由设计保证，不在生产中测试。

5.3.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电(ESD)（正向和负向）施加到所有器件引脚，直到发生功能干扰。 该测试符合 IEC 61000-4-2 标准。
- FTB：通过一个 100 pF 的电容向 VDD 和 VSS 施加一串快速瞬变电压（正负），直到

发生功能性干扰。 该测试符合 IEC 1000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 5-19 EMS 特性

Symbol	Parameter	Conditions	Level/Type
V_{FESD}	Voltage limit applied to any I/O pin, resulting in malfunction	V_{DD} = 3.3V, T_A = +25°C, f_{HCLK} = 72MHz. Conforming to IEC61000-4-2	2A
V_{FEFT}	Fast transient voltage burst limits to be applied through 100 pF on VDD and VSS pins to induce a functional disturbance	V_{DD} = 3.3V，T_A = +25°C，f_{HCLK} = 72MHz. Conforming to IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

5.3.10 功能性 EMS (电气敏感性)

基于三个不同的测试（ESD, LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x（n + 1） 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

这些测试兼容 EIA/JESD78E IC latch-up 标准。

表 5-20 ESD & LU 特性

Symbol	Parameter	Conditions	Maximum	Unit
$V_{ESD(HBM)}$	Electrostatic discharge voltage (Human body model)	T_A = 25°C, conforming to ESDA/JEDEC JS-001-2017	±4000	V
$V_{ESD(CDM)}$	Electrostatic discharge voltage (Charging device model)	T_A = 25°C, conforming to ESDA/JEDEC JS-002-2018	±1000	V
I_{LU}	Latch-up current	T_A = 25°C, conforming to JESD78E	±200	mA
		T_A = 105°C, conforming to JESD78E	±100	mA

5.3.11 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 5-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 5-21 I/O 静态特性

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
V_{IL}	Low level input voltage	V_{DD} = 3.3V	-	-	0.8	V
V_{IL}	Low level input voltage	V_{DD} = 5V	-	-	0.3 * V_{DD}	V
V_{IH}	High level input voltage	V_{DD} = 3.3V	2.0	-	-	V
V_{IH}	High level input voltage	V_{DD} = 5V	0.7 * V_{DD}	-	-	V
V_{hy}	Schmitt trigger hysteresis (1)	V_{DD} = 3.3V	0.1 * V_{DD}	0.50	-	V
V_{hy}	Schmitt trigger hysteresis (1)	V_{DD} = 5V	0.1 * V_{DD}	0.60	-	V
I_{lkg}	Input leakage current (2)	V_{DD} = 3.3V	-1	-	1	μA
I_{lkg}	Input leakage current (2)	V_{DD} = 5V	-1	-	1	μA
R_{PU}	Weak pull-up equivalent resistor (3)	V_{DD} = 3.3V, V_{IN} = V_{SS}, mode != deepstop	-	50	-	kΩ
		V_{DD} = 3.3V, V_{IN} = V_{SS}, mode = deepstop	-	130	-	
R_{PU}	Weak pull-up equivalent resistor (3)	V_{DD} = 5V, V_{IN} = V_{SS} , mode != deepstop	-	30	-	kΩ
		V_{DD} = 5V, V_{IN} = V_{SS} , mode = deepstop	-	30	-	
R_{PD}	Weak pull-down equivalent resistor (3)	V_{DD} = 3.3V, V_{IN} = V_{DD} , mode != deepstop	-	50	-	kΩ
		V_{DD} = 3.3V, V_{IN} = V_{DD} , mode = deepstop	-	320	-	

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
R_{PD}	Weak pull-down equivalent resistor (3)	V_{DD} = 5V, V_{IN} = V_{DD} , mode != deepstop	-	90	-	kΩ
		V_{DD} = 5V, V_{IN} = V_{DD} , mode = deepstop	-	420	-	
C_{IO}	I/O pin capacitance	-	-	-	10	pF

1. 由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 poly 电阻。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 ±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过表 5-1 给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 5-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 5-22 输出电压特性

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
V_{OL} (1)	Output low voltage	$\|I_{IO}\|$= 6mA, VDD=3.3V	-	0.1	-	V
V_{OH} (2)	Output high voltage		-	3.1	-	
V_{OL} (1)(3)	Output low voltage	$\|I_{IO}\|$= 8mA, VDD=3.3V	-	0.1	-	
V_{OH} (2)(3)	Output high voltage		-	3.1	-	
V_{OL} (1)(3)	Output low voltage	$\|I_{IO}\|$= 20mA, VDD=3.3V	-	0.3	-	
V_{OH} (2)(3)	Output high voltage		-	2.6	-	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS}。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD}。
3. 由综合评估得出。

输入输出交流特性

输入输出交流特性的定义和数值分别在下面的图表中给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 5-3 的条件测量得到。

表 5-23 I/O 交流特性 (1)(2)

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
$t_{f(IO)out}$	Output fall time	C_L = 50pF VDD=3.3V	-	12.4	-	ns
$t_{r(IO)out}$	Output rise time		-	16.2	-	ns

1. 最大频率在图 5-9 中定义。
2. 由设计保证，不在生产中测试。

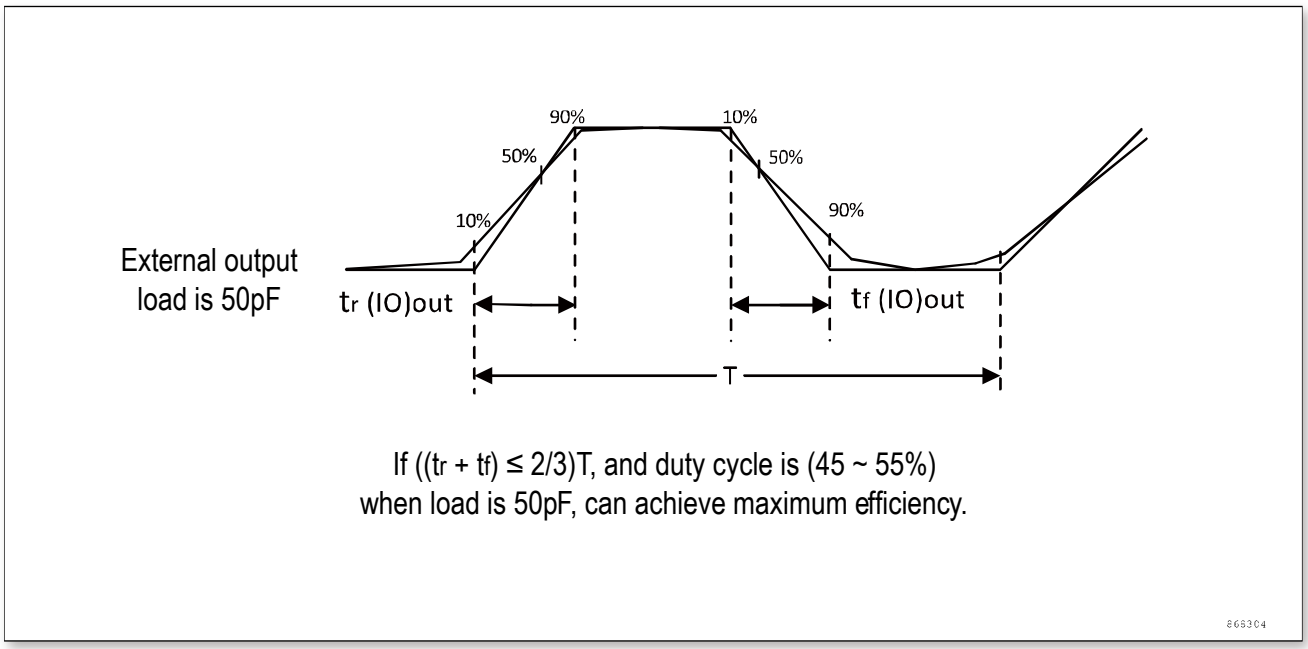

图 5-9 I/O 交流特性

5.3.12 Timer 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 5.3.11 I/O 端口特性。

表 5-24 TIMx (1) 特性

Symbol	Parameter	Condition	Minimum	Maximum	Unit
$t_{res(TIM)}$	Timer resolution	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz	13.89	-	ns
f_{EXT}	External clock frequency of channel 1 to 4	-	0	-	MHz
		$f_{TIMxCLK}$ = 72MHz	0	72	
Res_{TIM}	Timer resolution	-	-	16	bit
$t_{COUNTER}$	16-bit counter period	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz	0.01389	910.2	μs
t_{MAX_COUNT}		-	-	65536	$t_{TIMxCLK}$

Symbol	Parameter	Condition	Minimum	Maximum	Unit
	Maximum possible counter value (TIM_PSC adjustable)	$f_{TIMxCLK}$ = 72MHz	-	910.2	μs
t_{MAX_IN}	TIM1 maximum input frequency	-	-	144	MHz
t_{MAX_IN}	TIM3/14/16/17 maximum input frequency	-	-	72	MHz

1. 设计保证，不在生产中测试

5.3.13 I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLK1} 频率和 V_{DD} 供电电压符合表 5-3 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 5.3.11 I/O 端口特性。

表 5-25 I2C 接口特性

Symbol	Parameter	Standard I2C (1)		Fast mode I2C (1)		Unit
		Minimum	Maximum	Minimum	Maximum	
$t_{w(SCLL)}$	SCL clock low time	9*t_{PCLK}	-	9*t_{PCLK}	-	us
$t_{w(SCLH)}$	SCL clock high time	18*t_{PCLK}	-	18*t_{PCLK}	-	us
$t_{su(SDA)}$	SDA setup time	1*t_{PCLK}	-	1*t_{PCLK}	-	ns
$t_{h(SDA)}$	SDA data retention time	0 (3)	- (4)	0 (3)	- (4)	ns
$t_{r(SDA)}$ $t_{r(SCL)}$	SDA and SCL rising time	-	1000	20	300	ns
$t_{f(SDA)}$ $t_{f(SCL)}$	SDA and SCL fall time	-	300	20×(V_{DD}/5.5V)	300	ns
$t_{vd(DAT)}$ (5)	Data valid time	-	8*t_{PCLK} – 1 (4)	-	8*t_{PCLK} - 0.3 (4)	us
$t_{vd(ACK)}$ (6)	Data valid acknowledge time	-	8*t_{PCLK} – 1 (4)	-	8*t_{PCLK} - 0.3 (4)	us
$t_{h(STA)}$	Start condition hold time	8*t_{PCLK}	-	8*t_{PCLK}	-	us
$t_{su(STA)}$	Start condition setup time	19*t_{PCLK}	-	17*t_{PCLK}	-	us
$t_{su(STO)}$	Stop condition setup time	17*t_{PCLK}	-	17*t_{PCLK}	-	us
$t_{w(STO:STA)}$	Time from Stop condition to Start condition (bus idle)	484*t_{PCLK}	-	144*t_{PCLK}	-	us
C_b	Capacitive load of each bus	-	400	-	400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大 频率，f_{PCLK1} 必须大于 12MHz。
3. 在 SDA 进入 0.3V_{DD} 至 0.7V_{DD} 的不确定范围之前，确保 SCL 在下降沿下降到 0.3V_{DD} 以下。

注意：对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 $0.3V_{DD}$ 的转换时间来插入 SDA 转换相对于 SCL 的延迟。

4. 标准模式和快速模式的最大 $t_{h(SDA)}$ 可以是 3.45 us 和 0.9 us，但必须比 $t_{vd(DAT)}$或 $t_{vd(ACK)}$ 的最大值小一个转换时间。 仅当器件不延长 SCL 信号的低电平周期 ($t_{w(SCLL)}$) 时才必须满足此最大值。如果时钟延长了 SCL，则数据在释放时钟之前必须在建立时间之前有效。
5. $t_{vd(DAT)}$ = 从 SCL LOW 到 SDA 输出数据信号的时间。
6. $t_{vd(ACK)}$ = 从 SCL LOW 到 SDA 输出确认信号的时间。

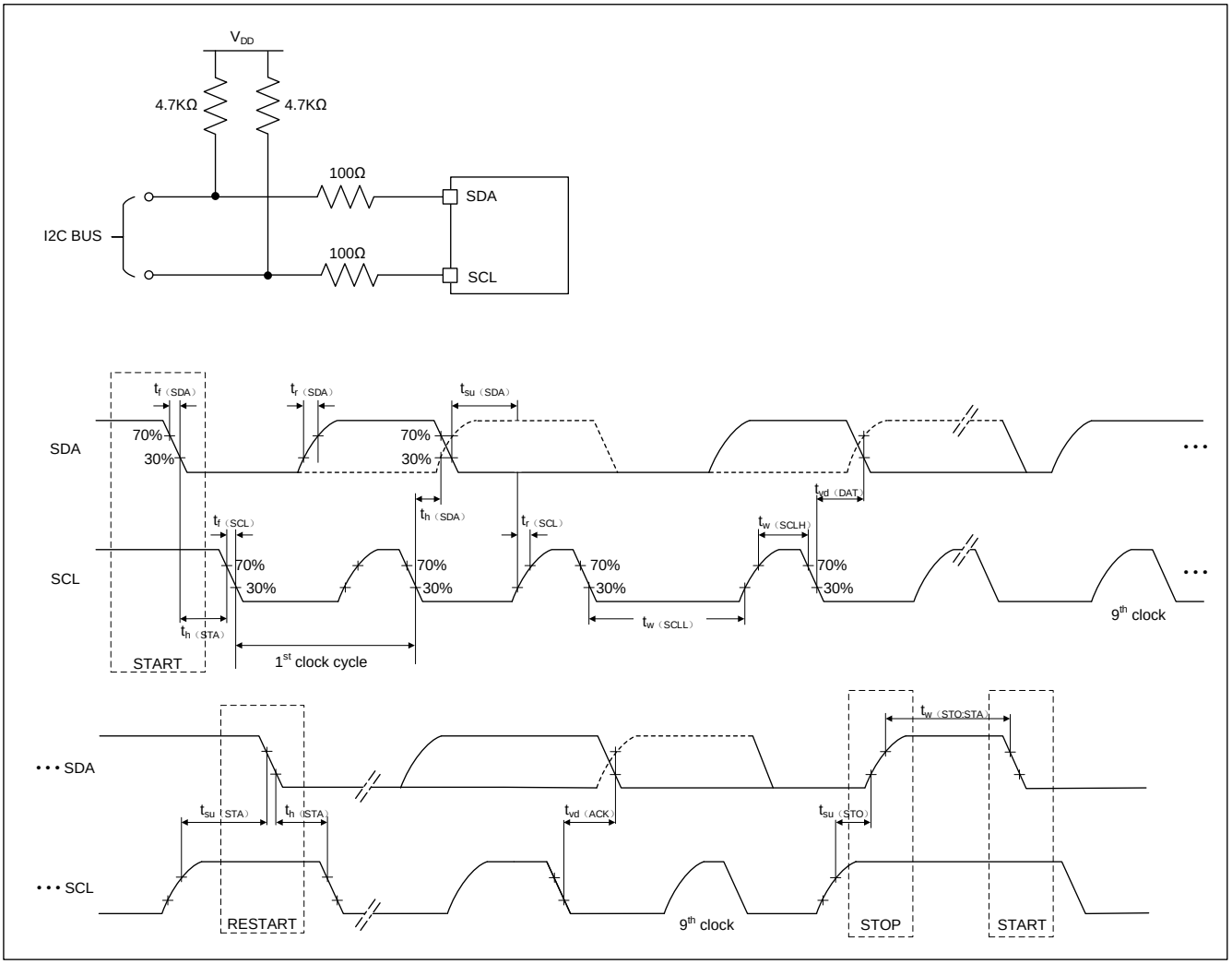

图 5-10 I2C 总线交流波形和测量电路 (1)

1. 测量点设置于 CMOS 电平：$0.3V_{DD}$ 和 $0.7V_{DD}$。

5.3.14 SPI 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 5-3 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 5.3.11 I/O 端口特性。

表 5-26 SPI 特性(1)

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f_{SCK} $1/t_{c(SCK)}$	SPI clock frequency	Master mode, T_A = 25°C	-	36 (4)	MHz
		Slave mode, T_A = 25°C	-	18	
$t_{r(SCK)}$	SPI clock rise time	Load capacitance: C = 15pF	-	3	ns
$t_{f(SCK)}$	SPI clock fall time	Load capacitance: C = 15pF	-	3	ns
$t_{su(NSS)}$ (1)	NSS setup time	Slave mode	10	-	ns
$t_{h(NSS)}$ (1)	NSS hold time	Slave mode	10	-	ns
$t_{w(SCKH)}$ (1)	SCK high time	-	$t_{c(SCK)}$ /2 - 3	$t_{c(SCK)}$ /2 + 3	ns
$t_{w(SCKL)}$ (1)	SCK low time	-	$t_{c(SCK)}$ /2 - 3	$t_{c(SCK)}$ /2 + 3	ns
$t_{su(MI)}$ (1)	Data input setup time	Master mode, f_{PCLK} = 72MHz, prescaler = 2, high speed mode	5	-	ns
$t_{su(SI)}$ (1)		Slave mode	5	-	ns
$t_{h(MI)}$ (1)	Data input hold time	Master mode, f_{PCLK} = 72MHz, prescaler = 2, high speed mode	5	-	ns
$t_{h(SI)}$ (1)		Slave mode	5	-	ns
$t_{v(MO)}$ (1)	Data output valid time	Master mode (after enable edge)	-	8	ns
$t_{v(SO)}$ (1)	Data output valid time	Slave mode (after enable edge)	-	25	ns

1. 由综合评估得出。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。
4. 当 SPI 工作在极限速率时，建议在 SCK 连线间串接阻抗匹配电阻，以保证传输的稳定性；并确保 SPI Master 和 SPI Slave 的 SCK 连线尽可能短。

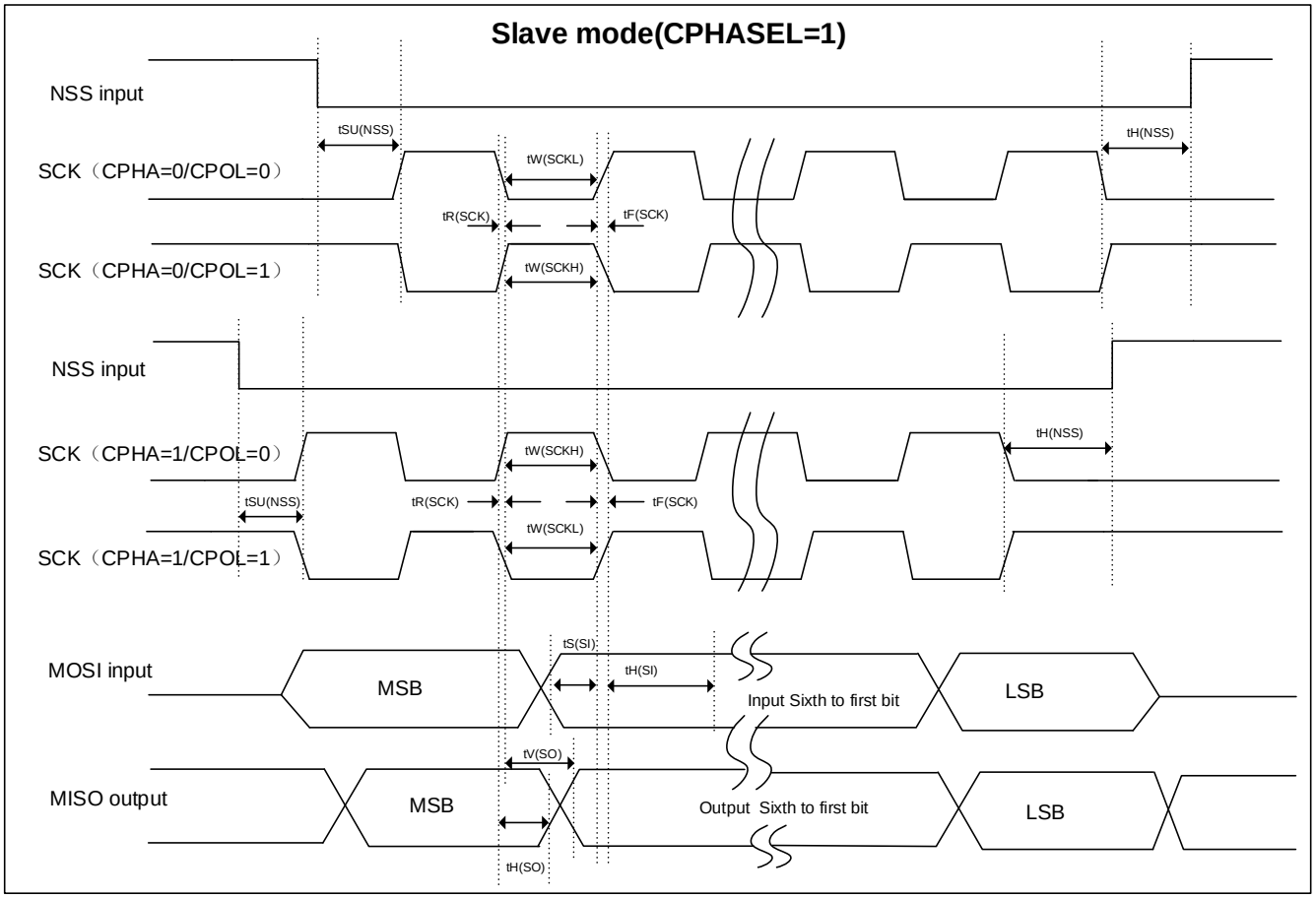

图 5-11 SPI 时序图从模式，CPHASEL = 1 (1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

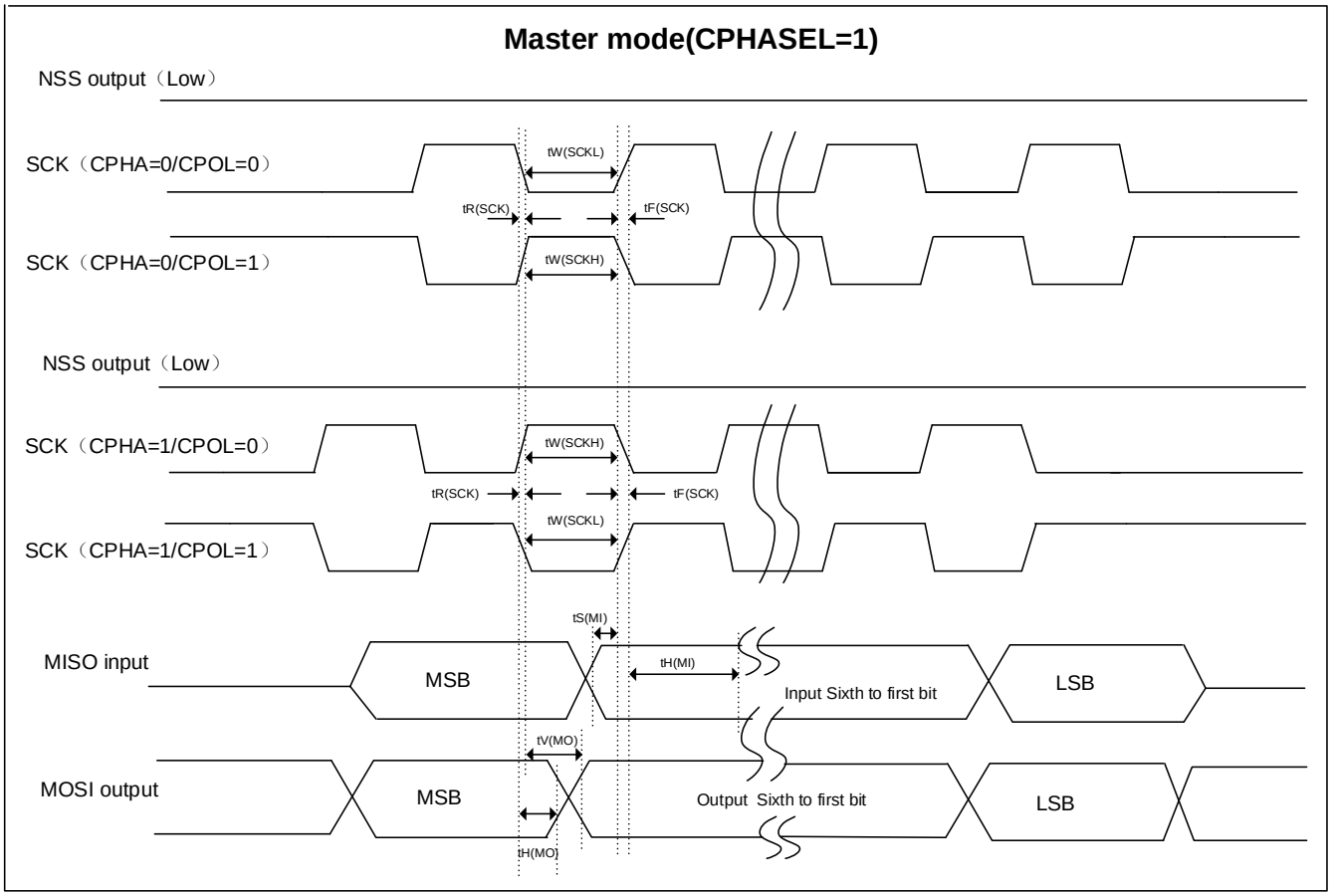

图 5-12 SPI 时序图主模式，CPHASEL = 1 (1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.3.15 USART 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 5-3 的条件测量得到。

有关输入输出复用功能引脚（SCLK、TX、RX）的特性详情，参见小节 5.3.11 I/O 端口特性。

表 5-27 USART 特性(1)

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f_{SCLK} $1/t_{c(SCLK)}$	USART clock frequency	Master mode, T_A = 25°C	-	12	MHz
		Slave mode, T_A = 25°C	-	12	
$t_{r(SCLK)}$	SCLK clock rise time	Load capacitance: C = 15pF	-	3	ns
$t_{f(SCLK)}$	SCLK clock fall time	Load capacitance: C = 15pF	-	3	ns
$t_{w(SCLKH)}$	SCLK high time	-	$t_{c(SCLK)}/2 - 3$	$t_{c(SCLK)}/2 + 3$	ns
$t_{w(SCLKL)}$	SCLK low time	-	$t_{c(SCLK)}/2 - 3$	$t_{c(SCLK)}/2 + 3$	ns

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
$t_{su(MI)}$	Data input setup time	Master mode, f_{PCLK} = 72MHz, prescaler = 8	5	-	ns
$t_{su(SI)}$		Slave mode	5	-	ns
$t_{h(MI)}$	Data input hold time	Master mode, f_{PCLK} = 72MHz, prescaler = 8	5	-	ns
$t_{h(SI)}$		Slave mode	5	-	ns
$t_{v(MO)}$	Data output valid time	Master mode (after enable edge)	-	8	ns
$t_{v(SO)}$	Data output valid time	Slave mode (after enable edge)	-	25	ns

1. 由设计保证，不在生产中测试。

5.3.16 ADC 特性

除非特别说明，下表的参数是使用符合表 5-3 的条件的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 5-28 ADC 特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V_{DDA}	Supply voltage	-	2.5	3.3	5.5	V
f_{ADC}	ADC clock frequency	-	-	-	16	MHz
f_S (1)	Sampling frequency	-	-	-	1	MHz
f_{TRIG} (1)	External trigger frequency (3)	f_{ADC} = 16MHz	-	-	1	MHz
		-	-	-	16	$1/f_{ADC}$
V_{AIN} (2)	Conversion voltage range	-	0	-	V_{DDA}	V
R_{AIN} (1)	External input impedance	-	See equation 2			kΩ
R_{ADC} (1)	Sampling switch resistance	-	-	-	1.5	kΩ
C_{ADC} (1)	Internal sample and hold capacitance	-	-	-	10	pF
t_{STAB} (1)	Stabilization time	-	-	-	10	μs
t_{latr} (1)	Delay between trigger and conversion start	-	-	-	-	$1/f_{ADC}$
t_S (1)	Sampling time	f_{ADC} = 16MHz	0.156	-	15.031	μs
		-	2.5	-	240.5	$1/f_{ADC}$
t_{CONV} (1)	Total conversion time (including sampling time)	f_{ADC} = 16MHz	0.9375	-	15.8125	μs
		-	15 ~ 253 (sampling t_S + successive approximation 12.5)			$1/f_{ADC}$
ENOB	Effective number of bits	-	-	11	-	bit

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中，V_{REF+} 在内部连接到 V_{DDA}，V_{REF-} 在内部连接到 V_{SSA}。
4. 由设计保证，不在生产中测试。
5. 对于外部触发，必须在时延中加上一个延迟 1/ f_{ADC}。

输入阻抗列表

公式 2

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 2）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12（表示 12 位分辨率），是在 f_{ADC} = 15MHz 时测量所得。

表 5-29 f_{ADC}=16MHz [1] 时的最大 R_{AIN}

T_S (cycles)	t_S (μs)	Maximum R_{AIN} (kΩ)
2.5	0.156	0.1
8.5	0.531	4.0
14.5	0.906	7.8
29.5	1.844	17.5
42.5	2.656	25.9
56.5	3.531	34.9
72.5	4.531	45.2
240.5	15.031	153.4

1. 由设计保证，不在生产中测试。

表 5-30 ADC 静态参数 [1][2]

Symbol	Parameter	Conditions	Typical	Unit
ET	Comprehensive error	f_{PCLK1} = 48MHz, f_{ADC} = 16MHz, R_{AIN} < 0.1 kΩ, V_{DDA} = 3.3V, T_A = 25°C	-4/+3	LSB
EO	Offset error		-2/+3	
EG	Gain error		-2/+2	
ED	Differential linearity error		-0.8/+2	
EL	Integral linearity error		-3/+3	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电 流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产 生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于小节 5.2 中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。
2. 由综合评估保证，不在生产中测试。

其中，ADC 静态参数的含义解释如下，其对应的示意图如图 5-13 所示。

- ET = 总未调整误差：实际和理想传输曲线间的最大偏离。
- EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

- EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
- ED = 微分线性误差：实际步进和理想值间的最大偏离。
- EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

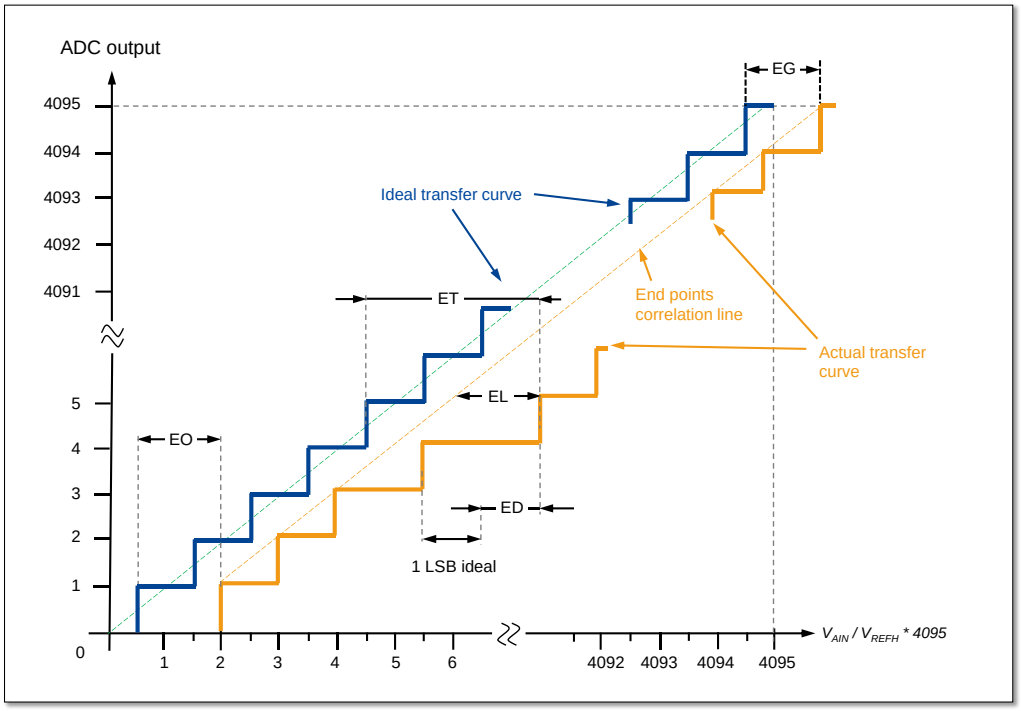

图 5-13 ADC 静态参数示意图

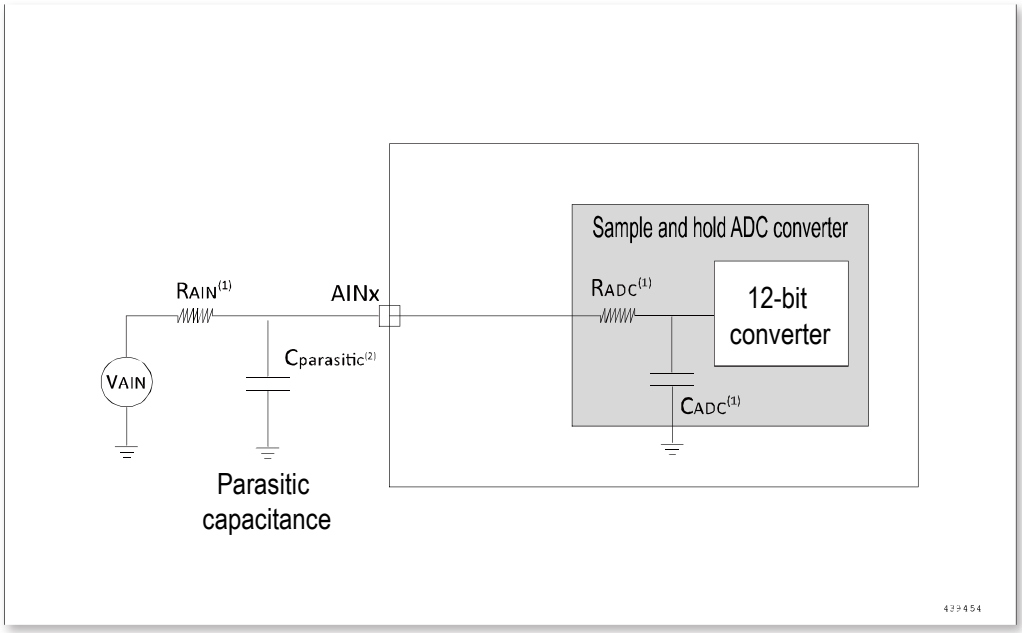

图 5-14 使用 ADC 典型的连接图

1. 有关 R_{AIN}、R_{ADC} 和 C_{ADC} 的数值，参见表 5-28。

2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关） 与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC}。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

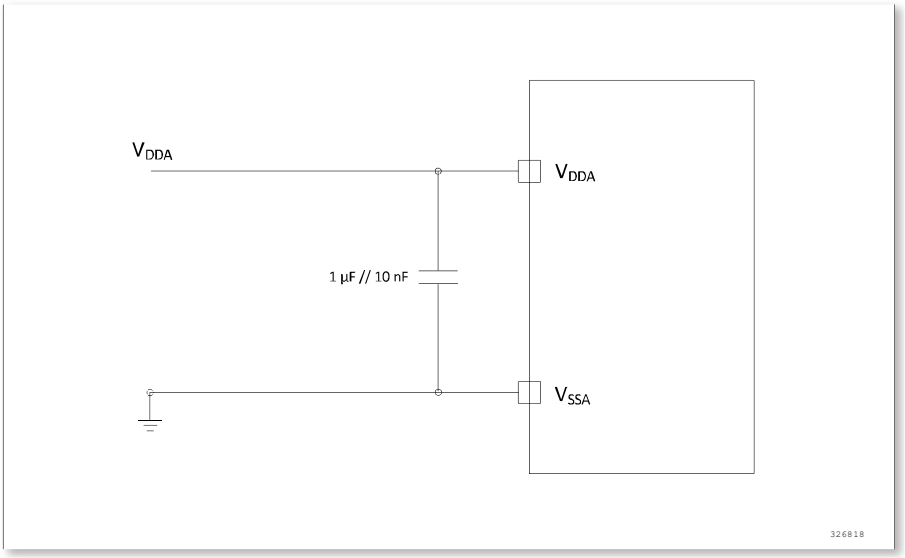

图 5-15 供电电源和参考电源去耦线路

5.3.17 比较器特性

表 5-31 比较器特性 (1)

Symbol	Parameter	Condition	Minimum	Typical	Maximum	Unit
V_{DDA}	Supply voltage	-	2.5	3.3	5.5	V
V_{input}	Input voltage	-	0.4	-	V_{DDA}-1V	V
t_{HYST}	Hysteresis	HYST = 00, MODE = 00	-	0	-	mV
		HYST = 01, MODE = 00	-	22	-	mV
		HYST = 10, MODE = 00	-	45	-	mV
		HYST = 11, MODE = 00	-	85	-	mV
		HYST = 00, MODE != 00	-	0	-	mV
		HYST = 01, MODE != 00	-	15	-	mV
		HYST = 10, MODE != 00	-	32	-	mV
		HYST = 11, MODE != 00	-	60	-	mV
V_{OFFSET}	Offset voltage	HYST = 00	-	±6	-	mV
		HYST = 01	-	±5.5	-	mV
		HYST = 10	-	±5	-	mV
		HYST = 11	-	±4	-	mV

Symbol	Parameter	Condition	Minimum	Typical	Maximum	Unit
t_{DELAY}	Propagation delay	MODE = 00	-	15.5	-	ns
		MODE = 01	-	28.9	-	ns
		MODE = 10	-	44.6	-	ns
		MODE = 11	-	956.7	-	ns
I_q	Average working current	MODE = 00	-	95.3	-	uA
		MODE = 01	-	61.2	-	uA
		MODE = 10	-	57	-	uA
		MODE = 11	-	35.5	-	uA

1. 由设计保证，不在生产中测试。

5.3.18 CSM 特性

表 5-32 CSM 特性 (1)

Symbol	Parameter	Condition	Minimum	Typical	Maximum	Unit
V_{DDA}	Supply voltage	-	3.0	3.3	5.5	V
t_r	Rise time	90% V_{REF}	-	-	266	ns
t_f	Fall time	10% V_{SSA}	-	-	260	ns
CLK	Input Clock frequency	-	-	300	330	KHz
I_{on}	Power consumption current	-	-	800	-	uA
C_{load}	Capacitor load	-	0.3	-	1.2	nf
R_{load}	Resistor load	-	1	-	5.1	KΩ

1. 由设计保证，不在生产中测试。

6 封装特性

6.1 LQFP48

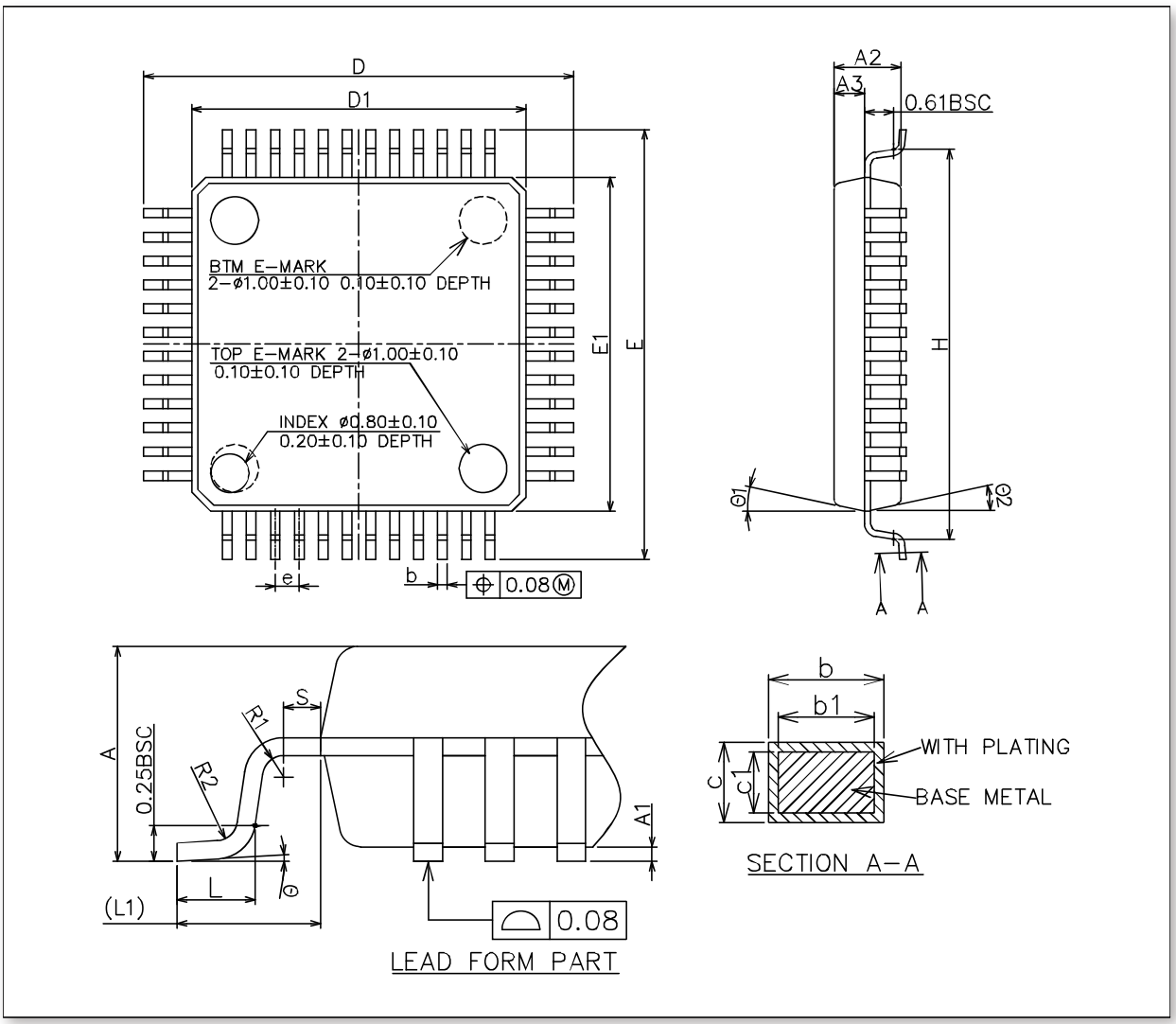

图 6-1 LQFP48 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-1 LQFP48 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	-	-	1.6
A1	0.05	-	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	-	0.50	-
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.2
S	0.2	-	-
θ	0°	3.5°	7°
θ1	0°	-	-
θ2	11°	12°	13°
Θ3	11°	12°	13°

6.2 LQFP32

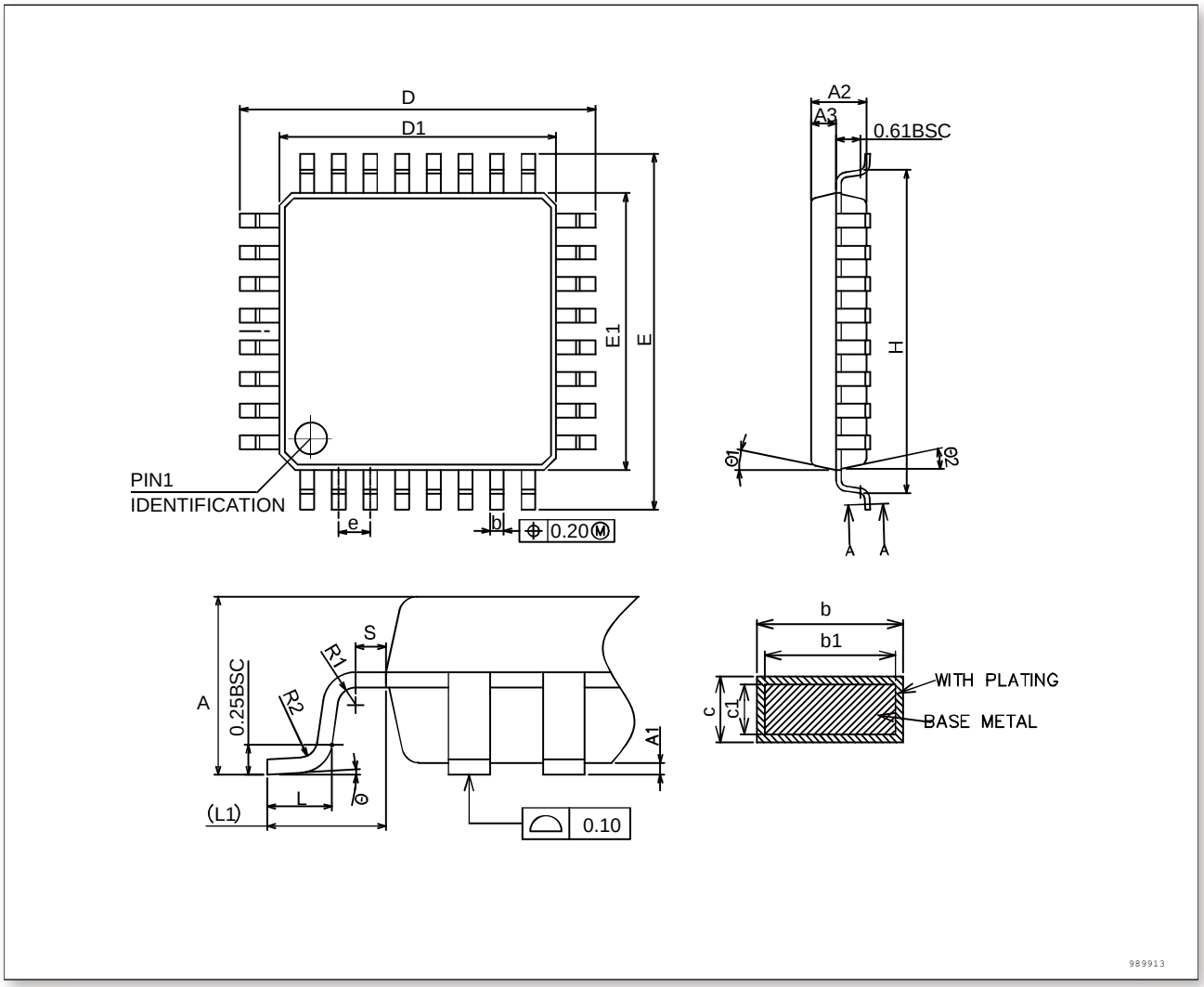

图 6-2 LQFP32 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-2 LQFP32 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.33	-	0.42
b1	0.32	0.35	0.38
c	0.13	-	0.18
c1	0.117	0.127	0.137
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	-	0.80	-
H	8.14	8.17	8.20
L	0.50	-	0.70
L1	1.00REF		
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0 ◦	3.5 ◦	7 ◦
θ1	11 ◦	12 ◦	13 ◦
θ2	11 ◦	12 ◦	13 ◦

6.3 QFN32 5x5 mm2

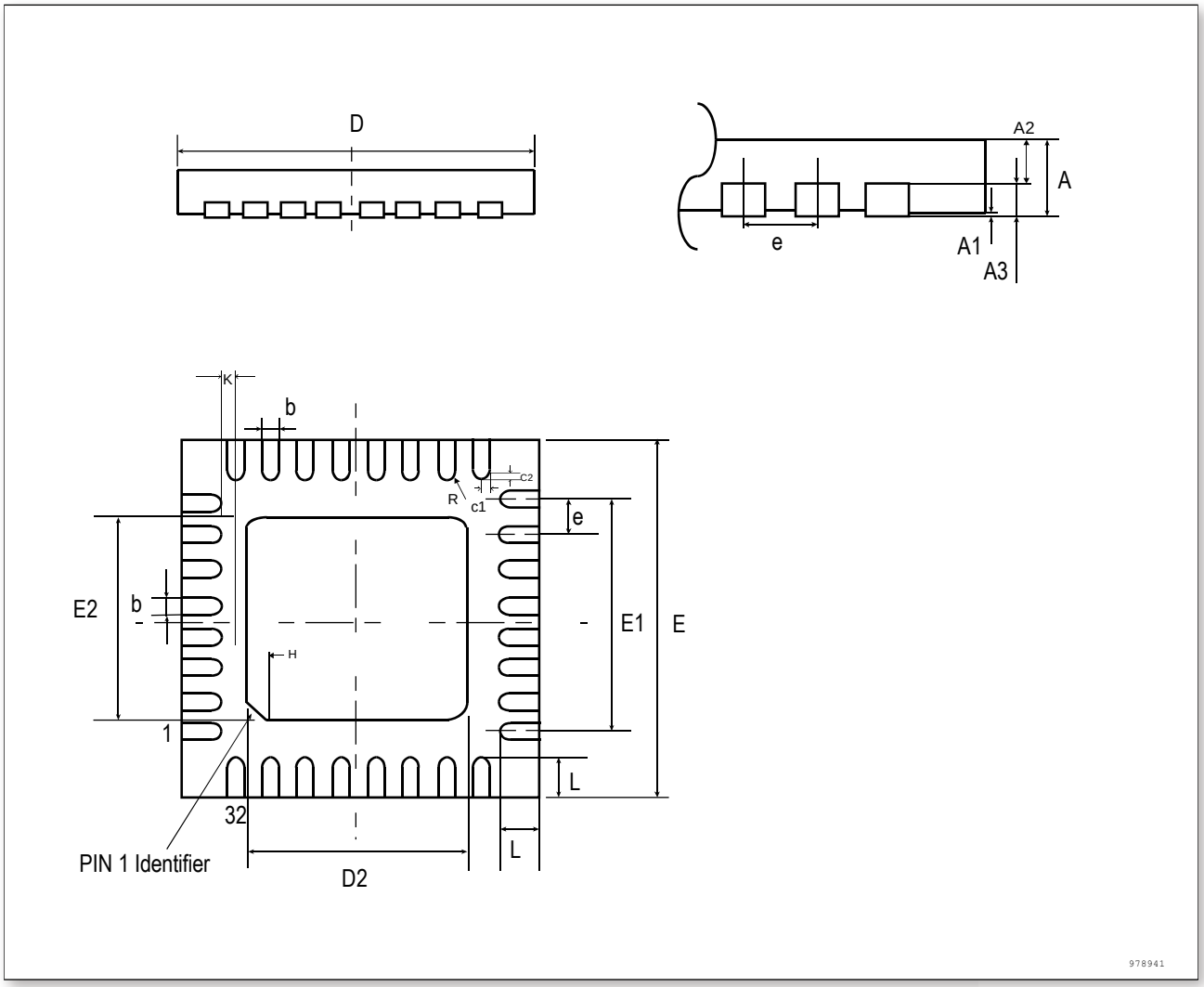

图 6-3 QFN32 5x5 mm2 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-3 QFN32 5x5 mm2 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.7	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
e	-	0.5	-
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09	-	-
c1	-	0.08	-
c2	-	0.08	-
N	Pin count = 32		

6.4 QFN32 4x4 mm2

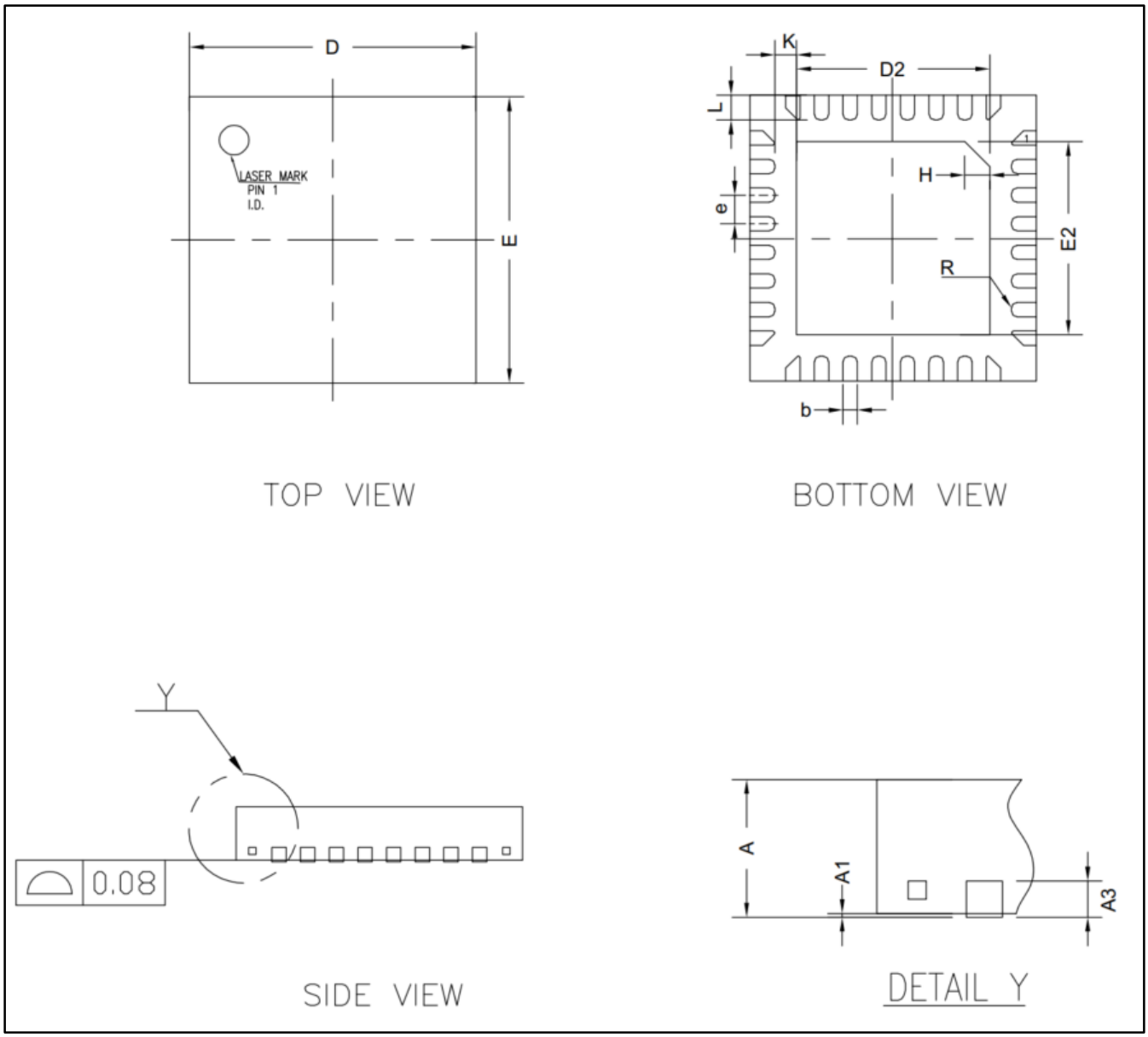

图 6-4 QFN32 4x4 mm2 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-4 QFN32 4x4 mm2 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.203REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.55	2.70	2.85
E2	2.55	2.70	2.85
e	-	0.40	-
K	0.30REF		
H	0.35REF		
L	0.30	0.35	0.40
R	0.075REF		

6.5 QFN20

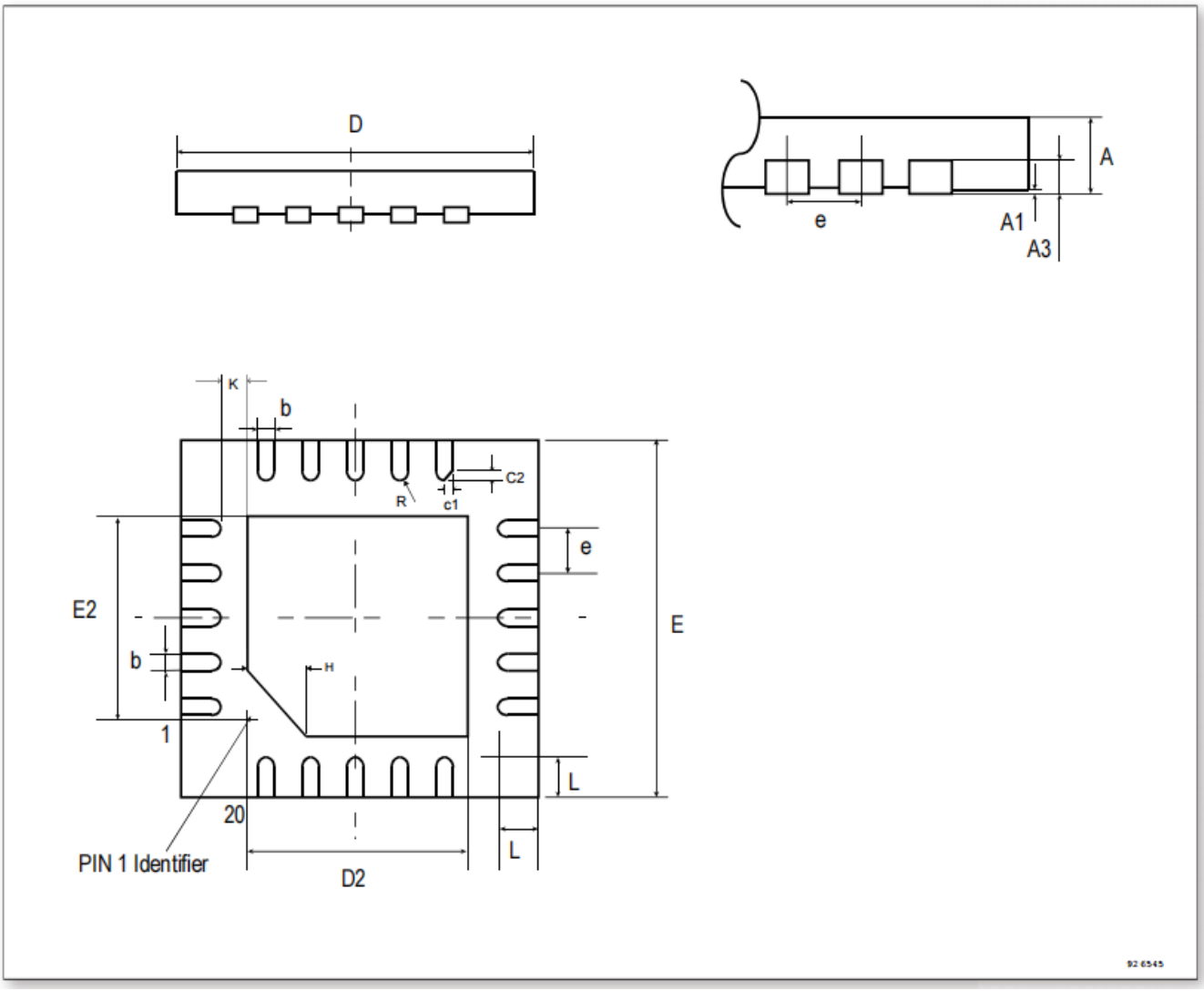

图 6-5 QFN20 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-5 QFN20 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.50	0.55	0.50
A1	0.00	0.02	0.05
A3	0.152REF		
b	0.15	0.20	0.25
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D2	1.40	1.50	1.60
E2	1.40	1.50	1.60
e	-	0.40	-
K	0.35REF		
H	0.40REF		
L	0.25	0.35	0.45
R	0.075REF		

7 修订记录

表 7-1 修订历史

Date	Revision	Description
2023/12/29	Rev0.5	初版
2024/04/02	Rev0.9	更新数据,增加 QFN20 封装
2024/11/20	Rev0.91	LQFP32 引脚 31 变更为 double binding PB8 和 PD5-BOOT