



数据手册

MM32F5330

基于 Arm®v8-M 架构 32 位 STAR-MC1 内核(兼容 Cortex-M33) 微控制器

Revision: 1.3

灵动微电子有权在任何时间对此文件包含的信息（包括但不限于规格与产品说明）做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

1	总览.....	1
1.1	概述	1
1.2	主要特点.....	1
2	订购信息	4
2.1	订购表	4
2.2	丝印	5
2.3	产品命名规则.....	6
3	功能描述	7
3.1	系统框图	7
3.2	内核简介	8
3.3	缓存简介	8
3.4	总线简介	8
3.5	存储器映像	8
3.6	Flash	10
3.7	SRAM	10
3.8	NVIC.....	10
3.9	EXTI	11
3.10	时钟配置.....	11
3.11	启动模式.....	11
3.12	供电方案.....	11
3.13	供电监控器	12
3.14	电压调压器	12
3.15	低功耗模式	12
3.16	DMA	14
3.17	MindSwitch.....	14
3.18	定时器和看门狗 TIM & WDG	14
3.19	实时时钟 RTC	16
3.20	备份寄存器	17
3.21	GPIO	17
3.22	UART	17
3.23	USART	17
3.24	LPUART	17
3.25	I2C.....	18
3.26	I3C.....	18
3.27	SPI	18
3.28	I2S.....	18
3.29	FlexCAN-FD.....	18
3.30	USB FS	18
3.31	ADC.....	18
3.32	DAC.....	19
3.33	COMP	19
3.34	CRC	19
3.35	调试	19
4	引脚定义及复用功能	20

4.1	引脚分布图	20
4.1.1	LQFP64 引脚分布	20
4.1.2	LQFP48 引脚分布	21
4.1.3	QFN32 5x5 mm ² 引脚分布	22
4.1.4	QFN28 引脚分布	23
4.2	引脚定义表	24
4.3	GPIO 复用表	30
5	电气特性	37
5.1	测试条件	37
5.1.1	负载电容	37
5.1.2	引脚输入电压	37
5.1.3	供电方案	38
5.1.4	电流消耗测量	38
5.2	数据说明	39
5.3	绝对最大额定值	39
5.4	工作条件	40
5.4.1	通用工作条件	40
5.4.2	上电和掉电时的工作条件	41
5.4.3	内嵌复位和电源控制模块特性	41
5.4.4	内置的参照电压	42
5.4.5	供电电流特性	43
5.4.6	外部时钟源特性	49
5.4.7	内部时钟源特性	52
5.4.8	PLL1 特性	53
5.4.9	PLL2 特性	53
5.4.10	存储器特性	54
5.4.11	EMC 特性	54
5.4.12	I/O 端口特性	56
5.4.13	NRST 引脚特性	59
5.4.14	Timer 定时器特性	60
5.4.15	I2C 接口特性	61
5.4.16	SPI 接口特性	62
5.4.17	USART 接口特性	66
5.4.18	USB FS 接口特性	67
5.4.19	ADC 特性	67
5.4.20	温度传感器特性	71
5.4.21	DAC 特性	72
5.4.22	比较器特性	72
6	封装特性	74
6.1	LQFP64	74
6.2	LQFP48	76
6.3	QFN32 5x5 mm ²	78
6.4	QFN28	80
7	修订记录	82

表格

表 2-1 订购表	4
表 3-1 存储器映像	8
表 3-2 不同功耗模式下的外设状态	13
表 3-3 定时器功能比较	15
表 4-1 引脚定义	24
表 4-2 PA 端口功能复用 AF0-AF7	30
表 4-3 PA 端口功能复用 AF8-AF15	31
表 4-4 PB 端口功能复用 AF0-AF7	32
表 4-5 PB 端口功能复用 AF8-AF15	33
表 4-6 PC 端口功能复用 AF0-AF7	34
表 4-7 PC 端口功能复用 AF8-AF15	35
表 4-8 PD 端口功能复用 AF0-AF7	36
表 4-9 PD 端口功能复用 AF8-AF15	36
表 4-10 PH 端口功能复用 AF0-AF7	36
表 4-11 PH 端口功能复用 AF8-AF15	36
表 4-12 PI 端口功能复用 AF0-AF7	36
表 4-13 PI 端口功能复用 AF8-AF15	36
表 5-1 电气特性章节中的数据类别	39
表 5-2 电压特性	39
表 5-3 电流特性	40
表 5-4 通用工作条件	40
表 5-5 上电和掉电时的工作条件	41
表 5-6 内嵌复位和电源控制模块特性	42
表 5-7 内置的参照电压	42
表 5-8 运行模式下的典型电流消耗	43
表 5-9 低功耗运行模式下的典型电流消耗	44
表 5-10 睡眠模式下的典型电流消耗	45
表 5-11 停机和深度停机模式下的典型电流消耗	46
表 5-12 待机模式下的典型电流消耗	46
表 5-13 内置外设的典型电流消耗	47
表 5-14 低功耗模式的唤醒时间	48
表 5-15 高速外部用户时钟特性	49
表 5-16 低速外部用户时钟特性	50
表 5-17 HSE 振荡器特性	50
表 5-18 LSE 振荡器特性	52
表 5-19 HSI 振荡器特性	52
表 5-20 LSI 振荡器特性	53
表 5-21 PLL1 特性	53
表 5-22 PLL2 特性	54
表 5-23 Flash 存储器特性	54
表 5-24 Flash 存储器寿命和数据保存期限	54
表 5-25 EMS 特性	55
表 5-26 ESD & LU 特性	56
表 5-27 I/O 静态特性	56

表 5-28 输出电压特性.....	57
表 5-29 I/O 交流特性 ⁽¹⁾⁽²⁾	58
表 5-30 NRST 引脚特性	59
表 5-31 TIMx 特性	60
表 5-32 I2C 接口特性	61
表 5-33 SMBus 输入电压特性	62
表 5-34 SPI 特性	63
表 5-35 USART 特性	66
表 5-36 USB 电气特性	67
表 5-37 USB 动态特性	67
表 5-38 ADC 特性	68
表 5-39 $f_{ADC}=48MHz$ 时的最大 R_{AIN}	68
表 5-40 ADC 静态参数	69
表 5-41 温度传感器特性	71
表 5-42 DAC 特性	72
表 5-43 比较器特性	72
表 6-1 LQFP64 封装尺寸细节	75
表 6-2 LQFP48 封装尺寸细节	77
表 6-3 QFN32 5x5 mm ² 封装尺寸细节	79
表 6-4 QFN28 封装尺寸细节	81
表 7-1 修订历史	82

插图

图 2-1 LQFP 和 QFN 封装丝印	5
图 2-2 型号命名规则	6
图 3-1 系统框图	7
图 4-1 LQFP64 引脚分布	20
图 4-2 LQFP48 引脚分布	21
图 4-3 QFN32 5x5 mm ² 引脚分布	22
图 4-4 QFN28 引脚分布	23
图 5-1 引脚的负载条件	37
图 5-2 引脚输入电压	37
图 5-3 供电方案	38
图 5-4 电流消耗测量方案	39
图 5-5 上电与掉电波形	41
图 5-6 外部高速时钟源的交流时序图	49
图 5-7 外部低速时钟源的交流时序图	50
图 5-8 使用 8MHz 晶体的典型应用	51
图 5-9 使用 32.768KHz 晶体的典型应用	52
图 5-10 I/O 交流特性	59
图 5-11 建议的 NRST 引脚保护	60
图 5-12 I2C 总线交流波形和测量电路	62
图 5-13 SPI 时序图从模式和 CPHA = 0, CPHASEL = 1	64
图 5-14 SPI 时序图从模式和 CPHA = 1, CPHASEL = 1 ⁽¹⁾	65
图 5-15 SPI 时序图主模式, CPHASEL = 1 ⁽¹⁾	66
图 5-16 ADC 静态参数示意图	70
图 5-17 使用 ADC 典型的连接图	70
图 5-18 供电电源和参考电源去耦线路	71
图 6-1 LQFP64 封装尺寸	74
图 6-2 LQFP48 封装尺寸	76
图 6-3 QFN32 5x5 mm ² 封装尺寸	78
图 6-4 QFN28 封装尺寸	80

1 总览

1.1 概述

MM32F5330 微控制器搭载了安谋科技授权的 Arm®v8-M 架构“星辰” STAR-MC1 内核(兼容 Cortex-M33) 处理器, 最高工作频率可达 180MHz。内置了 128KB Flash, 32KB SRAM, 所有 Flash 和 SRAM 配置 ECC, 并集成了丰富的 I/O 端口和外设模块, 包括 2 个 3MSPS 12 位的 ADC, 1 个 12 位的 DAC, 2 个模拟比较器, 2 个 16 位高级定时器, 2 个 16 位和 2 个 32 位通用定时器, 2 个 16 位基础定时器和 1 个低功耗定时器, 还包含通信接口如 2 个 I2C, 1 个 I3C 从机, 3 个 SPI 或 I2S, 4 个 UART, 1 个 USART, 1 个低功耗 UART, 1 个集成了内部 PHY 的 USB 2.0 全速 Device/Host 控制器, 以及 1 个 FlexCAN-FD 接口。

本产品系列工作电压为 1.8V ~ 5.5V, 工作温度范围为扩展工业型 -40°C ~ +105°C。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置, 使得本产品微控制器适合于多种应用场合:

- 工业控制
- 电机控制
- 数字电源
- 新能源光伏
- 变频器
- 编码器

本产品提供 LQFP64, LQFP48, QFN32 和 QFN28 等多种封装形式。

1.2 主要特点

- 内核与系统
 - 工作频率可达 180MHz
 - 搭载 32 位 STAR-MC1 内核(兼容 Cortex-M33) 处理器, 采用 Armv8-M Mainline 架构, 内置单精度浮点运算单元 (FPU), 支持 DSP 扩展
 - 4KB L1 指令缓存 (I-Cache) 和 4KB L1 数据缓存 (D-Cache)
 - 三角函数加速单元 (CORDIC), 支持 Sin, Cos 和 Atan 操作
 - 外设互联矩阵 MindSwitch, 支持定时器、GPIOs、EXTI、ADC、DAC 和比较器等模块信号间的直接连接或触发连接; 内置 4 个可配置逻辑单元 (CLU) 可支持这些信号间的逻辑组合以实现更灵活的触发控制
- 存储器

- 多达 128KB 的 Flash 存储器，支持 ECC
 - 多达 32KB 的 SRAM，支持 ECC
 - Boot loader 支持片内 Flash 在线系统编程（ISP）
- 时钟、复位和电源管理
 - 1.8V ~ 5.5V 供电
 - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
 - 外部 4 ~ 24MHz 高速晶体振荡器
 - 内置经出厂调校的 8MHz 高速 RC 振荡器
 - 内置的 PLL1 可产生系统时钟，支持多种分频模式，为总线矩阵和外设提供时钟
 - 内置的 PLL2 可产生最高 100MHz 的系统时钟，支持多种分频模式，为 USB，FlexCAN-FD 和 ADC 提供时钟
 - 内置 40KHz 低速振荡器
 - 外部 32.768KHz 低速振荡器，支持旁路功能
- 低功耗
 - 多种低功耗模式，包括：低功耗运行（Lower Power Run）、睡眠（Sleep）、低功耗睡眠（Low Power Sleep）、停机（Stop）、深度停机（Deep Stop）和待机模式（Standby）
 - V_{BAT} 为 RTC 和后备寄存器（20 x 16 位）供电
- 2 个 8 通道 DMA 控制器，支持外设类型包括定时器、ADC、DAC、UART、LPUART、I2C、I3C、SPI 和 FlexCAN-FD
- 13 个定时器
 - 2 个 16 位 4 通道高级定时器（TIM1 / TIM8），每个通道配有 2 个 PWM 输出，其中包括 1 路互补输出，并支持硬件死区插入和故障检测后的紧急停止功能
 - 2 个 16 位 4 通道通用定时器（TIM3 / TIM4）和 2 个 32 位 4 通道通用定时器（TIM2 / TIM5），每个通道配有 1 个 PWM 输出，并支持输入捕捉和输出比较，可用于红外、霍尔传感器或者编码器信号的解码
 - 2 个 16 位基础定时器（TIM6 / TIM7）可用作通用定时和产生中断
 - 1 个 16 位低功耗定时器（LPTIM）能否在除了 Standby 以外的所有低功耗模式下唤醒处理器
 - 2 个看门狗定时器，包括独立型的 IWDG 和窗口型的 WWDG
 - 1 个 24 位 SysTick 定时器
 - 1 个 RTC 实时时钟
- 多达 54 个快速 I/O 端口
 - 所有 I/O 口可以映像到 16 个外部中断

- 所有端口均可输入输出电压不高于 V_{DD} 的信号
 - 多达 32 个 5V 容忍 I/O 端口
- 多达 14 个通信接口
 - 4 个 UART 接口
 - 1 个 USART 接口（支持 SPI 模式）
 - 1 个 LPUART 接口
 - 2 个 I2C 接口
 - 1 个 I3C 从机接口
 - 3 个 SPI 接口（支持 I2S 模式）
 - 1 个 USB 2.0 全速 Device/Host 控制器，内置 PHY
 - 1 个 FlexCAN-FD 接口，兼容 CAN 2.0B 和 CAN-FD 协议
- 2 个 12 位 ADC，共支持 16 个外部输入通道和 2 个内部输入通道，其中每个 ADC 支持最快 3MSPS 转换率，硬件支持过采样到 16 位分辨率
 - 转换范围：0 ~ V_{DDA}
 - 支持采样时间和分辨率配置
 - 支持硬件过采样，过采样次数从 2 到 256 次可选
 - 片上温度传感器
 - 片上电压传感器
 - V_{BAT} 电压传感器
- 1 个 12 位 DAC
- 2 个高速模拟比较器
- CRC 计算单元
- 96 位芯片唯一 ID（UID）
- 调试模式
 - 串行调试接口（SWD）
 - JTAG 接口
- 采用 LQFP64，LQFP48，QFN32 和 QFN28 封装

2 订购信息

2.1 订购表

表 2-1 订购表

Part numbers		MM32 F5331 D3NV	MM32 F5333 D4QV	MM32 F5333 D6PV	MM32 F5333 D7PV
Core type		32-bit STAR-MC1 (Compatible with Cortex-M33) , Armv8-M Mainline ISA			
CPU frequency		180 MHz			
Flash - KB		128	128	128	128
Flash ECC		√	√	√	√
SRAM - KB		32	32	32	32
RAM ECC		√	√	√	√
DMA		2x 8ch	2x 8ch	2x 8ch	2x 8ch
CORDIC		√	√	√	√
Timers	16-bit GP	2	2	2	2
	32-bit GP	2	2	2	2
	16-bit basic	2	2	2	2
	16-bit advanced	2	2	2	2
	16-bit low power	1	1	1	1
Interfaces	UART	3	3	4	4
	USART	1	1	1	1
	Low power UART	1	1	1	1
	I2C	1	1	2	2
	I3C slave	1	1	1	1
	SPI / I2S	2	2	3	3
	USB2.0 FS	-	1 (Device/Host)	1 (Device/Host)	1 (Device/Host)
12-bit ADC	FlexCAN-FD	-	1	1	1
	GPIO (5V tolerant)				
	Modules	24 (12)	28 (14)	40 (24)	54 (32)
	Speed	2	2	2	2
12-bit DAC	Channels	3MSPS	3MSPS	3MSPS	3MSPS
	Over sampling	10	10	10	16
		2 to 256	2 to 256	2 to 256	2 to 256
Comparator		1	1	1	1
Supply voltage		2	2	2	2
Temperature range		1.8V to 5.5V			
Package		-40°C to +105°C			
		QFN28 4x4 mm ²	QFN32 5x5 mm ²	LQFP48 7x7 mm ²	LQFP64 10x10 mm ²

注：带 * 型号仍在开发中，联系灵动获取更多信息。

2.2 丝印

丝印须知：本节的目的在于指导用户从丝印中识别出所需的信息，而丝印图中的格式（包括字体、字号、对齐等）、位置、比例等均可能和实际丝印有差别，且部分封装的丝印中可能不包含灵动微电子 Logo，此类格式、位置、比例、Logo 等信息，请以实际产品为准。

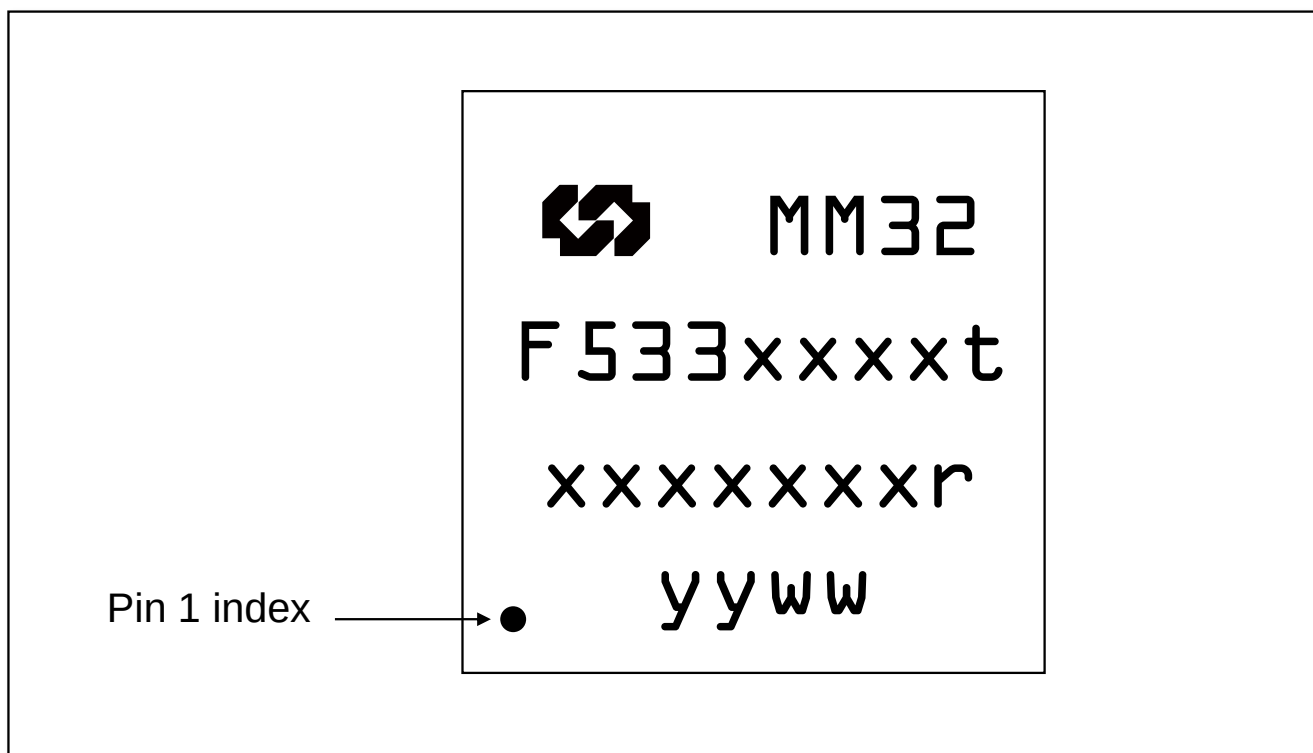


图 2-1 LQFP 和 QFN 封装丝印

LQFP 和 QFN 封装一般在顶层包含如下丝印：

- 第一行：MM32
 - 灵动微电子 Logo + 产品型号第一部分。
- 第二行：F533xxxxt
 - 产品型号第二部分，“t”表示温度范围，“t”=“V”表示 -40 ~ 105°C 环境温度范围，“t”为空表示 -40 ~ 85°C 环境温度范围
- 第三行：xxxxxxxxr
 - 追溯编码 + 芯片版本号，其中“r”代表芯片版本号。对于初始工程样片，Trace code 的首两位标识为“ES”。
- 第四行：yyww
 - 日期编码，其中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

2.3 产品命名规则

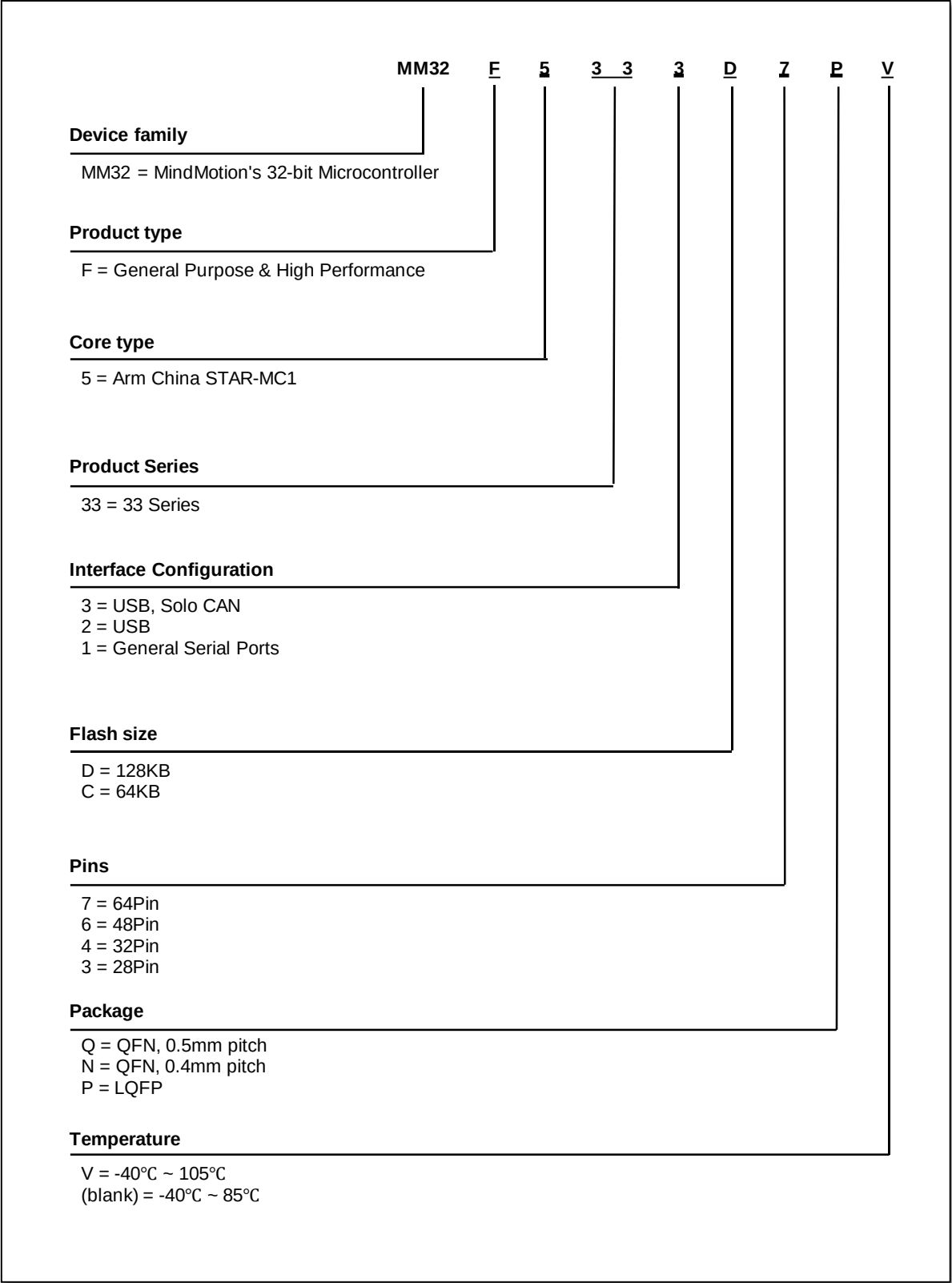


图 2-2 型号命名规则

3 功能描述

3.1 系统框图

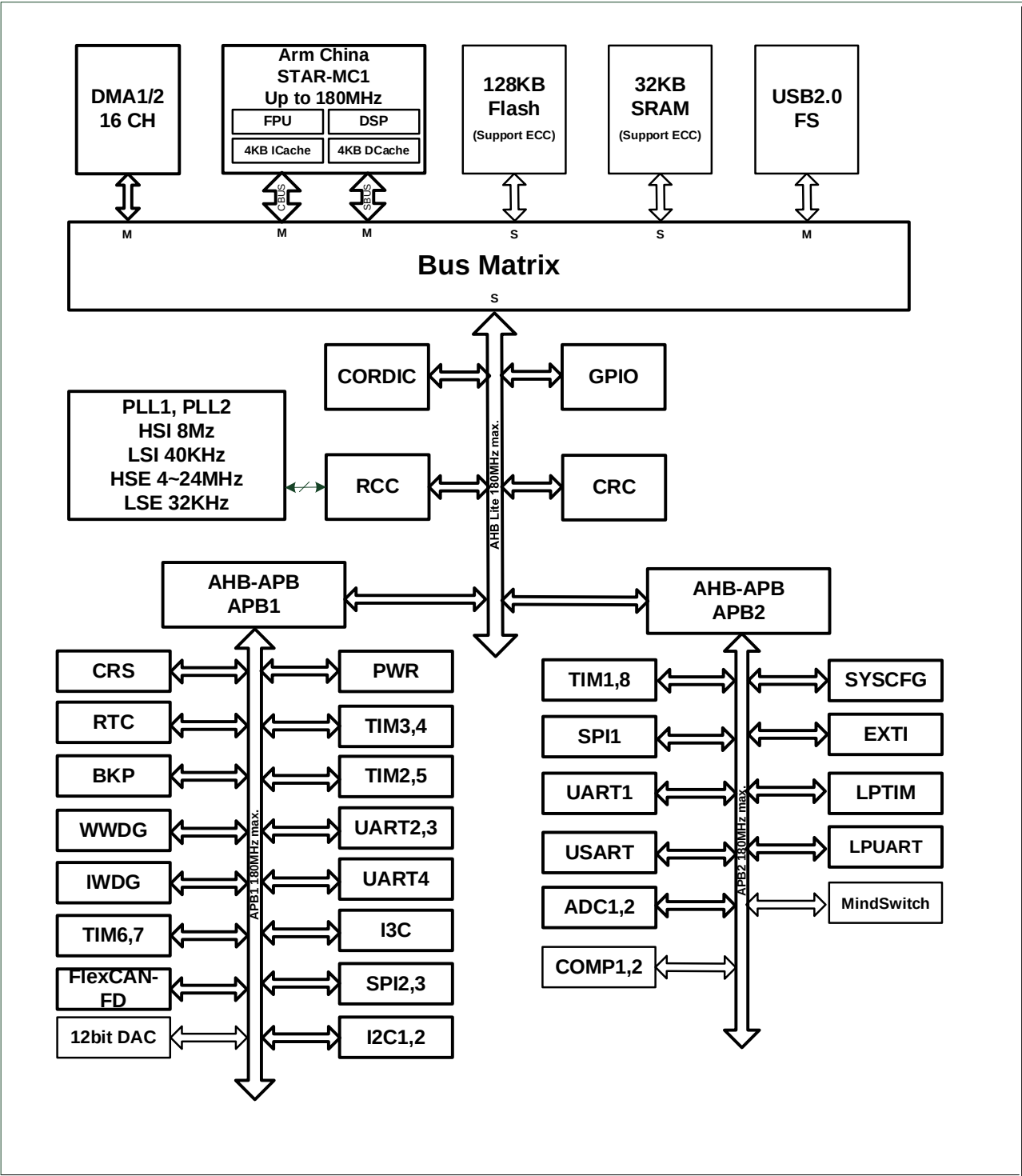


图 3-1 系统框图

3.2 内核简介

本产品搭载了 STAR-MC1 内核(兼容 Cortex-M33) 处理器。该处理器是基于 Armv8-M Mainline 指令集架构的 32 位处理器，内置单精度浮点运算单元（FPU），支持数字信号处理（DSP）扩展，提供了卓越的实时处理能力和先进的中断处理系统，可实现性能和功耗效率间的平衡，非常适用于实时控制应用。

3.3 缓存简介

本产品提供了和内核紧耦合的 4KB 第一级指令缓存（L1 I-Cache）和 4KB 第一级数据缓存（L1 D-Cache），可显著提升当程序在内置 Flash 或扩展外部存储中执行时的运行效率。

3.4 总线简介

总线矩阵包括一个 AHB 互联矩阵，一个 AHB 总线和两个桥接的 APB 总线。当 CPU 总线和 DMA 总线同时请求时，具备仲裁的功能。AHB 总线的外设（RCC，GPIO 和 CRC）通过 AHB 互联矩阵与系统总线连接。在 APB 和 AHB 总线之间连接通过 AHB2APB 桥进行数据交换。当对 APB 寄存器进行 8 位 16 位访问，APB 会自动拓宽成 32 位访问。

3.5 存储器映像

表 3-1 存储器映像

Bus	Address range	Size	Peripheral
FLASH	0x00000000 - 0x07FFFFFF	128 MB	Reserved
	0x08000000 - 0x0801FFFF	128 KB	Main Flash memory
	0x08020000 - 0x1FFDFFFF	383.75 MB	Reserved
	0x1FFE0000 - 0x1FFE01FF	0.5 KB	User memory
	0x1FFE0200 - 0x1FFFE7FF	121.5 KB	Reserved
	0x1FFFE800 - 0x1FFFF7FF	4 KB	System memory
	0x1FFFF800 - 0x1FFFF9FF	0.5 KB	Option bytes
	0x1FFFFA00 - 0x1FFFFFFF	1.5 KB	Reserved
SRAM	0x20000000 - 0x20007FFF	32 KB	SRAM
	0x20008000 - 0x3FFFFFFF	~512 MB	Reserved
APB1	0x40000000 - 0x400003FF	1 KB	TIM2
	0x40000400 - 0x400007FF	1 KB	TIM3
	0x40000800 - 0x40000BFF	1 KB	TIM4
	0x40000C00 - 0x40000FFF	1 KB	TIM5
	0x40001000 - 0x400013FF	1 KB	TIM6
	0x40001400 - 0x400017FF	1 KB	TIM7
	0x40001800 - 0x400027FF	4 KB	Reserved

Bus	Address range	Size	Peripheral
	0x40002800 - 0x40002BFF	1 KB	RTC_BKP
	0x40002C00 - 0x40002FFF	1 KB	WWDG
	0x40003000 - 0x400033FF	1 KB	IWDG
	0x40003400 - 0x400037FF	1 KB	Reserved
	0x40003800 - 0x40003BFF	1 KB	SPI2
	0x40003C00 - 0x40003FFF	1 KB	SPI3
	0x40004000 - 0x400043FF	1 KB	Reserved
	0x40004400 - 0x400047FF	1 KB	UART2
	0x40004800 - 0x40004BFF	1 KB	UART3
	0x40004C00 - 0x40004FFF	1 KB	UART4
	0x40005000 - 0x400053FF	1 KB	Reserved
	0x40005400 - 0x400057FF	1 KB	I2C1
	0x40005800 - 0x40005BFF	1 KB	I2C2
	0x40005C00 - 0x40006BFF	4 KB	Reserved
	0x40006C00 - 0x40006FFF	1 KB	CRS
	0x40007000 - 0x400073FF	1 KB	PWR
	0x40007400 - 0x400077FF	1 KB	DAC
	0x40007800 - 0x40009FFF	10 KB	Reserved
	0x4000A000 - 0x4000AFFF	4 KB	I3C
	0x4000B000 - 0x4000BFFF	4 KB	Reserved
	0x4000C000 - 0x4000FFFF	16 KB	FLEXCAN
APB2	0x40010000 - 0x400103FF	1 KB	SYSCFG
	0x40010400 - 0x400107FF	1 KB	EXTI
	0x40010800 - 0x40010BFF	1 KB	LPUART
	0x40010C00 - 0x40010FFF	1 KB	USART
	0x40011000 - 0x400123FF	5 KB	Reserved
	0x40012400 - 0x400127FF	1 KB	ADC1
	0x40012800 - 0x40012BFF	1 KB	ADC2
	0x40012C00 - 0x40012FFF	1 KB	TIM1
	0x40013000 - 0x400133FF	1 KB	SPI1
	0x40013400 - 0x400137FF	1 KB	TIM8
	0x40013800 - 0x40013BFF	1 KB	UART1
	0x40013C00 - 0x40013FFF	1 KB	Reserved
	0x40014000 - 0x400143FF	1 KB	COMP
	0x40014400 - 0x4001CFFF	35 KB	Reserved
	0x4001D000 - 0x4001D3FF	1 KB	LPTIM
	0x4001D400 - 0x4001FBFF	10 KB	Reserved
	0x4001FC00 - 0x4001FFFF	1 KB	MindSwitch

Bus	Address range	Size	Peripheral
AHB1	0x40020000 - 0x400203FF	1 KB	DMA1
	0x40020400 - 0x400207FF	1 KB	DMA2
	0x40020800 - 0x40020FFF	2 KB	Reserved
	0x40021000 - 0x400213FF	1 KB	RCC
	0x40021400 - 0x40021FFF	3 KB	Reserved
	0x40022000 - 0x400223FF	1 KB	Flash Memory Controller
	0x40022400 - 0x40022FFF	3 KB	Reserved
	0x40023000 - 0x400233FF	1 KB	CRC
	0x40023400 - 0x40029FFF	27 KB	Reserved
	0x4002A000 - 0x4002A3FF	1 KB	CORDIC
	0x4002A400 - 0x4002AFFF	3 KB	Reserved
	0x4002B000 - 0x4002B3FF	1 KB	SRAM Controller
	0x4002B400 - 0x4003FFFF	83 KB	Reserved
	0x40040000 - 0x400403FF	1 KB	Port A
	0x40040400 - 0x400407FF	1 KB	Port B
	0x40040800 - 0x40040BFF	1 KB	Port C
	0x40040C00 - 0x40040FFF	1 KB	Port D
	0x40041000 - 0x400413FF	1 KB	Port E
	0x40041400 - 0x40041BFF	2 KB	Reserved
	0x40041C00 - 0x40041FFF	1 KB	Port H
	0x40042000 - 0x400423FF	1 KB	Port I
	0x40042400 - 0x4FFFFFFF	~256 MB	Reserved
AHB2	0x50000000 - 0x5003FFFF	256 KB	USB FS
	0x50040000 - 0x5FFFFFFF	255.75 MB	Reserved

3.6 Flash

本产品提供最大 128KB 的内置闪存存储器，支持 ECC，用于存放程序和数据。

3.7 SRAM

本产品提供最大 32KB 的内置 SRAM，支持 ECC。

3.8 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道和 256 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 允许中断的早期处理

- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

3.9 EXTI

外部中断/事件控制器（EXTI）包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到 16 个外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB2 总线时钟周期的电平变化。

3.10 时钟配置

芯片启动后选择系统时钟。在复位后，首先使用内部的 8 MHz 振荡器作为默认的系统时钟，随后可选择使用外部的 4 ~ 24 MHz 时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，关闭 PLL，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

时钟系统中，使用多个预分频器产生 AHB 总线、高速 APB（APB1 和 APB2）总线的时钟。其中 AHB 和高速 APB 总线的时钟最高可达 180 MHz。

3.11 启动模式

在启动时，通过 BOOT0 引脚和 nBOOT1 选择位可以选择三种启动模式中的一种：

- 用户可编程的启动地址，在选项字节中配置，出厂默认为内置 Flash 起始地址
- 从系统存储区启动
- 从 SRAM 启动

Bootloader 程序位于系统存储区。从系统存储区启动 Bootloader 之后，可通过 UART1 对片内 Flash 重新编程。

3.12 供电方案

- $V_{DD} = 1.8V \sim 5.5V$ ：通过 V_{DD} 引脚为 I/O 引脚和内部调节器供电。
- $V_{DDA} = 1.8V \sim 5.5V$ ：为 ADC、复位模块、振荡器和 PLL 的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 可以分别连接到 V_{DD} 和 V_{SS} ，也可以单独供电，单独供电时电压需与 V_{DD} 和 V_{SS} 一致。

- $V_{BAT} = 1.8V \sim 5.5V$: 当关闭 V_{DD} 时, (通过内部电源切换器) 为RTC、外部32KHz 振荡器和备份寄存器供电。

3.13 供电监控器

本产品内部集成了上电复位 (POR) / 掉电复位 (PDR) 电路, 该电路始终处于工作状态, 保证系统能够在最低允许的工作电压下正常工作; 当 V_{DD} 低于设定的阈值 ($V_{POR/PDR}$) 时, 置器件于复位状态, 而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD), 它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较, 当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断, 中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

3.14 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

3.15 低功耗模式

产品支持低功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

低功耗运行模式 (Low Power Run)

核心电路通过低功耗稳压器驱动, 以最大程度地减少调节器的工作电流。该模式下代码可以从 SRAM 或 Flash 执行, 但 CPU 频率限制为 2MHz。

睡眠模式 (Sleep)

在睡眠模式, 只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

低功耗睡眠模式 (Low Power Sleep)

核心电路通过低功耗稳压器驱动, 从低功率运行模式进入该模式。只有 CPU 时钟停止。当事件或中断触发唤醒时, 系统将恢复为低功耗运行模式。

停机模式 (Stop)

可保持 SRAM 和寄存器的内容, 并达到较低的电能消耗。在停机模式下, HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒, EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式 (Deep Stop)

和停机模式类似, 但能够达到更低的电流消耗, 但需要比停机模式更长的唤醒时间。

待机模式 (Standby)

待机模式可实现系统的最低功耗。该模式下电压调节器掉电，核心电路的供电被切断，PLL、HSI 和 HSE 振荡器也都停止供电，仅部分必要的待机电路和备份寄存器依然保持带电工作。待机模式下仅可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。

各低功耗模式下的外设状态如表 3-2 所示。其中：

- Power Down 表示模块掉电，除 Flash 外数据均会丢失。
- Optional 表示外设可通过软件配置开启或关闭
- ON 表示工作
- OFF 表示功能关闭
- Retention 表示数据保留但无法操作
- High-z 表示高阻态

表 3-2 不同功耗模式下的外设状态

Module/Mode	Run	Low Power Run	Sleep	Low Power Sleep	Stop	Deep Stop	Standby
Max. Freq.	180MHz	2MHz	180MHz	2MHz	40KHz	40KHz	40KHz
PVD	ON	Optional	Optional	Optional	Optional	Optional	OFF
POR/PDR	ON	ON	ON	ON	ON	ON	ON
CPU	ON	ON	OFF	OFF	OFF	OFF	Power Down
DMA	Optional	Optional	Optional	Optional	OFF	OFF	Power Down
RCC	ON	ON	ON	ON	ON	ON	Power Down
SWD/JTAG	ON	ON	OFF	OFF	OFF	OFF	Power Down
SRAM	ON	ON	ON	ON	Retention	Retention	Power Down
Cache	ON	ON	OFF	OFF	Retention	Retention	Power Down
Flash	ON	ON	ON	ON	Standby	Deep Standby	Power Down
HSI	ON	Optional	Optional	Optional	Optional	Power Down	Power Down
PLL1	Optional	Optional	Optional	Optional	Power Down	Power Down	Power Down
PLL2	Optional	Optional	Optional	Optional	Power Down	Power Down	Power Down
LSI	Optional	Optional	Optional	Optional	Optional	Optional	Optional
HSE	Optional	Optional	Optional	Optional	OFF	OFF	OFF
LSE	Optional	Optional	Optional	Optional	Optional	Optional	Optional
Backup registers	ON	ON	ON	ON	ON	ON	ON
RTC	Optional	Optional	Optional	Optional	Optional	Optional	Optional

Module/Mode	Run	Low Power Run	Sleep	Low Power Sleep	Stop	Deep Stop	Standby
ADC	Optional	Optional	Optional	Optional	OFF ⁽¹⁾	OFF	OFF
DAC	Optional	Optional	Optional	Optional	OFF ⁽¹⁾	OFF	OFF
COMP	Optional	Optional	Optional	Optional	OFF ⁽¹⁾	OFF	OFF
USB controller	Optional	Optional	Optional	Optional	OFF	OFF	Power Down
USB PHY	Optional	Optional	Optional	Optional	ON ⁽²⁾	ON ⁽²⁾	OFF
IWDG	Optional	Optional	Optional	Optional	Optional	Optional	Optional
EXTI	ON	ON	ON	ON	ON ⁽³⁾	ON ⁽³⁾	Power Down
LPTIM/LPUART	Optional	Optional	Optional	Optional	Optional	Optional	Power Down
Other Peripherals	Optional	Optional	Optional	Optional	OFF	OFF	Power Down
I/O	Optional	Optional	Retention	Retention	Retention	Retention	High-z ⁽⁴⁾

- 1. 关闭使能位可进一步降低功耗。
- 2. 单端功能有效，可实现检测 Suspend 的功能。
- 3. 模块时钟关闭，内部部分逻辑可检测 EXTI 边沿事件，触发 Stop 唤醒。
- 4. NRST 保持复位功能，唤醒 I/O（WKUP）可以唤醒，其余 I/O 为高阻态。

3.16 DMA

本产品内置 2 个 8 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

3.17 MindSwitch

本产品内置的 MindSwitch 是一个外设到外设的连接和触发矩阵，支持多个输入和输出通道，实现了灵活可配的外设间硬件互联。连接到 MindSwitch 上的典型外设包括定时器、EXTI、GPIOs、软件触发源、ADC、DAC 和比较器等。MindSwitch 还内置了 4 个可编程逻辑单元 CLU，每个 CLU 是一个 4 输入 1 输出的组合逻辑运算引擎，支持的组合逻辑运算包括与、或、非和异或等。典型的应用场景包括：用户可选择一个定时器的多个通道触发输出做为 MindSwitch 的输入，并通过 CLU 将几个触发输出做或逻辑运算后得到一个输出触发信号，再将这个组合后的触发信号连接到 ADC 的同步输入端来触发 ADC 的采样。通过灵活可配的 MindSwitch 和 CLU，用户可实现多种多样的应用场景来帮助加速终端应用。

3.18 定时器和看门狗 TIM & WDG

本产品包含 2 个高级定时器、2 个 32 位和 2 个 16 位通用定时器、2 个基本定时器、1 个低功耗定时器、2 个看门狗定时器和 1 个系统时基定时器。下表比较了本产品中的高级定

时器、通用定时器、基本定时器和低功耗定时器的功能和实例：

表 3-3 定时器功能比较

Type	Instance	Resolution	Counter direction	pre-divider	DMA request	Capture/compare channels	Complementary output
Advanced	TIM1 TIM8	16-bit	up, down, up/down	1 to 65536	Yes	4	4
General purpose	TIM2 TIM5	32-bit	up, down, up/down	1 to 65536	Yes	4	No
	TIM3 TIM4	16-bit	up, down, up/down	1 to 65536	Yes	4	No
Basic	TIM6 TIM7	16-bit	up	1 to 65536	Yes	No	No
Low power	LPTIM	16-bit	up	1 to 128	No	1 (compare only)	No

高级控制定时器（TIM1 / TIM8）

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及四组互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边缘或中心对齐模式，支持移向输出）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

高级定时器的很多功能都与通用的 TIM 定时器相同，因此，高级定时器可以通过定时器链接功能与通用定时器协同操作，提供同步或事件链接功能。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

通用定时器（TIM2 / TIM3 / TIM4 / TIM5）

产品中内置了 4 个通用定时器，该定时器有一个 16 位或 32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

这些定时器也可以通过定时器链接功能来实现协同操作，提供同步或事件链接功能。

每个通用定时器都可以用于产生 PWM 输出，或做为基础定时器使用，每个定时器都支持独立的 DMA 请求。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止。

32 位通用定时器 (TIM2 / TIM5)

该定时器有一个 32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

16 位通用定时器 (TIM3 / TIM4)

该定时器有一个 16 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

基础定时器 (TIM6 / TIM7)

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。在调试模式下，计数器可以被冻结。

低功耗定时器 (LPTIM)

LPTIM 由一个 16 位计数器组成，可以为用户提供便捷的计数定时功能。LPTIM 可以工作在各种低功耗模式下，具有低功耗的特点。LPTIM 的时钟也可由外部时钟提供，工作在没有任何内部时钟的环境中，可以在休眠模式下实现外部脉冲计数功能。通过外部输入的触发信号，能够实现低功耗超时唤醒。LPTIM 具有外部时钟计数，超时唤醒功能，PWM 输出等多种用途。

独立看门狗 (IWDG)

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗 (WWDG)

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

3.19 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。RTC 模块和时钟配置系统（RCC_BDCR 寄存器）处于后备区域，即在系统复位或待机模式唤醒后，RTC 的设置和时间维持不变。

3.20 备份寄存器

备份寄存器是 20 个 16 位的寄存器，可用来存储用户应用程序数据。他们处在备份域里，当 V_{DD} 电源被切断，他们仍然由 V_{BAT} 维持供电。当系统在待机模式下被唤醒，或系统复位或电源复位时，他们也不会被复位。

3.21 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

3.22 UART

本产品中内置 4 个 UART 接口。支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位可配置。UART 的最快速度可达到 11.25 Mbps。所有 UART 接口都可以使用 DMA 操作。

3.23 USART

本产品中内置 1 个通用同步/异步接收器/发送器（USART）接口。USART 为使用行业标准 NRZ 异步串行数据格式的外设提供全双工数据交换的灵活性。该模块可通过集成的波特率发生器支持广泛的波特率（包括整数和小数设置）。USART 可以支持同步或异步单向通信和半双工单线通信，以及调制（CTS/RTS）操作，IrDA 红外功能，支持 SPI 模式，还支持智能卡接口（ISO/IEC7816-3）和 LIN 协议，并且还支持多处理器间的通信。通过多缓冲器配置下使用 DMA 可以实现高速通信。USART 的最快速度可达到 16 Mbps。所有的 USART 接口都可以使用 DMA 操作。

3.24 LPUART

本产品中内置 1 个低功耗 UART 接口（LPUART），相比于 UART，其功耗更低，并支持在 Stop 和 Deep Stop 模式下运行以及唤醒芯片。LPUART 工作时钟可选配为 HSI、LSI、LSE 或外设时钟。所有的 LPUART 接口都可以使用 DMA 操作。

3.25 I2C

本产品中内置 2 个 I2C 接口，能够工作于多主模式或从模式，支持标准（100 Kbps）、快速模式（400 Kbps）和快速扩展模式（1 Mbps），支持 7 位或 10 位寻址。支持 SMBus。所有的 I2C 接口都可以使用 DMA 操作。

3.26 I3C

本产品中内置 1 个 I3C 从机接口。I3C 接口符合 MIPI I3C v1.0 基础协议规范，在多方面对 I2C 协议提供了升级，并保持了和 I2C 协议的兼容性。I3C 支持最高 12.5 MHz 时钟频率。I3C 支持 DMA 操作。

3.27 SPI

本产品中内置 3 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 48 Mbps，从模式最大速率 24 Mbps。所有的 SPI 接口都可以使用 DMA 操作。

3.28 I2S

本产品中内置 3 个 I2S 接口，与 SPI 共用管脚，支持半双工通信（仅发射机或接收机）和全双工通信，支持主操作或从操作，发射模式下的下溢标志（仅从机），接收模式下的上溢标志（主和从机）和接收/发射模式下的帧错误标志（仅从机）。8 位可编程线性预分频器，以达到精确的音频采样频率（8KHz 到 192KHz）。数据格式可以是 16 位、24 位或 32 位，数据包帧固定为 16 位（16 位数据帧）或 32 位（16 位、24 位、32 位数据帧）。

3.29 FlexCAN-FD

本产品内置 1 个 FlexCAN-FD 接口，兼容规范 2.0A、2.0B（主动）和 CAN-FD 模式。在 CAN-FD 模式下，系统中集成了独立的 PLL 来为 FlexCAN-FD 模块提供时钟源，因此可实现最高 8 Mbps 的 FD 模式通信速率。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。

3.30 USB FS

本产品内置 1 个 USB 2.0 全速控制器，支持工作在主机（Host）和设备（Device）模式，遵循全速 USB 设备（12 Mbps）标准，内置 16 个双向端点，内置 PHY。

3.31 ADC

本产品内置 2 个 12 位模拟/数字转换器（ADC），单 ADC 最高转换率可达 3MSPS。ADC1 有最多 14 个外部通道，ADC2 有最多 14 个外部通道，其中 12 个 ADC1 和 ADC2 的通道在引脚排布上是复用的，因此共有 16 个可用的 ADC 外部输入引脚。对于这些复用

引脚，可以将 ADC1 和 ADC2 并行使用来获得最高 6MSPS 的转换率。ADC2 配有 2 个内部通道，分别连接温度传感器和电压传感器。ADC 支持单次单周期和连续扫描转换模式。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。ADC 可以使用 DMA 操作。

ADC 支持硬件过采样，过采样率从 2 次到 256 次可配。可过采样到 16 位分辨率。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。由通用定时器（TIMx）和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC 的输入通道上，用于将传感器的输出转换到数字数值。

3.32 DAC

本产品内置 1 个数字/模拟转换器（DAC），支持最高 12 位分辨率。DAC 可以配置成 8 位或者 12 位模式，也可以与 DMA 控制器配合使用。DAC 工作在 12 位模式时，数据可以设置成左对齐，也可以设置成右对齐。

3.33 COMP

本产品内置 2 个模拟比较器（COMP），可独立使用（适用所有终端上的 I/O 口），也可与定时器结合使用。可以选择外部 I/O 引脚上的电平、内部电压参考（CRV）的输出电压或内部 12 位 DAC 的输出电压做为比较器的参考电压，其中，CRV 的输出电压通过 V_{DDA} 或内部带隙基准电压的 4 位电阻分压实现。COMP 可用于多种功能，包括：由模拟信号触发低功耗模式唤醒事件；为实现快速 PWM 关断的刹车事件；捕获事件或用于逐周期电流控制的 OCref_clr 事件等。COMP 支持可编程的迟滞电压，可编程的速率和功耗。

3.34 CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

3.35 调试

本产品支持 SWD 或 JTAG 调试。

4 引脚定义及复用功能

4.1 引脚分布图

4.1.1 LQFP64 引脚分布

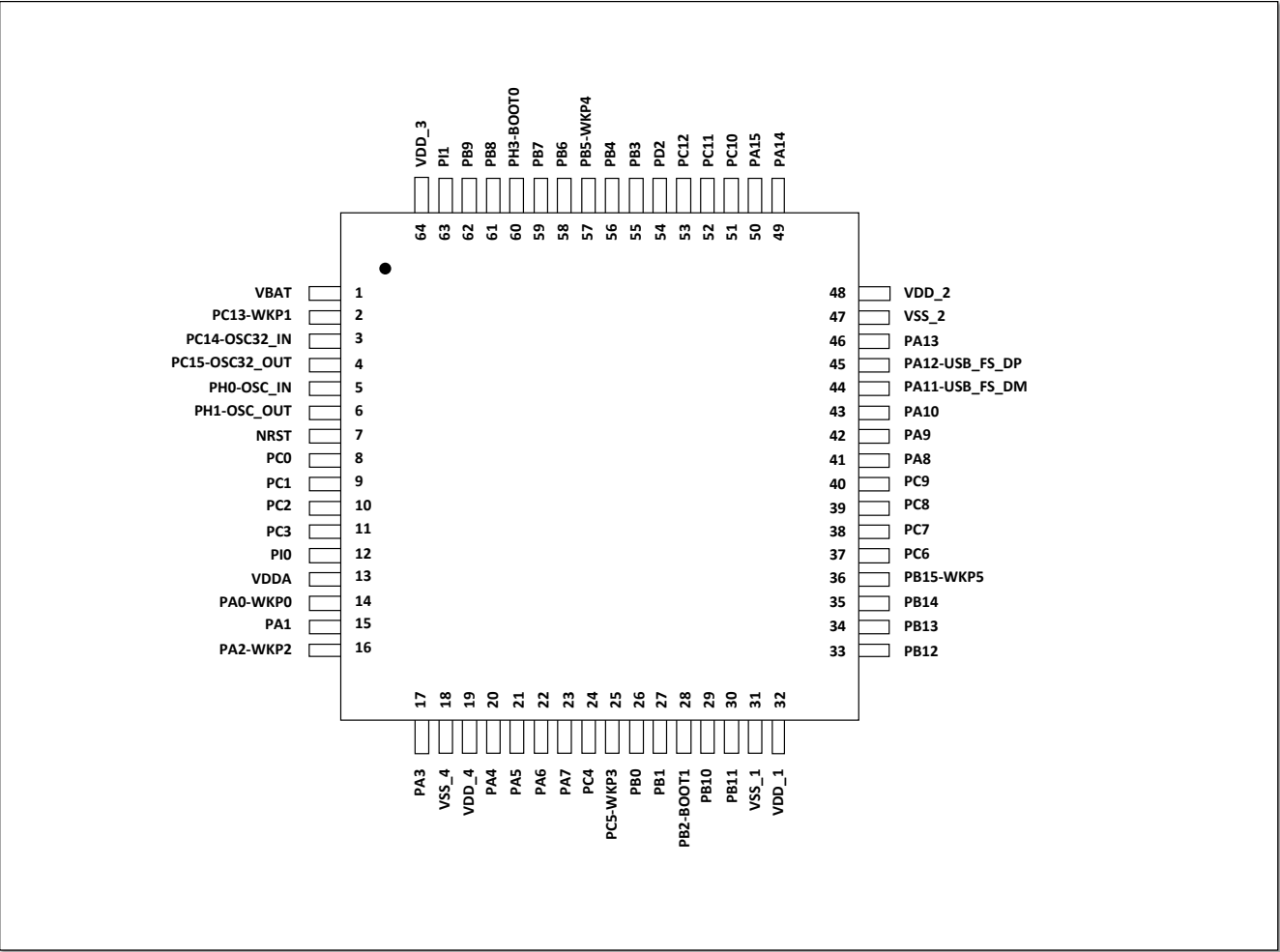


图 4-1 LQFP64 引脚分布

4.1.2 LQFP48 引脚分布

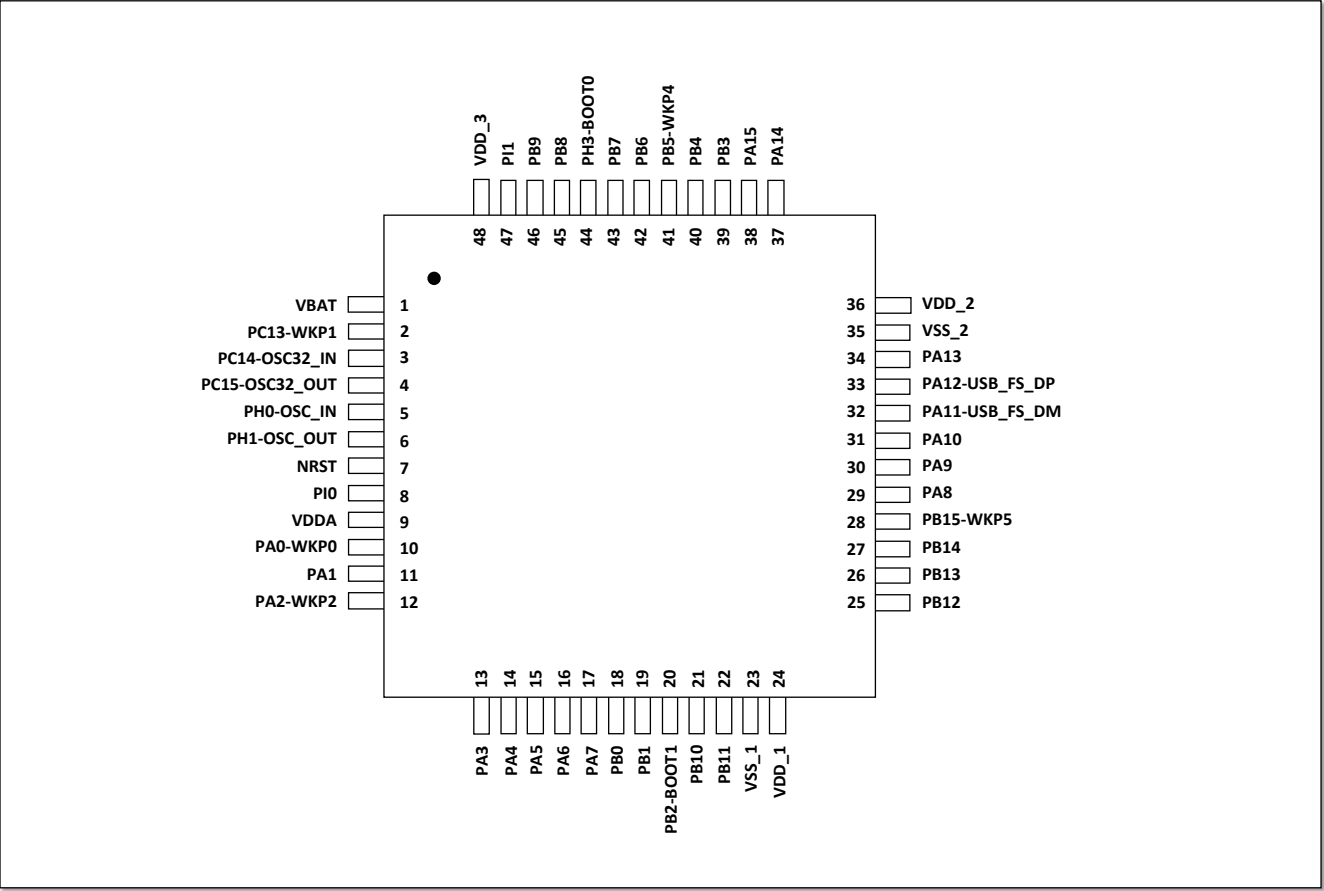


图 4-2 LQFP48 引脚分布

4.1.3 QFN32 5x5 mm2 引脚分布

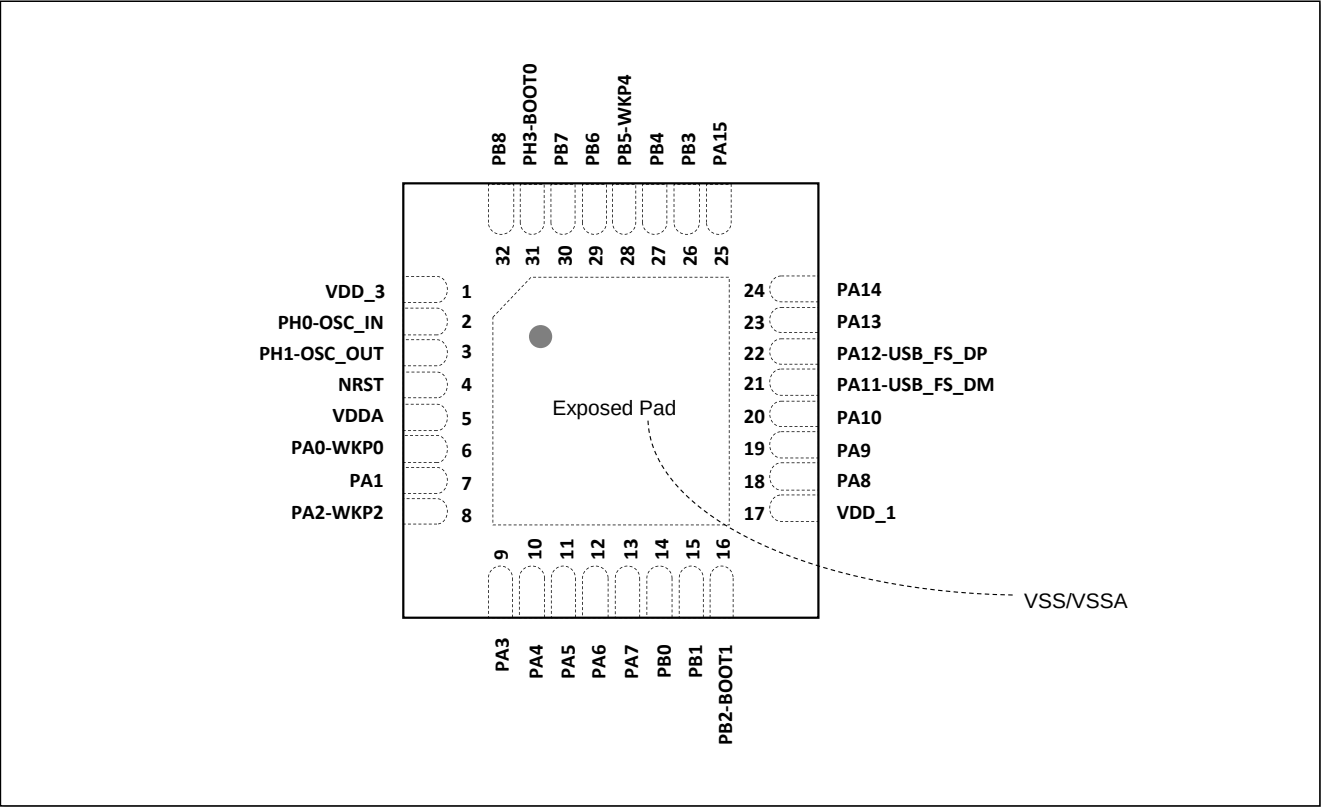


图 4-3 QFN32 5x5 mm2 引脚分布

4.1.4 QFN28 引脚分布

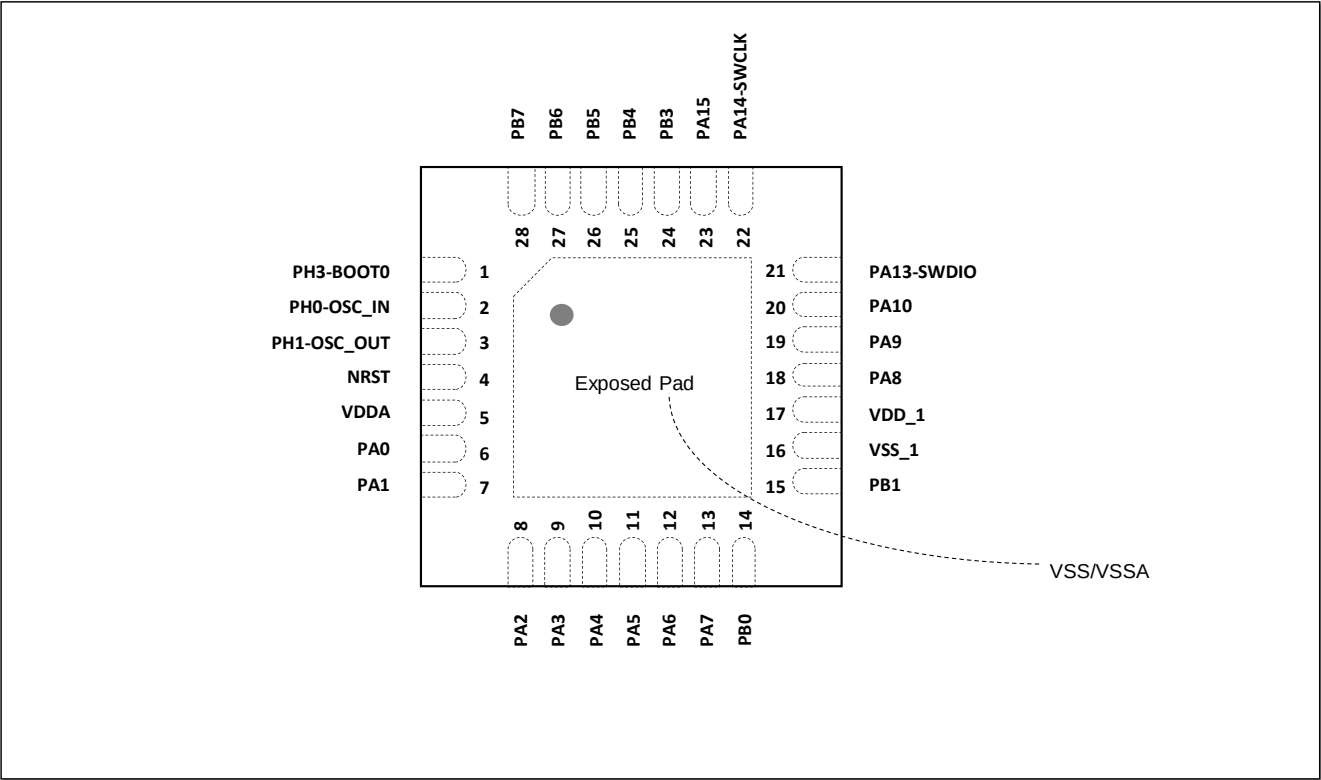


图 4-4 QFN28 引脚分布

4.2 引脚定义表

表 4-1 引脚定义

LQFP64	LQFP48	QFN32 5x5 mm2	QFN28	Name	Type (1)(3)	I/O level (2)	Main function	Multiplex function	Additional function
1	1	-	-	VBAT	S	-	VBAT	-	-
2	2	-	-	PC13	I/O	5VT	PC13	TIM8_CH1 MDSW_IN0	WKP1 BKP_TAMPER
3	3	-	-	PC14	I/O	TC	PC14	TIM8_CH2	OSC32_IN
4	4	-	-	PC15	I/O	TC	PC15	TIM8_CH3	OSC32_OUT
5	5	2	2	PH0	I/O	TC	PH0	-	OSC_IN
6	6	3	3	PH1	I/O	TC	PH1	-	OSC_OUT
7	7	4	4	NRST	I/O	TC	NRST	-	-
8	-	-	-	PC0	I/O	TC	PC0	TIM1_BKIN3 I2C1_SCL UART4_TX LPUART_RX	ADC12_IN10
9	-	-	-	PC1	I/O	TC	PC1	TIM8_BKIN2 I2C1_SDA UART4_RX LPUART_TX	ADC12_IN11
10	-	-	-	PC2	I/O	TC	PC2	I2C2_SCL SPI2_MISO I2S2_MCK(extSD) UART4_CTS	ADC1_IN12
11	-	-	-	PC3	I/O	TC	PC3	I2C2_SDA SPI2_MOSI I2S2_SD UART4_RTS	ADC1_IN13
12	8	-	-	PI0	I/O	5VT	PI0	TIM1_CH4N TIM8_CH4 CAN1_RX LPUART_RX MDSW_OUT0	-
13	9	5	5	VDDA	S	-	VDDA	-	-
14	10	6	6	PA0	I/O	TC	PA0	TIM2_CH1 TIM2_ETR TIM5_CH1 TIM8_ETR UART2_CTS UART4_TX I3C_SCL	ADC12_IN0 COMP12_INP0 COMP1_INM2 WKP0
15	11	7	7	PA1	I/O	TC	PA1	TIM2_CH2 TIM5_CH2 UART2_RTS UART4_RX I3C_SDA	ADC12_IN1 COMP12_INP1
16	12	8	8	PA2	I/O	TC	PA2	TIM2_CH3 TIM5_CH3 UART2_TX COMP2_OUT LPUART_TX	ADC12_IN2 COMP12_INP2 COMP2_INM2 WKP2

LQFP64	LQFP48	QFN32 5x5 mm2	QFN28	Name	Type (1)(3)	I/O level (2)	Main function	Multiplex function	Additional function
17	13	9	9	PA3	I/O	TC	PA3	TIM2_CH4 TIM5_CH4 I2S1_MCK UART2_RX LPUART_RX	ADC12_IN3 COMP12_INP3
18	-	-	-	VSS_4	S	-	VSS_4	-	-
19	-	-	-	VDD_4	S	-	VDD_4	-	-
20	14	10	10	PA4	I/O	TC	PA4	TIM5_ETR SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS USART_TX	ADC12_IN4 COMP12_INM0 DAC1_OUT
21	15	11	11	PA5	I/O	TC	PA5	TIM2_CH1 TIM2_ETR TIM3_ETR TIM8_CH1N SPI1_SCK I2S1_CK USART_RX	ADC12_IN5 COMP12_INM1
22	16	12	12	PA6	I/O	TC	PA6	TIM1_BKIN1 TIM3_CH1 TIM8_BKIN1 SPI1_MISO I2S1_MCK(extSD) COMP1_OUT	ADC12_IN6
23	17	13	13	PA7	I/O	TC	PA7	TIM1_CH1N TIM3_CH2 TIM8_CH1N SPI1_MOSI I2S1_SD COMP2_OUT CRS_SYNC MDSW_IN1	ADC12_IN7
24	-	-	-	PC4	I/O	TC	PC4	UART1_TX USART_TX	ADC2_IN14
25	-	-	-	PC5	I/O	TC	PC5	UART1_RX USART_RX	ADC2_IN15 WKP3
26	18	14	14	PB0	I/O	TC	PB0	TIM1_CH2N TIM3_CH3 TIM8_CH2N	ADC12_IN8
27	19	15	15	PB1	I/O	TC	PB1	TIM1_CH3N TIM3_CH4 TIM8_CH3N	ADC12_IN9
28	20	16	-	PB2	I/O	5VT	PB2	TIM1_CH4N TIM8_CH4N	BOOT1
29	21	-	-	PB10	I/O	5VT	PB10	TIM2_CH3 I2C2_SCL SPI2_SCK I2S2_CK UART3_TX LPTIM_CH1 LPUART_RX	-
30	22	-	-	PB11	I/O	5VT	PB11	TIM2_CH4 I2C2_SDA I2S2_MCK UART3_RX LPTIM_ETR LPUART_TX MDSW_OUT1	-

LQFP6 4	LQFP4 8	QFN32 5x5 mm2	QFN28	Name	Type (1)(3)	I/O level (2)	Main functi on	Multiplex function	Additional function
31	23	-	16	VSS_1	S	-	VSS_1	-	-
32	24	17	17	VDD_1	S	-	VDD_1	-	-
33	25	-	-	PB12	I/O	5VT	PB12	TIM1_BKIN2 TIM5_ETR I2C2_SMBA SPI2_NSS I2S2_WS	-
34	26	-	-	PB13	I/O	5VT	PB13	TIM1_CH1N TIM8_CH1N SPI2_SCK I2S2_CK UART3_CTS	-
35	27	-	-	PB14	I/O	5VT	PB14	TIM1_CH2N TIM8_CH2N SPI2_MISO I2S2_MCK(extSD) UART3_RTS MDSW_IN2	-
36	28	-	-	PB15	I/O	5VT	PB15	TIM1_CH3N TIM8_CH3N SPI2_MOSI I2S2_SD	WKP5
37	-	-	-	PC6	I/O	5VT	PC6	TIM3_CH1 TIM8_CH1 I2C1_SCL SPI2_MISO I2S2_MCK(extSD)	-
38	-	-	-	PC7	I/O	5VT	PC7	TIM3_CH2 TIM8_CH2 I2C1_SDA SPI3_MISO I2S3_MCK(extSD) SPI3_MISO I2S3_MCK(extSD)	-
39	-	-	-	PC8	I/O	5VT	PC8	TIM3_CH3 TIM8_CH3 I2C2_SCL	-
40	-	-	-	PC9	I/O	5VT	PC9	MCO2 TIM3_CH4 TIM8_CH4 I2C2_SDA	-
41	29	18	18	PA8	I/O	5VT	PA8	MCO1 TIM1_CH1 TIM3_ETR I2C1_SCL USART_CK	-
42	30	19	19	PA9	I/O	5VT	PA9	TIM1_CH2 I2C1_SCL UART1_TX USB_FS_VBUS USART_TX	-
43	31	20	20	PA10	I/O	5VT	PA10	TIM1_CH3 I2C1_SDA UART1_RX USB_FS_ID USRAT_RX	-

LQFP6 4	LQFP4 8	QFN32 5x5 mm2	QFN28	Name	Type (1)(3)	I/O level (2)	Main functi on	Multiplex function	Additional function
44	32	21	-	PA11	I/O	TC	PA11	TIM1_CH4 I2C1_SMBA UART1_CTS COMP1_OUT CAN1_RX USART_CTS	USB_FS_D M
45	33	22	-	PA12	I/O	TC	PA12	TIM1_ETR UART1_RTS COMP2_OUT CAN1_TX USART_RTS	USB_FS_D P
46	34	23	21	PA13	I/O (4)	5VT	PA13	JTMS_SWDIO I2C1_SMBA USB_FS_VBUSON MDSW_OUT2	-
47	35	-	-	VSS_2	S	-	VSS_2	-	-
48	36	-	-	VDD_2	S	-	VDD_2	-	-
49	37	24	22	PA14	I/O (4)	5VT	PA14	JTCK_SWCLK I2C1_SDA I2S3_MCK UART4_CTS MDSW_IN3	-
50	38	25	23	PA15	I/O (4)	5VT	PA15	JTDI TIM2_CH1 TIM2_ETR I2C1_SCL SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS UART4_RTS	-
51	-	-	-	PC10	I/O	5VT	PC10	SPI3_SCK I2S3_CK UART3_TX UART4_TX I3C_SCL	-
52	-	-	-	PC11	I/O	5VT	PC11	SPI3_MISO I2S3_MCK(extSD) UART3_RX UART4_RX I3C_SDA	-
53	-	-	-	PC12	I/O	5VT	PC12	SPI3_MOSI I2S3_SD USART_TX	-
54	-	-	-	PD2	I/O	5VT	PD2	TIM3_ETR I2S3_MCK USART_RX	-
55	39	26	24	PB3	I/O	5VT	PB3	JTDO TRACESWO TIM2_CH2 TIM4_ETR SPI1_SCK I2S1_CK SPI3_SCK I2S3_CK I3C_SCL USART_CTS	-

LQFP6 4	LQFP4 8	QFN32 5x5 mm2	QFN28	Name	Type (1)(3)	I/O level (2)	Main functi on	Multiplex function	Additional function
56	40	27	25	PB4	I/O (4)	5VT	PB4	NJTRST TIM3_CH1 SPI1_MISO I2S1_MCK(extSD) SPI3_MISO I2S3_MCK(extSD) I3C_SDA USART_RTS	-
57	41	28	26	PB5	I/O	5VT	PB5	TIM3_CH2 TIM8_CH3N I2C1_SMBA SPI1_MOSI I2S1_SD SPI3_MOSI I2S3_SD LPTIM_CH1	WKP4
58	42	29	27	PB6	I/O	5VT	PB6	TIM4_CH1 TIM8_CH4N I2C1_SCL SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS UART1_TX LPTIM_ETR USART_TX	-
59	43	30	28	PB7	I/O	5VT	PB7	TIM4_CH2 I2C1_SDA I2S1_MCK I2S3_MCK UART1_RX USART_RX MDSW_OUT3	-
60	44	31	1	PH3	I/O (5)	5VT	PH3	-	BOOT0
61	45	32	-	PB8	I/O	5VT	PB8	TIM4_CH3 TIM8_CH1N I2C1_SCL UART1_CTS COMP1_OUT CAN1_RX USART_CTS	-
62	46	-	-	PB9	I/O	5VT	PB9	TIM4_CH4 TIM8_CH2N I2C1_SDA SPI2_NSS I2S2_WS UART1_RTS COMP2_OUT CAN1_TX USART_RTS	-
63	47	-	-	PI1	I/O	5VT	PI1	TIM2_ETR TIM5_ETR TIM8_ETR I2C1_SMBA CAN1_TX LPUART_TX	-
64	48	1	-	VDD_3	S	-	VDD_3	-	-

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻

2. TC: 标准 IO, 输入信号不能超过 V_{DD}

5VT: 5V 兼容 IO

3. 除非特殊说明，除 NRST 和 JTAG 相关引脚外的 I/O 类型引脚在上电后为浮空输入状态，此时无内部上拉或下拉使能，如果没有外部上拉或下拉，引脚电平为浮空状态。
4. 复位后，JTAG 相关引脚 PA13/JTMS_SWDIO、PB4/NJTRST、PA15/JTDI 引脚的内部上拉电阻会使能，PA14/JTCK_SWCLK 引脚的内部下拉电阻会使能，如果没有外部上拉或下拉，引脚电平会被对应上拉到 VDD 电压或下拉到 VSS 电压。PB3/JTDO 引脚处于浮空状态。
5. 复位后，BOOT0 引脚的内部下拉电阻会使引脚保持在 VSS 电压状态。

4.3 GPIO 复用表

表 4-2 PA 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	TIM2_CH1 TIM2_ETR	TIM5_CH1	TIM8_ETR	-	-	-	UART2_CTS
PA1	-	TIM2_CH2	TIM5_CH2	-	-	-	-	UART2_RTS
PA2	-	TIM2_CH3	TIM5_CH3	-	-	-	-	UART2_TX
PA3	-	TIM2_CH4	TIM5_CH4	-	-	I2S1_MCK	-	UART2_RX
PA4	-	-	TIM5_ETR	-	-	SPI1_NSS I2S1_WS	SPI3_NSS I2S3_WS	-
PA5	-	TIM2_CH1 TIM2_ETR	TIM3_ETR	TIM8_CH1 N	-	SPI1_SCK I2S1_CK	-	-
PA6	-	TIM1_BK1 N1	TIM3_CH1	TIM8_BK1 N1	-	SPI1_MISO I2S1_MCK (extSD)	-	-
PA7	-	TIM1_CH1 N	TIM3_CH2	TIM8_CH1 N	-	SPI1_MOSI I2S1_SD	-	-
PA8	MCO1	TIM1_CH1	TIM3_ETR	-	I2C1_SCL	-	-	-
PA9	-	TIM1_CH2	-	-	I2C1_SCL	-	-	UART1_TX
PA10	-	TIM1_CH3	-	-	I2C1_SDA	-	-	UART1_RX
PA11	-	TIM1_CH4	-	-	I2C1_SMB A	-	-	UART1_CTS
PA12	-	TIM1_ETR	-	-	-	-	-	UART1_RTS
PA13	JTMS_SW DIO	-	-	-	I2C1_SMB A	-	-	-
PA14	JTCK_SW CLK	-	-	-	I2C1_SDA	-	I2S3_MCK	-
PA15	JTDI	TIM2_CH1 TIM2_ETR	-	-	I2C1_SCL	SPI1_NSS I2S1_WS	SPI3_NSS I2S3_WS	-

表 4-3 PA 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	UART4_TX	I3C_SCL	-	-	-	-	-	-
PA1	UART4_RX	I3C_SDA	-	-	-	-	-	-
PA2	COMP2_OUT	-	-	-	-	LPUART_TX	-	-
PA3	-	-	-	-	-	LPUART_RX	-	-
PA4	-	-	-	-	-	USART_TX	-	-
PA5	-	-	-	-	-	USART_RX	-	-
PA6	COMP1_OUT	-	-	-	-	-	-	-
PA7	COMP2_OUT	-	CRS_SYNC	-	-	-	-	MDSW_IN1
PA8	-	-	-	-	-	USART_CK	-	-
PA9	-	-	USB_FS_VBUS	-	-	USART_TX	-	-
PA10	-	-	USB_FS_ID	-	-	USART_RX	-	-
PA11	COMP1_OUT	CAN1_RX	-	-	-	USART_CTS	-	-
PA12	COMP2_OUT	CAN1_TX	-	-	-	USART_RTS	-	-
PA13	-	-	USB_FS_VBUSON	-	-	-	-	MDSW_OUT2
PA14	UART4_CTS	-	-	-	-	-	-	MDSW_IN3
PA15	UART4_RTS	-	-	-	-	-	-	-

表 4-4 PB 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	-	TIM1_CH2 N	TIM3_CH3	TIM8_CH2 N	-	-	-	-
PB1	-	TIM1_CH3 N	TIM3_CH4	TIM8_CH3 N	-	-	-	-
PB2	-	TIM1_CH4 N	-	TIM8_CH4 N	-	-	-	-
PB3	JTDO TRACESW O	TIM2_CH2	TIM4_ETR	-	-	SPI1_SCK I2S1_CK	SPI3_SCK I2S3_CK	-
PB4	NJTRST	-	TIM3_CH1	-	-	SPI1_MIS O I2S1_MCK (extSD)	SPI3_MIS O I2S3_MCK (extSD)	-
PB5	-	-	TIM3_CH2	TIM8_CH3 N	I2C1_SMB A	SPI1_MOS I I2S1_SD	SPI3_MOS I I2S3_SD	-
PB6	-	-	TIM4_CH1	TIM8_CH4 N	I2C1_SCL	SPI1_NSS I2S1_WS	SPI3_NSS I2S3_WS	UART1_TX
PB7	-	-	TIM4_CH2	-	I2C1_SDA	I2S1_MCK	I2S3_MCK	UART1_R X
PB8	-	-	TIM4_CH3	TIM8_CH1 N	I2C1_SCL	-	-	UART1_C TS
PB9	-	-	TIM4_CH4	TIM8_CH2 N	I2C1_SDA	SPI2_NSS I2S2_WS	-	UART1_R TS
PB10	-	TIM2_CH3	-	-	I2C2_SCL	SPI2_SCK I2S2_CK	-	UART3_TX
PB11	-	TIM2_CH4	-	-	I2C2_SDA	I2S2_MCK	-	UART3_R X
PB12	-	TIM1_BK1 N2	TIM5_ETR	-	I2C2_SMB A	SPI2_NSS I2S2_WS	-	-
PB13	-	TIM1_CH1 N	-	TIM8_CH1 N	-	SPI2_SCK I2S2_CK	-	UART3_C TS
PB14	-	TIM1_CH2 N	-	TIM8_CH2 N	-	SPI2_MIS O I2S2_MCK (extSD)	-	UART3_R TS
PB15	-	TIM1_CH3 N	-	TIM8_CH3 N	-	SPI2_MOS I I2S2_SD	-	-

表 4-5 PB 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	-	-	-	-	-	-	-
PB1	-	-	-	-	-	-	-	-
PB2	-	-	-	-	-	-	-	-
PB3	-	I3C_SCL	-	-	-	USART_CTS	-	-
PB4	-	I3C_SDA	-	-	-	USART_RTS	-	-
PB5	-	-	-	-	LPTIM_CH1	-	-	-
PB6	-	-	-	-	LPTIM_ETR	USART_TX	-	-
PB7	-	-	-	-	-	USART_RX	-	MDSW_OUT3
PB8	COMP1_OUT	CAN1_RX	-	-	-	USART_CTS	-	-
PB9	COMP2_OUT	CAN1_TX	-	-	-	USART_RTS	-	-
PB10	-	-	-	-	LPTIM_CH1	LPUART_RX	-	-
PB11	-	-	-	-	LPTIM_ETR	LPUART_TX	-	MDSW_OUT1
PB12	-	-	-	-	-	-	-	-
PB13	-	-	-	-	-	-	-	-
PB14	-	-	-	-	-	-	-	MDSW_IN2
PB15	-	-	-	-	-	-	-	-

表 4-6 PC 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC0	-	TIM1_BKIN3	-	-	I2C1_SCL	-	-	-
PC1	-	-	-	TIM8_BKIN2	I2C1_SDA	-	-	-
PC2	-	-	-	-	I2C2_SCL	SPI2_MISO I2S2_MCK (extSD)	-	-
PC3	-	-	-	-	I2C2_SDA	SPI2_MOSI I2S2_SD	-	-
PC4	-	-	-	-	-	-	-	UART1_TX
PC5	-	-	-	-	-	-	-	UART1_RX
PC6	-	-	TIM3_CH1	TIM8_CH1	I2C1_SCL	SPI2_MISO I2S2_MCK (extSD)	-	-
PC7	-	-	TIM3_CH2	TIM8_CH2	I2C1_SDA	SPI3_MISO I2S3_MCK (extSD)	SPI3_MISO I2S3_MCK (extSD)	-
PC8	-	-	TIM3_CH3	TIM8_CH3	I2C2_SCL	-	-	-
PC9	MCO2	-	TIM3_CH4	TIM8_CH4	I2C2_SDA	-	-	-
PC10	-	-	-	-	-	-	SPI3_SCK I2S3_CK	UART3_TX
PC11	-	-	-	-	-	-	SPI3_MISO I2S3_MCK (extSD)	UART3_RX
PC12	-	-	-	-	-	-	SPI3_MOSI I2S3_SD	-
PC13	-	-	-	TIM8_CH1	-	-	-	-
PC14	-	-	-	TIM8_CH2	-	-	-	-
PC15	-	-	-	TIM8_CH3	-	-	-	-

表 4-7 PC 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	UART4_TX	-	-	-	-	LPUART_RX	-	-
PC1	UART4_RX	-	-	-	-	LPUART_TX	-	-
PC2	UART4_CTS	-	-	-	-	-	-	-
PC3	UART4_RTS	-	-	-	-	-	-	-
PC4	-	-	-	-	-	USART_TX	-	-
PC5	-	-	-	-	-	USART_RX	-	-
PC6	-	-	-	-	-	-	-	-
PC7	-	-	-	-	-	-	-	-
PC8	-	-	-	-	-	-	-	-
PC9	-	-	-	-	-	-	-	-
PC10	UART4_TX	I3C_SCL	-	-	-	-	-	-
PC11	UART4_RX	I3C_SDA	-	-	-	-	-	-
PC12	-	-	-	-	-	USART_TX	-	-
PC13	-	-	-	-	-	-	-	MDSW_IN 0
PC14	-	-	-	-	-	-	-	-
PC15	-	-	-	-	-	-	-	-

引脚定义及复用功能

表 4-8 PD 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD2	-	-	TIM3_ETR	-	-	I2S3_MCK	-	-

表 4-9 PD 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD2	-	-	-	-	-	USART_RX	-	-

表 4-10 PH 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PH0	-	-	-	-	-	-	-	-
PH1	-	-	-	-	-	-	-	-
PH3	-	-	-	-	-	-	-	-

表 4-11 PH 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PH0	-	-	-	-	-	-	-	-
PH1	-	-	-	-	-	-	-	-
PH3	-	-	-	-	-	-	-	-

表 4-12 PI 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PI0	-	TIM1_CH4_N	-	TIM8_CH4	-	-	-	-
PI1	-	TIM2_ETR	TIM5_ETR	TIM8_ETR	I2C1_SMB_A	-	-	-

表 4-13 PI 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PI0	-	CAN1_RX	-	-	-	LPUART_RX	-	MDSW_OUT0
PI1	-	CAN1_TX	-	-	-	LPUART_TX	-	-

5 电气特性

5.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

5.1.1 负载电容

测量引脚参数时的负载条件示于图 5-1。

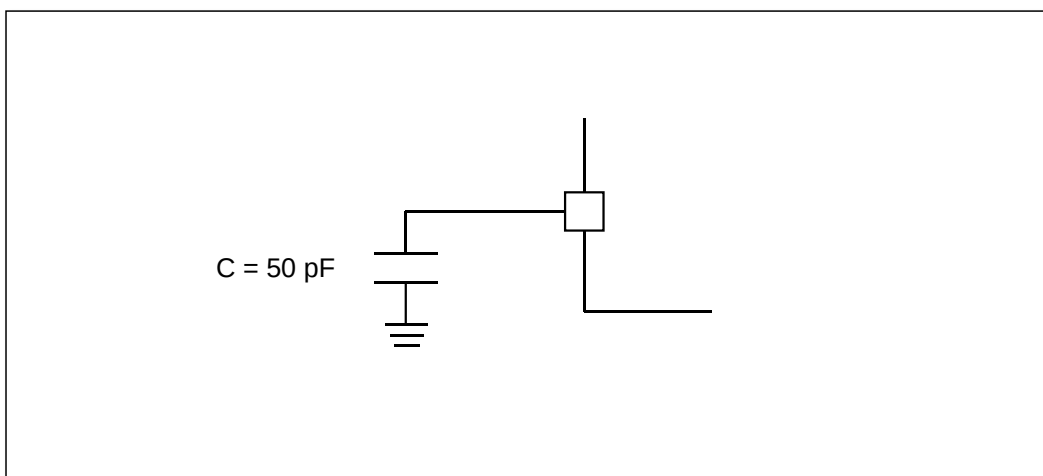


图 5-1 引脚的负载条件

5.1.2 引脚输入电压

引脚上输入电压的测量方式示于图 5-2。

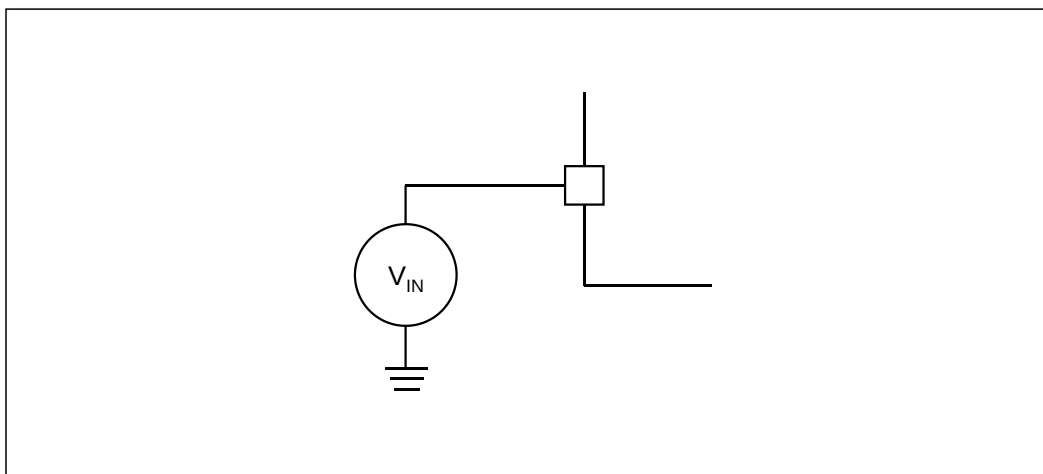


图 5-2 引脚输入电压

5.1.3 供电方案

供电设计方案示于下图 5-3。

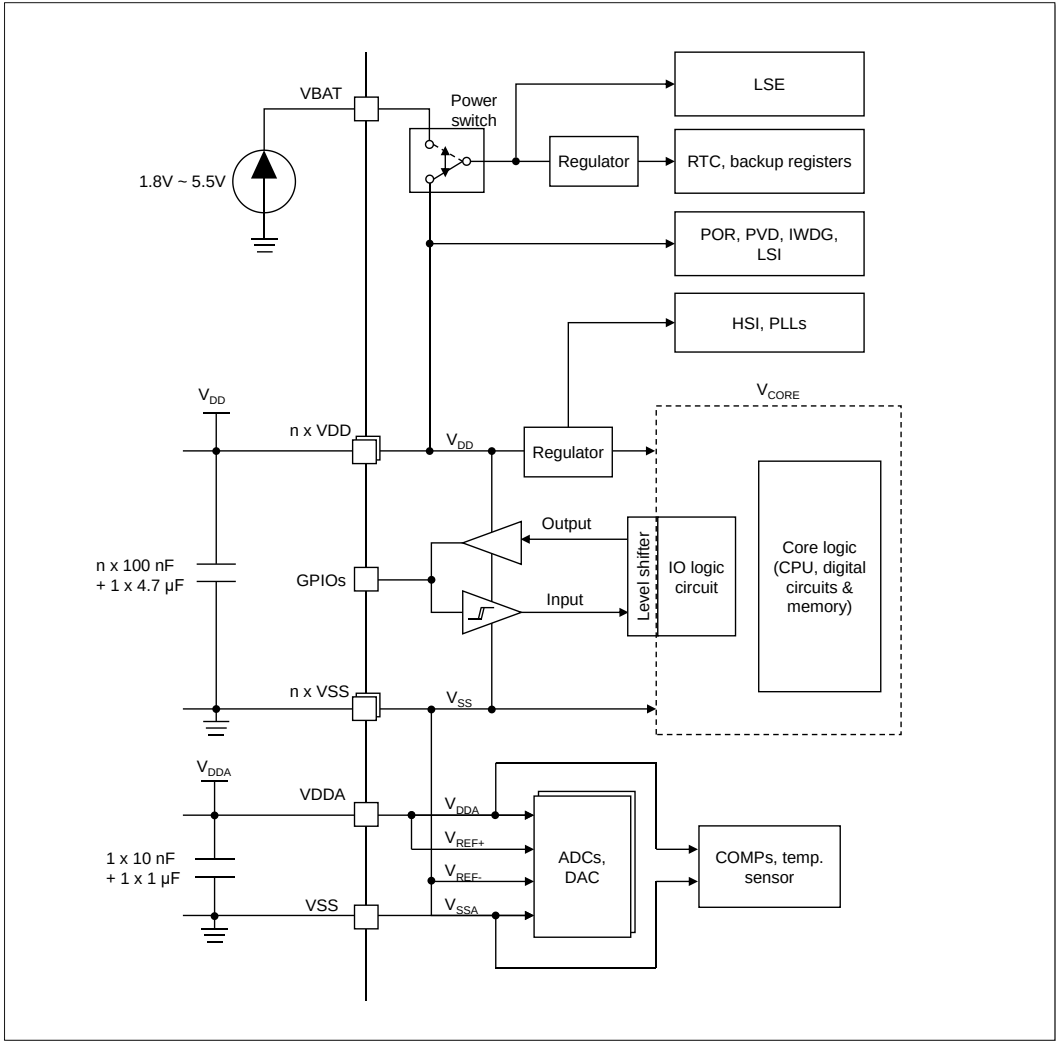


图 5-3 供电方案

备注:

- 1. 为使芯片达到最佳性能，每组电源地之间建议使用上图所示的滤波陶瓷电容去耦。
- 2. 上图所示的 4.7μF 电容需连接到其中一个 VDD 引脚。
- 3. 本产品的 VDDA 和 VREF+ 在芯片内部均接到 VDDA 引脚，VSS、VSSA 和 VREF- 在芯片内部均连接到 VSS 引脚。
- 4. 当采用 VDD 供电时，VBAT 可以悬空，也可以和 VDD 短接。

5.1.4 电流消耗测量

引脚上电流消耗的测量方式示于下图 5-4。

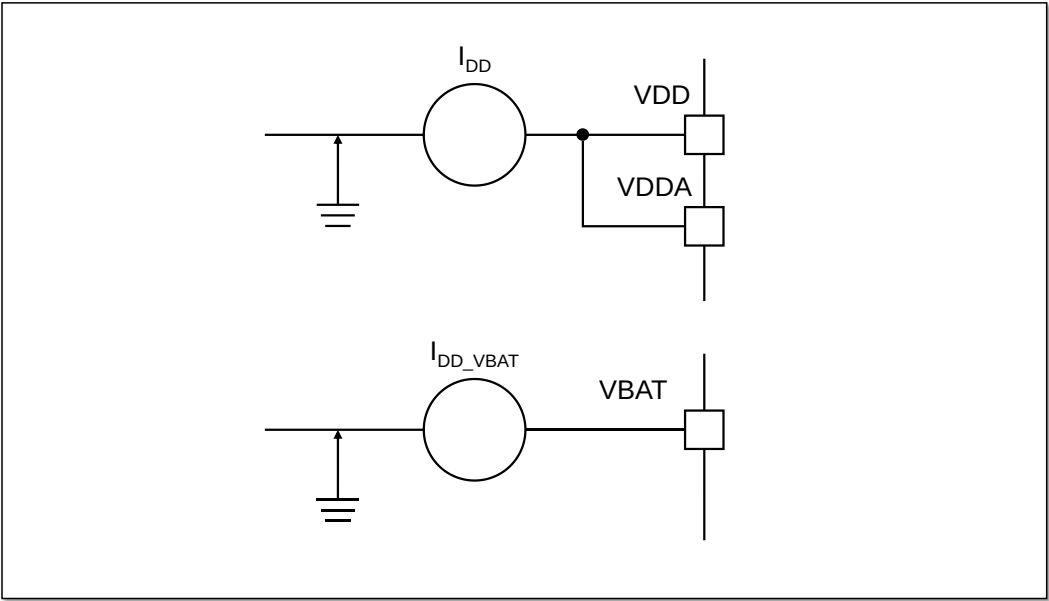


图 5-4 电流消耗测量方案

5.2 数据说明

电气特性章节中的所有数据按照表 5-1 所示方法进行分类，具体数据所属类别查找数据对应的类别栏。

表 5-1 电气特性章节中的数据类别

类别	说明
D	数据由芯片设计人员基于模型仿真得出，或由第三方半导体工艺参数或封装参数标称值得出，不在量产中测试
C	数据由芯片测试人员基于工程样片测试得出，不在量产中测试
P	在生产过程中对每颗芯片进行测试，并保证芯片特性符合最小值和最大值约定的范围

5.3 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表（表 5-2 和 表 5-3）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5-2 电压特性

Symbol	Type	Description	Minimum	Maximum	Unit
$V_{DDx}-V_{SSx}$	D	External main supply voltage (including V_{DDA} and V_{SSA})	-0.3	5.8	V
$V_{BAT}-V_{SSx}$	D	Backup domain supply voltage	-0.3	5.8	
V_{IN}	D	Input voltage on 5VT pins	$V_{SS}-0.3$	5.8	
	D	Input voltage on other pins	$V_{SS}-0.3$	$V_{DD}+0.3$	

表 5-3 电流特性

Symbol	Type	Description	Maximum	Unit
$I_{VDD/VDDA}$	D	Total current through V_{DD}/V_{DDA} power pins (supply current)	+120	mA
$I_{VSS/VSSA}$	D	Total current through V_{SS}/V_{SSA} ground pins (outflow current)	-120	
I_{IO}	C	Output sink current on any I/O and control pins, $V_{DD} = 5.0V$	+50	
	C	Output source current on any I/O and control pins, $V_{DD} = 5.0V$	-50	
	C	Output sink current on any I/O and control pins, $V_{DD} = 3.3V$	+25	
	C	Output source current on any I/O and control pins, $V_{DD} = 3.3V$	-25	
	C	Output sink current on any I/O and control pins, $V_{DD} = 2.0V$	+10	
	C	Output source current on any I/O and control pins, $V_{DD} = 2.0V$	-10	
$I_{INJ(PIN)}^{(1)(2)(3)}$	D	NRST pin injection current	± 5	
	D	HSE OSC_IN pin injection current	± 5	
$\sum I_{INJ(PIN)}^{(3)(4)}$	D	Other pins injection current ⁽³⁾	± 25	

1. 此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
2. 反向注入电流会干扰器件的模拟性能。
3. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得超出 $I_{INJ(PIN)}$ 。
4. 当多个输入同时存在注入电流时， $\sum I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

5.4 工作条件

5.4.1 通用工作条件

表 5-4 通用工作条件

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
$f_{HCLK(OD)}$	Internal AHB clock frequency – over drive	C	$V_{OSH} = 0x1, V_{OSL} = 0x3$	-	-	180	MHz
$f_{PCLK1(OD)}$	Internal APB1 clock frequency – over drive	C	$V_{OSH} = 0x1, V_{OSL} = 0x3$	-	-	180	
$f_{PCLK2(OD)}$	Internal APB2 clock frequency – over drive	C	$V_{OSH} = 0x1, V_{OSL} = 0x3$	-	-	180	
f_{HCLK}	Internal AHB clock frequency – normal drive	C	$V_{OSH} = 0x0, V_{OSL} = 0x0$	-	-	150	
f_{PCLK1}	Internal APB1 clock frequency – normal drive	C	$V_{OSH} = 0x0, V_{OSL} = 0x0$	-	-	150	
f_{PCLK2}	Internal APB2 clock frequency – normal drive	C	$V_{OSH} = 0x0, V_{OSL} = 0x0$	-	-	150	
V_{DD}	Digital circuit operating voltage	C	-	1.8	3.3	5.5	V
V_{DDA}	Analog circuit operating voltage (Performance is guaranteed)	C	Must be the same as $V_{DD}^{(1)}$	2.5	3.3	5.5	
	Analog circuit operating voltage (Performance is not guaranteed)	C		1.8	-	2.5	

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
V _{BAT} ⁽⁴⁾	Backup domain operating voltage	C	-	1.8	-	5.5	V
P _D	Power dissipation Temperature: T _A = 105°C ⁽²⁾	D	LQFP64	-	-	339	mW
		D	LQFP48	-	-	357	
		D	QFN32 5x5 mm2	-	-	571	
T _A	Ambient temperature (extended industrial level)	C	-	-40	25	105	°C
T _J	Junction temperature ⁽³⁾ (extended industrial level)	C	-	-40	-	125	°C

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}，则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}，T_A 可以扩展到这个范围。
4. 当应用系统中没有备份电池时，V_{BAT} 引脚可以和 V_{DD} 连接在一起或者浮空。

5.4.2 上电和掉电时的工作条件

表 5-5 上电和掉电时的工作条件

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
t _{VDD} ⁽¹⁾	V _{DD} rise time t _r	C	1.8V < V _{DD} < 5.5V	0.2	-	∞	us/V
	V _{DD} fall time t _f	C	1.8V < V _{DD} < 5.5V	60	-	∞	
V _{ft} ⁽²⁾	Power-down threshold voltage	D	-	-	0	-	mV

1. 芯片上与掉电 V_{DD} 波形需严格遵循图 5-5 中 t_r 和 t_f 阶段，上电过程不得出现掉电现象。
2. 为确保芯片可以可靠上电，所有上电需从 0V 开始，即不允许有残压上电。

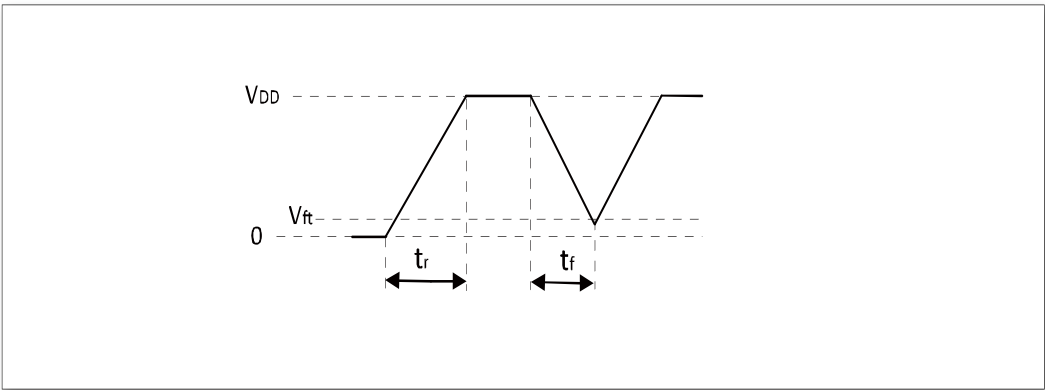


图 5-5 上电与掉电波形

5.4.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 5-4 列出的典型环境温度下测试得出。

表 5-6 内嵌复位和电源控制模块特性

	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
VPVD	Level selection of programmable voltage detectors	C	PLS[3:0]=0000 (Rising edge)	-	1.80	-	V
		C	PLS[3:0]=0000 (Falling edge)	-	1.70	-	
		C	PLS[3:0]=0001 (Rising edge)	-	2.10	-	
		C	PLS[3:0]=0001 (Falling edge)	-	2.00	-	
		C	PLS[3:0]=0010 (Rising edge)	-	2.40	-	
		C	PLS[3:0]=0010 (Falling edge)	-	2.30	-	
		C	PLS[3:0]=0011 (Rising edge)	-	2.70	-	
		C	PLS[3:0]=0011 (Falling edge)	-	2.60	-	
		C	PLS[3:0]=0100 (Rising edge)	-	3.00	-	
		C	PLS[3:0]=0100 (Falling edge)	-	2.90	-	
		C	PLS[3:0]=0101 (Rising edge)	-	3.30	-	
		C	PLS[3:0]=0101 (Falling edge)	-	3.20	-	
		C	PLS[3:0]=0110 (Rising edge)	-	3.60	-	
		C	PLS[3:0]=0110 (Falling edge)	-	3.50	-	
		C	PLS[3:0]=0111 (Rising edge)	-	3.90	-	
		C	PLS[3:0]=0111 (Falling edge)	-	3.80	-	
		C	PLS[3:0]=1000 (Rising edge)	-	4.20	-	
		C	PLS[3:0]=1000 (Falling edge)	-	4.10	-	
		C	PLS[3:0]=1001 (Rising edge)	-	4.50	-	
		C	PLS[3:0]=1001 (Falling edge)	-	4.40	-	
		C	PLS[3:0]=1010 (Rising edge)	-	4.80	-	
		C	PLS[3:0]=1010 (Falling edge)	-	4.70	-	
VPOR/PDR	Power-on reset threshold	C	-	-	1.69	-	V
Vhyst_PDR	PDR hysteresis	C	-	-	53	-	mV
TRSTTEMPO ⁽¹⁾	Reset duration	C	-	-	3.72	-	ms

1. 复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

5.4.4 内置的参照电压

下表中给出的参数是依据表 5-4 列出的典型环境温度下和 VDD 供电电压下测试得出。

表 5-7 内置的参照电压

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
VREFINT	Built-in voltage reference	P	TA = 25°C	-	1.20	-	V
Ts_vrefint ⁽¹⁾	ADC sampling time when readout built-in voltage reference	C	-	-	1.24	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

5.4.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期，48 ~ 72MHz 时为 2 个等待周期，72 ~ 96MHz 时为 3 个等待周期，96 ~ 120MHz 时为 4 个等待周期，120 ~ 144MHz 时为 5 个等待周期，144 ~ 168MHz 时为 6 个等待周期，168 ~ 192MHz 时为 7 个等待周期）。
- 指令预取功能开启。
- 当开启外设时： $f_{HCLK} = f_{PCLK1} = f_{PCLK2}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据表 5-4 列出的典型 V_{DD} 供电电压下测试得出。

表 5-8 运行模式下的典型电流消耗

Symbol	Parameters	Type	Conditions		Typical						Unit
					-40°C	0°C	25°C	55°C	85°C	105°C	
IDDx	Supply current in Run mode, run from Flash	C	HSI + PLL1 is clock source, all peripherals enabled	fHCLK=180MHz	30.87	31.28	31.60	32.25	33.58	34.97	mA
		C		fHCLK=168MHz	29.21	29.59	29.89	30.52	31.85	33.24	
		C		fHCLK=150MHz	24.52	24.85	25.25	25.51	25.99	26.59	
		C		fHCLK=144MHz	21.94	22.08	22.37	22.63	23.18	23.74	
		C		fHCLK=120MHz	18.90	19.12	19.30	19.52	20.06	20.63	
		C		fHCLK=96MHz	15.75	15.95	16.28	16.57	17.09	17.60	
		C		fHCLK=72MHz	12.98	13.07	13.33	13.55	14.06	14.59	
		C		fHCLK=48MHz	9.15	9.30	9.55	9.78	10.27	10.81	
		C		fHCLK=24MHz	5.52	5.62	5.78	5.97	6.45	6.97	
		C		fHCLK=12MHz	4.14	4.21	4.29	4.48	4.97	5.49	
		C		fHCLK=8MHz	3.66	3.68	3.74	3.92	4.38	4.90	
		C	HSI is clock source, all peripherals enabled	fHCLK=8MHz	2.84	2.90	2.97	3.17	3.66	4.18	
		C		fHCLK=4MHz	1.68	1.73	1.81	2.00	2.48	2.99	
		C		fHCLK=2MHz	1.11	1.16	1.23	1.41	1.89	2.39	
		C		fHCLK=1MHz	0.82	0.87	0.94	1.12	1.59	2.09	
		C		fHCLK=500KHz	0.68	0.73	0.79	0.97	1.44	1.94	

		C		f _{HCLK} =125KHz	0.57	0.62	0.68	0.86	1.33	1.83	
		C		f _{HCLK} =62.5KHz	0.55	0.60	0.66	0.84	1.31	1.81	
		C		f _{HCLK} =31.25KHz	0.54	0.59	0.66	0.83	1.30	1.80	
		C		f _{HCLK} =15.625KHz	0.54	0.59	0.65	0.83	1.30	1.80	
		C	LSI is clock source, all peripherals enabled	f _{HCLK} =40KHz	0.41	0.45	0.51	0.68	1.15	1.66	mA
		C	HSI + PLL1 is clock source, all peripherals disabled	f _{HCLK} =180MHz	15.46	15.71	15.96	16.54	17.78	19.12	
		C		f _{HCLK} =168MHz	14.79	15.04	15.27	15.83	17.05	18.38	
		C		f _{HCLK} =150MHz	13.12	13.39	12.84	13.09	13.60	14.17	
		C		f _{HCLK} =144MHz	11.01	11.05	10.54	10.75	11.28	11.82	
		C		f _{HCLK} =120MHz	9.89	10.07	9.44	9.59	10.12	10.66	
		C		f _{HCLK} =96MHz	8.62	8.80	8.26	8.51	9.04	9.56	
		C		f _{HCLK} =72MHz	7.73	7.75	7.45	7.64	8.13	8.65	
		C		f _{HCLK} =48MHz	5.68	5.82	5.56	5.78	6.28	6.81	
		C		f _{HCLK} =24MHz	3.83	3.93	3.78	3.98	4.46	4.98	
		C		f _{HCLK} =12MHz	3.27	3.32	3.30	3.48	3.97	4.49	
		C		f _{HCLK} =8MHz	3.02	3.07	3.09	3.27	3.74	4.25	
		C	HSI is clock source, all peripherals disabled	f _{HCLK} =8MHz	2.24	2.29	2.37	2.57	3.06	3.58	
		C		f _{HCLK} =4MHz	1.38	1.44	1.51	1.70	2.17	2.68	
		C		f _{HCLK} =2MHz	0.96	1.01	1.08	1.26	1.74	2.24	
		C		f _{HCLK} =1MHz	0.75	0.80	0.86	1.04	1.52	2.02	
		C		f _{HCLK} =500KHz	0.64	0.69	0.75	0.93	1.41	1.91	
		C		f _{HCLK} =125KHz	0.56	0.61	0.67	0.85	1.32	1.82	
		C		f _{HCLK} =62.5KHz	0.55	0.60	0.66	0.84	1.31	1.81	
		C		f _{HCLK} =31.25KHz	0.54	0.59	0.65	0.83	1.30	1.80	
		C		f _{HCLK} =15.625KHz	0.54	0.59	0.65	0.83	1.30	1.79	
		C	LSI is clock source, all peripherals disabled	f _{HCLK} =40KHz	0.40	0.45	0.51	0.68	1.14	1.66	

表 5-9 低功耗运行模式下的典型电流消耗

Symbol	Parameters	Type	Conditions		Typical						Unit
					-40°C	0°C	25°C	55°C	85°C	105°C	
IDDx	Supply current in Low Power Run mode, run from Flash	C	HSI is clock source, all peripherals enabled	fHCLK=2MHz	0.93	0.96	1.00	1.18	1.64	2.16	mA
		C		fHCLK=1MHz	0.64	0.67	0.73	0.89	1.35	1.87	
		C		fHCLK=500KHz	0.49	0.53	0.58	0.75	1.20	1.71	
		C		fHCLK=125KHz	0.39	0.42	0.47	0.63	1.09	1.60	
		C		fHCLK=62.5KHz	0.37	0.40	0.45	0.62	1.07	1.58	
		C		fHCLK=31.25KHz	0.36	0.39	0.44	0.61	1.06	1.58	
		C		fHCLK=15.625KHz	0.36	0.39	0.44	0.60	1.06	1.57	

		C	LSI is clock source, all peripherals enabled	f _{HCLK} =40KHz	0.22	0.25	0.30	0.46	0.91	1.42	
		C	HSI is clock source, all peripherals disabled	f _{HCLK} =2MHz	0.78	0.81	0.86	1.04	1.49	2.01	mA
		C		f _{HCLK} =1MHz	0.57	0.60	0.65	0.82	1.27	1.79	
		C		f _{HCLK} =500KHz	0.46	0.49	0.55	0.71	1.16	1.68	
		C		f _{HCLK} =125KHz	0.38	0.41	0.46	0.62	1.08	1.59	
		C		f _{HCLK} =62.5KHz	0.36	0.40	0.45	0.61	1.07	1.58	
		C		f _{HCLK} =31.25KHz	0.36	0.39	0.44	0.61	1.06	1.57	
		C		f _{HCLK} =15.625KHz	0.35	0.39	0.44	0.60	1.06	1.57	
		C	LSI is clock source, all peripherals disabled	f _{HCLK} =40KHz	0.22	0.25	0.30	0.45	0.91	1.41	

表 5-10 睡眠模式下的典型电流消耗

Symbol	Parameters	Type	Conditions		Typical						Unit
					-40°C	0°C	25°C	55°C	85°C	105°C	
IDDx	Supply current in Sleep mode	C	HSI + PLL1 is clock source, all peripherals enabled	fHCLK=180MHz	25.34	25.74	26.08	26.75	28.12	29.51	mA
		C		fHCLK=168MHz	23.67	24.05	24.37	25.02	26.35	27.74	
		C		fHCLK=150MHz	20.58	20.79	20.94	21.21	21.82	22.39	
		C		fHCLK=144MHz	17.86	18.01	18.12	18.35	18.89	19.43	
		C		fHCLK=120MHz	15.09	15.22	15.32	15.54	16.06	16.60	
		C		fHCLK=96MHz	12.32	12.43	12.52	12.73	13.24	13.77	
		C		fHCLK=72MHz	9.55	9.64	9.72	9.92	10.41	10.93	
		C		fHCLK=48MHz	6.78	6.85	6.92	7.11	7.58	8.10	
		C		fHCLK=24MHz	4.01	4.06	4.12	4.29	4.75	5.26	
		C		fHCLK=12MHz	2.66	2.70	2.76	2.92	3.37	3.88	
		C		fHCLK=8MHz	2.16	2.20	2.25	2.41	2.86	3.37	
		C	HSI is clock source, all peripherals enabled	fHCLK=8MHz	1.34	1.41	1.47	1.66	2.14	2.64	
		C		fHCLK=4MHz	0.93	0.99	1.05	1.23	1.71	2.21	
		C		fHCLK=2MHz	0.73	0.78	0.84	1.02	1.49	1.99	
		C		fHCLK=1MHz	0.62	0.67	0.74	0.92	1.39	1.89	
		C		fHCLK=500KHz	0.57	0.62	0.68	0.86	1.33	1.83	
		C		fHCLK=125KHz	0.53	0.58	0.64	0.82	1.29	1.79	
		C		fHCLK=62.5KHz	0.52	0.57	0.64	0.82	1.29	1.78	
		C		fHCLK=31.25KHz	0.52	0.57	0.64	0.81	1.28	1.78	
		C		fHCLK=15.625KHz	0.52	0.57	0.63	0.81	1.28	1.78	
		C	LSI is clock source, all peripherals enabled	fHCLK=40KHz	0.39	0.43	0.49	0.67	1.13	1.64	

		C	HSI + PLL1 is clock source, all peripherals disabled	f _{HCLK} =180MHz	10.19	10.43	10.67	11.25	12.49	13.80	mA
		C		f _{HCLK} =168MHz	9.52	9.75	9.98	10.54	11.75	13.07	
		C		f _{HCLK} =150MHz	8.50	8.62	8.72	8.95	9.48	10.02	
		C		f _{HCLK} =144MHz	6.27	6.33	6.40	6.57	7.05	7.56	
		C		f _{HCLK} =120MHz	5.42	5.48	5.54	5.71	6.18	6.69	
		C		f _{HCLK} =96MHz	4.58	4.63	4.69	4.86	5.32	5.82	
		C		f _{HCLK} =72MHz	3.74	3.78	3.84	4.01	4.46	4.97	
		C		f _{HCLK} =48MHz	2.90	2.94	3.00	3.16	3.61	4.11	
		C		f _{HCLK} =24MHz	2.07	2.11	2.15	2.31	2.76	3.26	
		C		f _{HCLK} =12MHz	1.69	1.72	1.77	1.93	2.37	2.87	
		C		f _{HCLK} =8MHz	1.52	1.55	1.59	1.75	2.20	2.70	
		C	HSI is clock source, all peripherals disabled	f _{HCLK} =8MHz	0.75	0.80	0.87	1.05	1.52	2.02	
		C		f _{HCLK} =4MHz	0.63	0.69	0.75	0.93	1.40	1.90	
		C		f _{HCLK} =2MHz	0.58	0.63	0.69	0.87	1.34	1.84	
		C		f _{HCLK} =1MHz	0.55	0.60	0.66	0.84	1.31	1.81	
		C		f _{HCLK} =500KHz	0.53	0.58	0.65	0.83	1.29	1.79	
		C		f _{HCLK} =125KHz	0.52	0.57	0.64	0.81	1.28	1.78	
		C		f _{HCLK} =62.5KHz	0.52	0.57	0.63	0.81	1.28	1.78	
		C		f _{HCLK} =31.25KHz	0.52	0.57	0.63	0.81	1.28	1.78	
		C		f _{HCLK} =15.625KHz	0.52	0.57	0.63	0.81	1.28	1.78	
		C	LSI is clock source, all peripherals disabled	f _{HCLK} =40KHz	0.38	0.43	0.49	0.66	1.13	1.64	

表 5-11 停机和深度停机模式下的典型电流消耗

Symbol	Parameter	Type	Conditions	Typical						Unit
				-40°C	0°C	25°C	55°C	85°C	105°C	
I _{DDx} ⁽¹⁾	Supply current in Stop mode	C	Enter Stop mode after reset, V _{DD} =3.3V	164.61	179.95	204.12	289.18	540.16	902.43	uA
	Supply current in Deep Stop mode	C	Enter Deep Stop mode after reset, V _{DD} =3.3V	72.59	85.61	112.70	209.74	502.00	884.26	

1. I/O 状态为模拟输入。

表 5-12 待机模式下的典型电流消耗

Symbol	Parameter	Type	Conditions	Typical						Unit
				-40°C	0°C	25°C	55°C	85°C	105°C	
I _{DDx} ⁽¹⁾	Supply current in Standby mode	C	LSI, LSE, RTC, IWDG all disabled	1.52	1.63	1.82	2.48	5.07	9.37	uA
		C	LSI and IWDG enabled	2.53	2.67	2.86	3.54	6.28	10.68	
		C	LSI enabled	2.40	2.53	2.73	3.42	6.19	10.61	

1. I/O 状态为模拟输入。

内置外设电流消耗

内置外设的电流消耗列于下表，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 5-4。

表 5-13 内置外设的典型电流消耗

Symbol	Parameter	Type	Bus	Typical	Unit
I _{DDx}	DMA1	C	AHB	1.36	uA/MHz
	DMA2	C		1.35	
	CRC	C		0.67	
	CORDIC	C		1.43	
	GPIOA	C		0.12	
	GPIOB	C		0.14	
	GPIOC	C		0.17	
	GPIOD	C		0.14	
	GPIOH	C		0.13	
	GPIOI	C		0.15	
	USB FS	C		4.62	
	TIM2	C	APB1	2.82	
	TIM3	C		2.14	
	TIM4	C		2.12	
	TIM5	C		2.84	
	TIM6	C		1.01	
	TIM7	C		2.39	
	WWDG	C		1.00	
	SPI2	C		0.13	
	SPI3	C		3.10	
	UART2	C		3.06	
	UART3	C		2.58	
	UART4	C		2.65	
	I2C1	C		2.59	
	I2C2	C		6.14	
	I3C	C		1.23	

Symbol	Parameter	Type	Bus	Typical	Unit
	CRS	C		6.01	
	PWR	C		0.28	
	DAC	C		0.40	
	FlexCAN1	C		8.30	
	SYSCFG	C	APB2	0.07	
	LPUART	C		0.21	
	ADC1	C		2.68	
	ADC2	C		2.45	
	TIM1	C		4.10	
	SPI1	C		3.05	
	TIM8	C		4.09	
	UART1	C		2.63	
	USART	C		1.85	
	COMP	C		0.37	
	LPTIM	C		1.07	
	MindSwitch	C		0.04	

1. $f_{HCLK} = 150\text{MHz}$, $f_{APB1} = f_{HCLK}$, $f_{APB2} = f_{HCLK}$, 每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟，所有的时间是使用表 5-4 中的典型环境温度和供电电压测量得到。

表 5-14 低功耗模式的唤醒时间

Symbol	Parameter	Type	Conditions	Typical	Unit
$t_{WUSLEEP}$	Wake up from Sleep mode	C	System clock is HSI	3.69	us
t_{WUSTOP}	Wake up from Stop mode (regulator is in Run mode)	C	System clock is HSI	11.31	us
$t_{WUDEEPSTOP}$	Wake up from Deep Stop mode (regulator is in low power mode)	C	System clock is HSI	15.2	us
$t_{WUSTDBY}$	Wake up from Standby mode	C	STDBY_FS_WK = 010	472.76	us
		C	STDBY_FS_WK = 011	498.88	us
		C	STDBY_FS_WK = 000	525.43	us
		C	STDBY_FS_WK = 101	554.46	us
		C	STDBY_FS_WK = 110	577.01	us

Symbol	Parameter	Type	Conditions	Typical	Unit
		C	STDBY_FS_WK = 111	602.78	us

5.4.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 5-15 高速外部用户时钟特性

Symbol	Parameter	Type	Condition	Min.	Typ.	Max.	Unit
fHSE_ext	User external clock source frequency	C	-	-	8	32	MHz
VHSEH	OSC_IN input high level voltage	C	-	0.7 * VDD	-	VDD	V
VHSEL	OSC_IN input low level voltage	C	-	VSS	-	0.3 * VDD	V
tw(HSE)	OSC_IN high or low time	C	-	15	-	-	ns

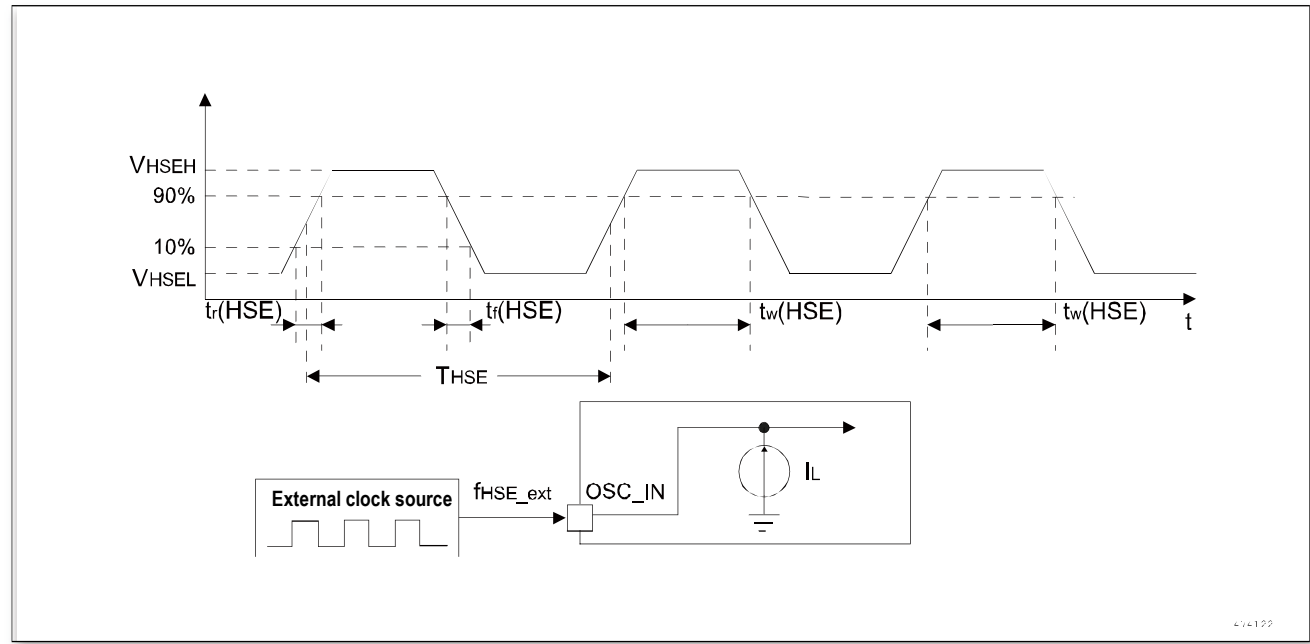


图 5-6 外部高速时钟源的交流时序图

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 5-16 低速外部用户时钟特性

Symbol	Parameter	Type	Condition	Min.	Typ.	Max.	Unit
fLSE_ext	User external clock frequency	C	-	-	32.768	1000	KHz
VLSEH	OSC_IN input pin high level voltage	C	-	$0.7 \cdot V_{DD}$	-	V_{DD}	V
VLSEL	OSC_IN input pin low level voltage	C	-	V_{SS}	-	$0.3 \cdot V_{DD}$	V
t _w (LSE)	OSC_IN high or low time	C	-	250	-	-	ns

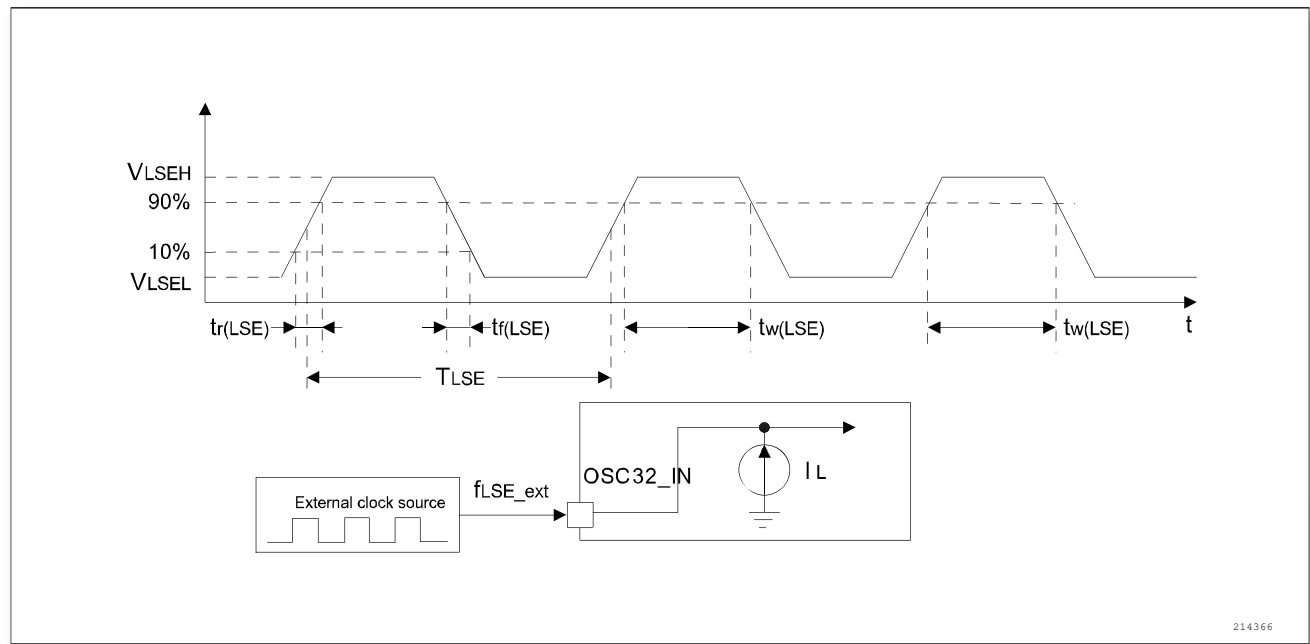


图 5-7 外部低速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 4 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 5-17 HSE 振荡器特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
fOSC_IN	Oscillator frequency	C	$1.8V < V_{DD} < 5.5V$	4	8	24	MHz
R _F	Feedback resistor ⁽²⁾	C	-	-	1000	-	kΩ
ESR	Support crystal serial impedance (C _{L1} C _{L2} ⁽¹⁾ is 22pF)	C	-	-	60	-	Ω

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
I _{DD} (HSE)	HSE current consumption	C	f _{OSC_IN} = 8MHz, HSEIB=01, HSEDR=01	-	0.135	-	mA
		C	f _{OSC_IN} = 8MHz, HSEIB=11, HSEDR=11	-	0.24	-	mA
t _{SU} (HSE) ⁽³⁾	Startup time	C	f _{OSC_IN} = 8MHz, HSEIB=01, HSEDR=01	-	5	-	ms
		C	f _{OSC_IN} = 8MHz, HSEIB=11, HSEDR=11	-	0.697	-	ms

1. 对于 CL1 和 CL2，建议使用高质量的、为高频应用而设计的（典型值为）5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时，PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10pF 估计）。
2. 相对较低的 R_F 电阻值，能够可以避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
3. t_{SU} (HSE) 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

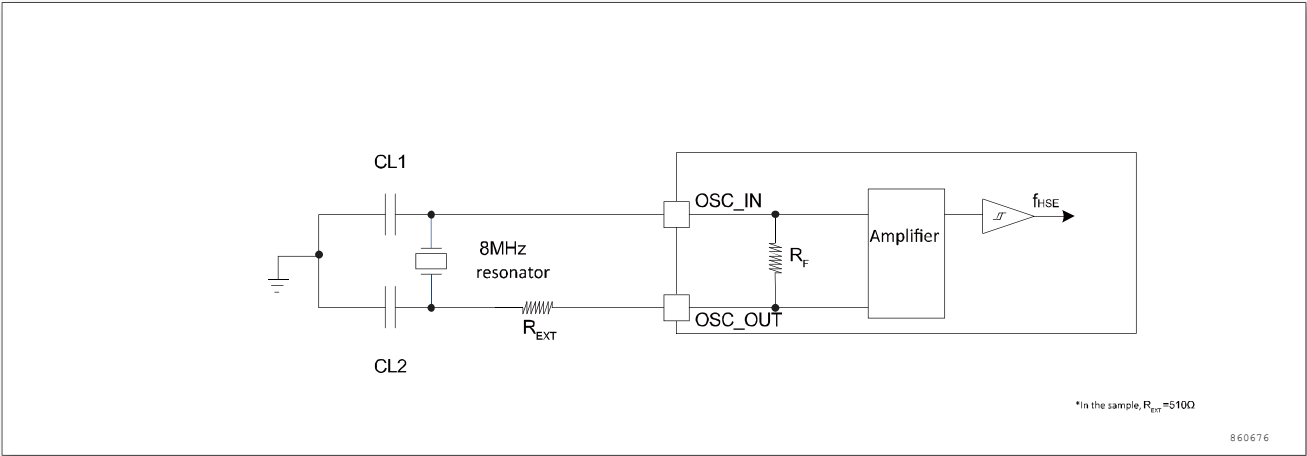


图 5-8 使用 8MHz 晶体的典型应用

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE）可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（注：这里提到的晶体谐振器就是我们通常说的无源晶振）

注意: 对于 CL1 和 CL2，建议使用高质量的 5pF ~ 15pF 之间的瓷介电容器，并挑选符合要求的晶体谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。负载电容 C_L 由下式计算：C_L = C_{L1} × C_{L2} / (C_{L1} + C_{L2}) + C_{stray}，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2pF ~ 7pF 之

间。警告：为了避免超出 C_{L1} 和 C_{L2} 的最大值（15pF），强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器，不能使用负载电容为 12.5pF 的谐振器。例如：如果选择了一个负载电容 $C_L = 6pF$ 的谐振器并且 $C_{stray} = 2pF$ ，则 $C_{L1} = C_{L2} = 8pF$ 。

表 5-18 LSE 振荡器特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
fOSC_IN	Oscillator frequency	C	1.8V<VDD<5.5V	-	32.768	-	KHz
IDD(LSE) (1)	LSE current consumption	C	LSE_IB=00, LSE_DR=11	-	263	-	nA
		C	LSE_IB=01, LSE_DR=11	-	287	-	nA
tsu(LSE) (2)	Startup time	C	LSE_IB=00, LSE_DR=00	-	4	-	s
		C	LSE_IB=00, LSE_DR=11	-	2.3	-	s
		C	LSE_IB=01, LSE_DR=00	-	0.6	-	s
		C	LSE_IB=01, LSE_DR=11	-	0.45	-	s

1. 选择具有较小 RS 值的高质量振荡器（如 MSIVTIN 32.768KHz），可以优化电流消耗。详情请咨询晶体制造商。
2. t_{su} (LSE) 是启动时间，是从软件使能 LSE 开始测量，直至得到稳定的 32.768K Hz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

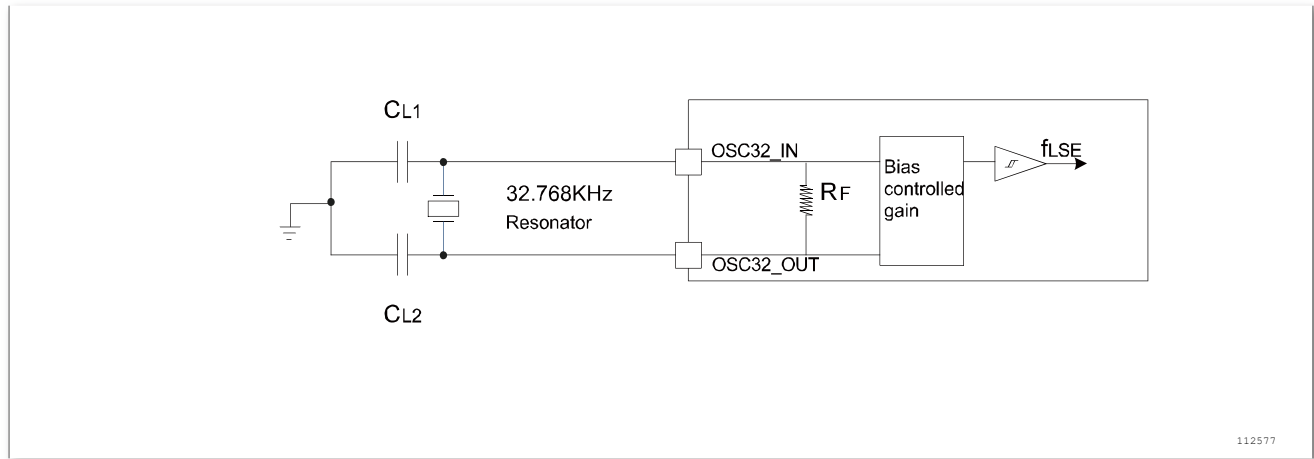


图 5-9 使用 32.768KHz 晶体的典型应用

5.4.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI）振荡器

表 5-19 HSI 振荡器特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
f _{HSI}	Frequency	C	-	-	8	-	MHz

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
ACC _{HSI}	HSI oscillator deviation	C	T _A = -20°C ~ 55°C	-1	-	+1	%
		C	T _A = -40°C ~ 105°C	-2	-	+2	%
T _{stab} (HSI)	HSI oscillator startup time	D	-	-	10	12	us
I _{DD} (HSI)	HSI oscillator power consumption	D	-	-	73	-	uA

低速内部（LSI）振荡器

表 5-20 LSI 振荡器特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
f _{LSI}	Frequency	C	-	-	40	-	KHz
ACC _{LSI}	LSI oscillator deviation	C	T _A = -20°C ~ 55°C	-10	-	+10	%
		C	T _A = -40°C ~ 105°C	-15	-	+15	%
t _{SU} (LSI)	LSI oscillator startup time	D	-	-	200	300	us
I _{DD} (LSI)	LSI oscillator power consumption	D	-	-	240	-	nA

5.4.8 PLL1 特性

PLL1 的输入时钟 f_{PLL1_IN} 和 f_{PLL1_OUT} 之间关系为：

公式 1

$$\frac{f_{PLL1_IN}}{PLL1DIV[2:0] + 1} = \frac{f_{PLL1_OUT}}{PLL1MUL[6:0] + 1}$$

PLL1MUL[6:0]、PLL1DIV[2:0] 是 PLL1 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 5-21 PLL1 特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
f _{PLL1_IN}	PLL1 input clock ⁽¹⁾	D	-	2	8	24	MHz
D _{PLL1_IN}	PLL1 input clock duty cycle	D	-	20	-	80	%
f _{VCO}	VCO output clock	D	-	200	-	400	MHz
f _{PLL1_OUT}	PLL1 output clock	D	-	25	-	200	MHz
I _{DD} (PLL1)	PLL1 current consumption	D	f _{PLL1_IN} =2MHz f _{PLL1_OUT} =200MHz	-	1.95	-	mA

1. 根据 PLL 1 的输入时钟并使用正确的倍频系数来保证 f_{PLL1_VCO} 处于允许的输出范围内。

5.4.9 PLL2 特性

PLL2 的输入时钟 f_{PLL2_IN} 和 f_{PLL2_OUT} 之间关系为：

公式 2

$$\frac{f_{PLL2_IN}}{(PLL2PDIV[2:0] + 1) * (PLL2DIV[2:0] + 1)} = \frac{f_{PLL2_OUT}}{PLL2MUL[7:0] + 1}$$

PLL2PDIV[2:0]、PLL2MUL[7:0]、PLL2DIV[2:0] 是 PLL2 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 5-22 PLL2 特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
f _{PLL2_IN}	PLL2 input clock ⁽¹⁾	D	-	4	8	24	MHz
D _{PLL2_IN}	PLL2 input clock duty cycle	D	-	20	-	80	%
f _{vco}	VCO output clock ⁽²⁾	D	-	80	-	200	MHz
f _{PLL2_OUT}	PLL2 output clock	D	-	10	-	100	MHz
I _{DD} (PLL2)	PLL2 current consumption	D	f _{PLL2_IN} =8MHz f _{PLL2_OUT} =100MHz	-	1.5	-	mA

1. 该范围为 PLL2PDIV 为 0 时 f_{PLL2_IN} 的允许范围；如果 PLL2PDIV 大于 0，则该范围为 f_{PLL2_IN}/(PLL2PDIV+1) 的允许范围。
2. 根据 PLL2 的输入时钟并使用正确的倍频系数来保证 f_{PLL2VCO} 处于允许的输出范围内。

5.4.10 存储器特性

表 5-23 Flash 存储器特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
t _{prog}	16-bit programming time	C	-	-	60.44	-	us
t _{ERASE}	Page (1024 bytes) erase time	C	-	-	5.18	-	ms
t _{ME}	Mass erase time	C	-	-	35.33	-	ms
I _{DD}	Supply current	D	Read mode	-	3	-	mA
		D	Write mode	-	0.5	-	mA
		D	Erase mode	-	0.5	-	mA

表 5-24 Flash 存储器寿命和数据保存期限

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
N _{END}	Endurance	D	-	100000	-	-	Cycles
T _{DR}	Data retention	D	T _A = 85°C	20	-	-	Years
		D	T _A = 25°C	100	-	-	

5.4.11 EMC 特性

电磁兼容性（EMC）测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- 静电放电（ESD）（正向和负向）施加到所有器件引脚，直到发生功能干扰。 该测试符合 IEC 61000-4-2 标准。
- FTB: 通过一个 100 pF 的电容向 VDD 和 VSS 施加一串快速瞬变电压（正负），直到发生功能性干扰。 该测试符合 IEC 61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 5-25 EMS 特性

Symbol	Parameter	Type	Conditions	Level/Type
V _{FESD}	Voltage limit applied to any I/O pin, resulting in malfunction	C	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 150MHz. Conforming to IEC61000-4-2	2A
V _{FEFT}	Fast transient voltage burst limits to be applied through 100 pF on VDD and VSS pins to induce a functional disturbance	C	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 150MHz. Conforming to IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

功能性 EMS（电气敏感性）

基于三个不同的测试（ESD, LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n + 1) 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

这些测试兼容 EIA/JESD78E IC latch-up 标准。

表 5-26 ESD & LU 特性

Symbol	Parameter	Type	Conditions	Class	Maximum	Unit
V _{ESD(HBM)}	Electrostatic discharge voltage (Human body model)	C	T _A = 25°C, conforming to ESDA/JEDEC JS-001-2017	3A	±4000	V
V _{ESD(CDM)}	Electrostatic discharge voltage (Charging device model)	C	T _A = 25°C, conforming to ESDA/JEDEC JS-002-2018	C3	±1000	V
I _{LU}	Latch-up current	C	T _A = 25°C, conforming to JESD78E,	II, A	±200	mA
		C	T _A = 105°C, conforming to JESD78E,		±100	mA

5.4.12 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 5-4 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 5-27 I/O 静态特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
V _{IL}	Low level input voltage	C	-	-	-	0.3 * V _{DD}	V
V _{IH}	High level input voltage	C	-	0.7 * V _{DD}	-	-	V
V _{hy}	Schmitt trigger hysteresis	C	-	0.1 * V _{DD}	-	-	V
R _{PU}	Weak pull-up equivalent resistor ⁽²⁾	C	V _{IN} = V _{SS}	-	50	-	kΩ

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
R _{PD}	Weak pull-down equivalent resistor ⁽²⁾	C	V _{IN} = V _{DD}	-	50	-	kΩ
C _{IO}	I/O pin capacitance	D	For 5VT IOs	-	-	1.62	pF
		D	For TC IOs	-	-	1.84	pF

1. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
2. 上拉和下拉电阻是 poly 电阻。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 $\pm 20\text{mA}$ 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过表 5-2 给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 5-4 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 5-28 输出电压特性

Symbol	Parameter	Type	Conditions	Typical	Unit
V _{OL} ⁽¹⁾	Output low voltage	C	For TC IOs, I _{IO} = 6mA, V _{DD} = 2.0V	0.11	V
V _{OH} ⁽²⁾	Output high voltage	C		1.80	
V _{OL} ⁽¹⁾	Output low voltage	C	For TC IOs, I _{IO} = 8mA, V _{DD} = 2.0V	0.16	
V _{OH} ⁽²⁾	Output high voltage	C		1.72	
V _{OL} ⁽¹⁾	Output low voltage	C	For 5VT IOs, I _{IO} = 6mA, V _{DD} = 2.0V	0.11	V
V _{OH} ⁽²⁾	Output high voltage	C		1.65	
V _{OL} ⁽¹⁾	Output low voltage	C	For 5VT IOs, I _{IO} = 8mA, V _{DD} = 2.0V	0.15	
V _{OH} ⁽²⁾	Output high voltage	C		1.48	
V _{OL} ⁽¹⁾	Output low voltage	C	For TC IOs, I _{IO} = 6mA, V _{DD} = 3.3V	0.07	V
V _{OH} ⁽²⁾	Output high voltage	C		3.17	
V _{OL} ⁽¹⁾	Output low voltage	C	For TC IOs, I _{IO} = 8mA, V _{DD} = 3.3V	0.10	
V _{OH} ⁽²⁾	Output high voltage	C		3.13	
V _{OL} ⁽¹⁾	Output low voltage	C	For TC IOs, I _{IO} = 20mA, V _{DD} = 3.3V	0.25	V
V _{OH} ⁽²⁾	Output high voltage	C		2.85	
V _{OL} ⁽¹⁾	Output low voltage	C	For 5VT IOs, I _{IO} = 6mA, V _{DD} = 3.3V	0.07	
V _{OH} ⁽²⁾	Output high voltage	C		3.10	

Symbol	Parameter	Type	Conditions	Typical	Unit
$V_{OL}^{(1)}$	Output low voltage	C	For 5VT I/Os, $ I_{IO} = 8\text{mA}$, $V_{DD} = 3.3\text{V}$	0.10	
$V_{OH}^{(2)}$	Output high voltage	C		3.03	
$V_{OL}^{(1)}$	Output low voltage	C	For 5VT I/Os, $ I_{IO} = 20\text{mA}$, $V_{DD} = 3.3\text{V}$	0.25	
$V_{OH}^{(2)}$	Output high voltage	C		2.50	
$V_{OL}^{(1)}$	Output low voltage	C	For TC I/Os, $ I_{IO} = 6\text{mA}$, $V_{DD} = 5\text{V}$	0.06	V
$V_{OH}^{(2)}$	Output high voltage	C		4.90	
$V_{OL}^{(1)}$	Output low voltage	C	For TC I/Os, $ I_{IO} = 8\text{mA}$, $V_{DD} = 5\text{V}$	0.08	
$V_{OH}^{(2)}$	Output high voltage	C		4.87	
$V_{OL}^{(1)}$	Output low voltage	C	For TC I/Os, $ I_{IO} = 20\text{mA}$, $V_{DD} = 5\text{V}$	0.20	
$V_{OH}^{(2)}$	Output high voltage	C		4.66	
$V_{OL}^{(1)}$	Output low voltage	C	For 5VT I/Os, $ I_{IO} = 6\text{mA}$, $V_{DD} = 5\text{V}$	0.06	V
$V_{OH}^{(2)}$	Output high voltage	C		4.85	
$V_{OL}^{(1)}$	Output low voltage	C	For 5VT I/Os, $ I_{IO} = 8\text{mA}$, $V_{DD} = 5\text{V}$	0.07	
$V_{OH}^{(2)}$	Output high voltage	C		4.80	
$V_{OL}^{(1)}$	Output low voltage	C	For 5VT I/Os, $ I_{IO} = 20\text{mA}$, $V_{DD} = 5\text{V}$	0.19	
$V_{OH}^{(2)}$	Output high voltage	C		4.46	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD} 。

输入输出交流特性

输入输出交流特性的定义和数值分别在下面的图表中给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 5-4 的条件测量得到。

表 5-29 I/O 交流特性 (1)(2)

Symbol	Parameter	Type	MODEx[1:0]	Conditions	Typical	Unit
t _{f(I/O)out}	Output fall time	C	11 (High speed)	C _L = 50pF V _{DD} =3.3V	3.20	ns
t _{r(I/O)out}	Output rise time	C			3.30	ns
t _{f(I/O)out}	Output fall time	C	10 (Medium speed)		6.30	ns
t _{r(I/O)out}	Output rise time	C			7.20	ns
t _{f(I/O)out}	Output fall time	C	01 (Low speed)		17.80	ns
t _{r(I/O)out}	Output rise time	C			23.90	ns

1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片用户手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 5-10 中定义。

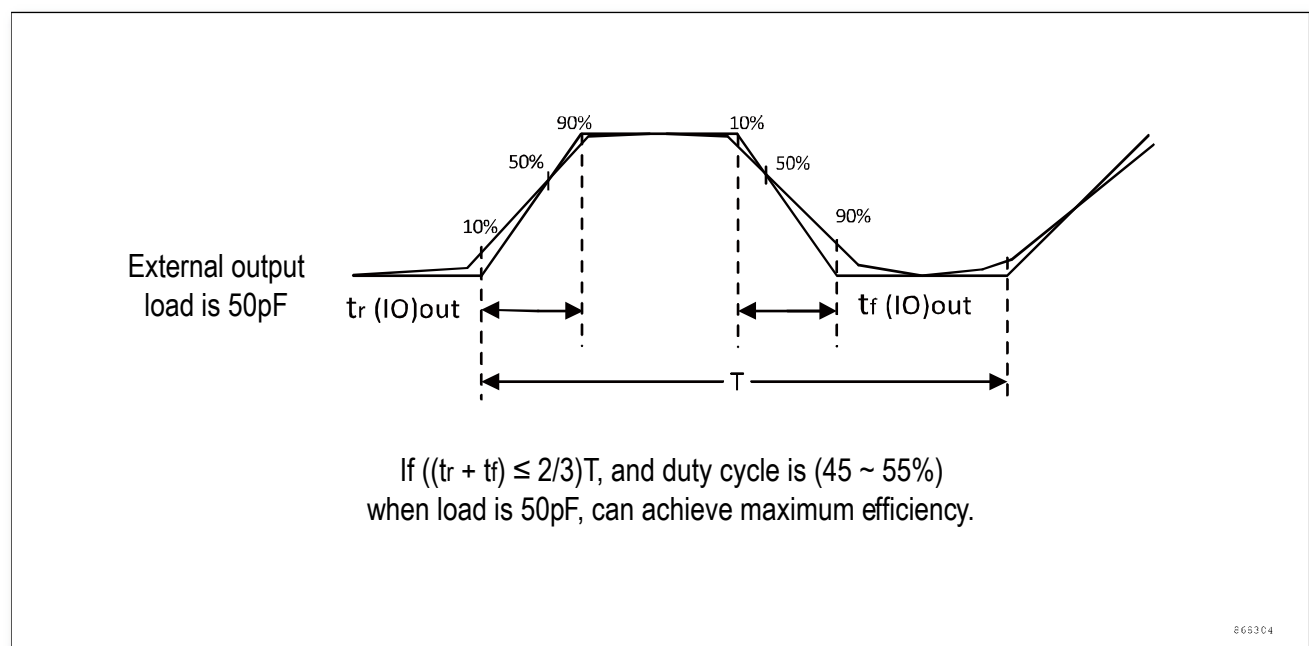


图 5-10 I/O 交流特性

5.4.13 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻 R_{PU} 。

表 5-30 NRST 引脚特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
$V_{IL(NRST)}$	NRST input low voltage	C	-	-	-	$0.3 * V_{DD}$	V
$V_{IH(NRST)}$	NRST input high voltage	C	-	$0.7 * V_{DD}$	-	-	V
$V_{hys(NRST)}$	NRST Schmitt trigger voltage hysteresis	C	-	$0.1 * V_{DD}$	-	-	V
R_{PU}	Weak pull-up equivalent resistor	C	$V_{IN} = V_{SS}$	-	50	-	kΩ
$V_F(NRST)$	NRST input filtered pulse	C	-	-	6.21	-	us
$V_{NF(NRST)}$	NRST input not filtered pulse	C	-	-	6.25	-	us

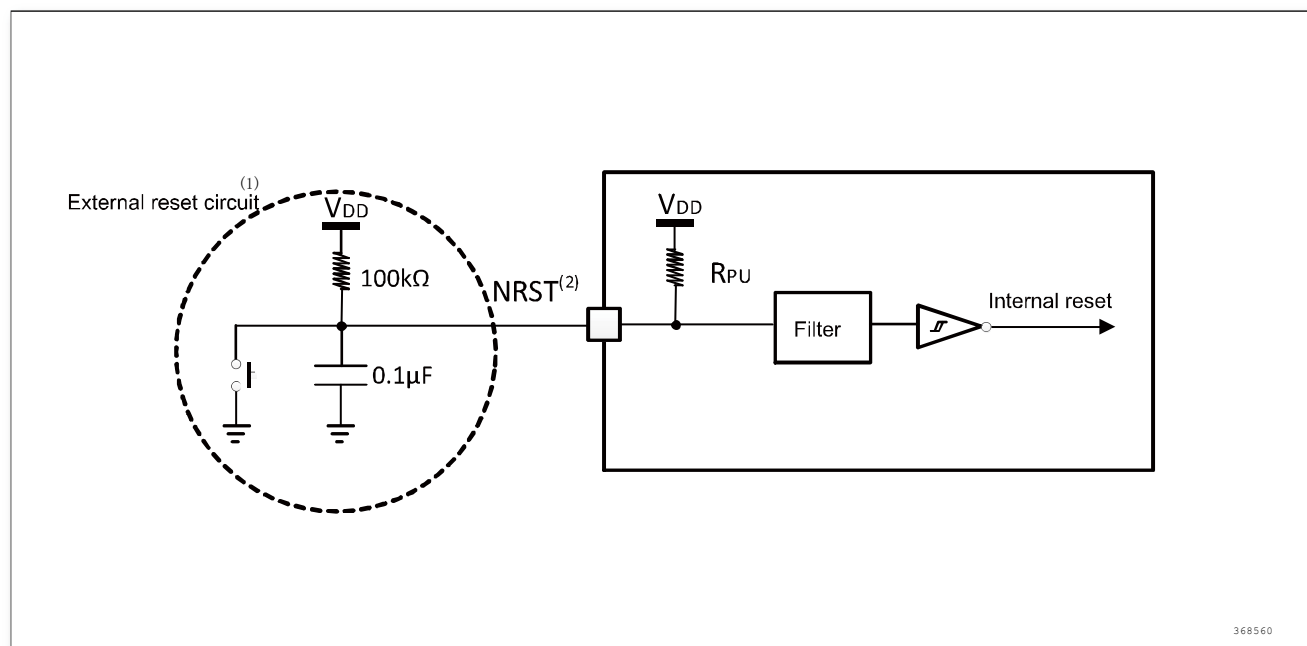


图 5-11 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 5-30 中列出的最大 $V_{IL}(NRST)$ 以下，否则 MCU 不能得到复位。

5.4.14 Timer 定时器特性

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 5.4.12 I/O 端口特性。

表 5-31 TIMx 特性

Symbol	Parameter	Type	Condition	Minimum	Maximum	Unit
$f_{TIMxCLK}$	Timer clock frequency	D	-	-	180	MHz
$t_{res(TIM)}$	Timer resolution time	D	-	1	-	$t_{TIMxCLK}$
		D	$f_{TIMxCLK} = 180MHz$	5.56	-	ns
f_{EXT}	External clock frequency of channel 1 to 4	D	-	0	$f_{TIMxCLK} / 2$	MHz
		D	$f_{TIMxCLK} = 180MHz$	0	90	
Res_{TIM}	Timer resolution	D	TIMx(except TIM2 and TIM5)	-	16	bit
		D	TIM2 and TIM5	-	32	
$t_{COUNTER}$	16-bit counter period	D	-	1	65536	$t_{TIMxCLK}$
		D	$f_{TIMxCLK} = 180MHz$	0.0056	364	us
t_{MAX_COUNT}		D	-	1	$65536*65536$	$t_{TIMxCLK}$

Symbol	Parameter	Type	Condition	Minimum	Maximum	Unit
	Maximum possible count with 32-bit counter	D	$f_{TIMxCLK} = 180MHz$	-	23.86	s
t_w	Min pulsewidth on Tlx and ETR input	D	-	2	-	$t_{TIMxCLK}$
f_{ETR}	ETR input clock frequency	D	ETPS=00, No frequency division	-	$f_{TIMxCLK} / 4$	MHz
		D	ETPS=01, frequency divided by 2	-	$f_{TIMxCLK} / 2$	
		D	ETPS=10, frequency divided by 4	-	$f_{TIMxCLK}$	
		D	ETPS=11, frequency divided by 8	-	$f_{TIMxCLK} \times 2$	

5.4.15 I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 5-4 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于下表，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 5.4.12 I/O 端口特性。

表 5-32 I2C 接口特性

Symbol	Parameter	Type	Standard mode		Fast mode		Fast mode plus		Unit
			Min.	Max.	Min.	Max.	Min.	Max.	
$t_w(SCLL)$	SCL clock low time	D	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	us
$t_w(SCLH)$	SCL clock high time	D	$5 \cdot t_{PCLK}$	-	$5 \cdot t_{PCLK}$	-	$5 \cdot t_{PCLK}$	-	us
$t_{su}(SDA)$	SDA setup time	D	$1 \cdot t_{PCLK}$	-	$1 \cdot t_{PCLK}$	-	$1 \cdot t_{PCLK}$	-	ns
$t_h(SDA)$	SDA data hold time	D	0	-	0	-	0	-	ns
$t_r(SDA)$ $t_r(SCL)$	SDA and SCL rising time	D	-	1000	20	300	-	120	ns
$t_f(SDA)$ $t_f(SCL)$	SDA and SCL fall time	D	-	300	$20 \times (V_{DD}/5.5V)$	300	$20 \times (V_{DD}/5.5V)$	120	ns
$t_h(STA)$	Start condition hold time	D	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	us
$t_{su}(STA)$	Start condition setup time	D	$13 \cdot t_{PCLK}$	-	$12 \cdot t_{PCLK}$	-	$12 \cdot t_{PCLK}$	-	us
$t_{su}(STO)$	Stop condition setup time	D	$12 \cdot t_{PCLK}$	-	$12 \cdot t_{PCLK}$	-	$12 \cdot t_{PCLK}$	-	us
$t_w(STO:STA)$	Time from Stop condition to Start condition (bus idle)	D	$18 \cdot t_{PCLK}$	-	$18 \cdot t_{PCLK}$	-	$18 \cdot t_{PCLK}$	-	us
C_b	Capacitive load of each bus	D	-	400	-	400	-	550	pF

1. 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 的最大频率，

fPCLK1 必须大于 6MHz。为达到超快速模式 I2C 的最大频率，fPCLK1 必须大于 12MHz。

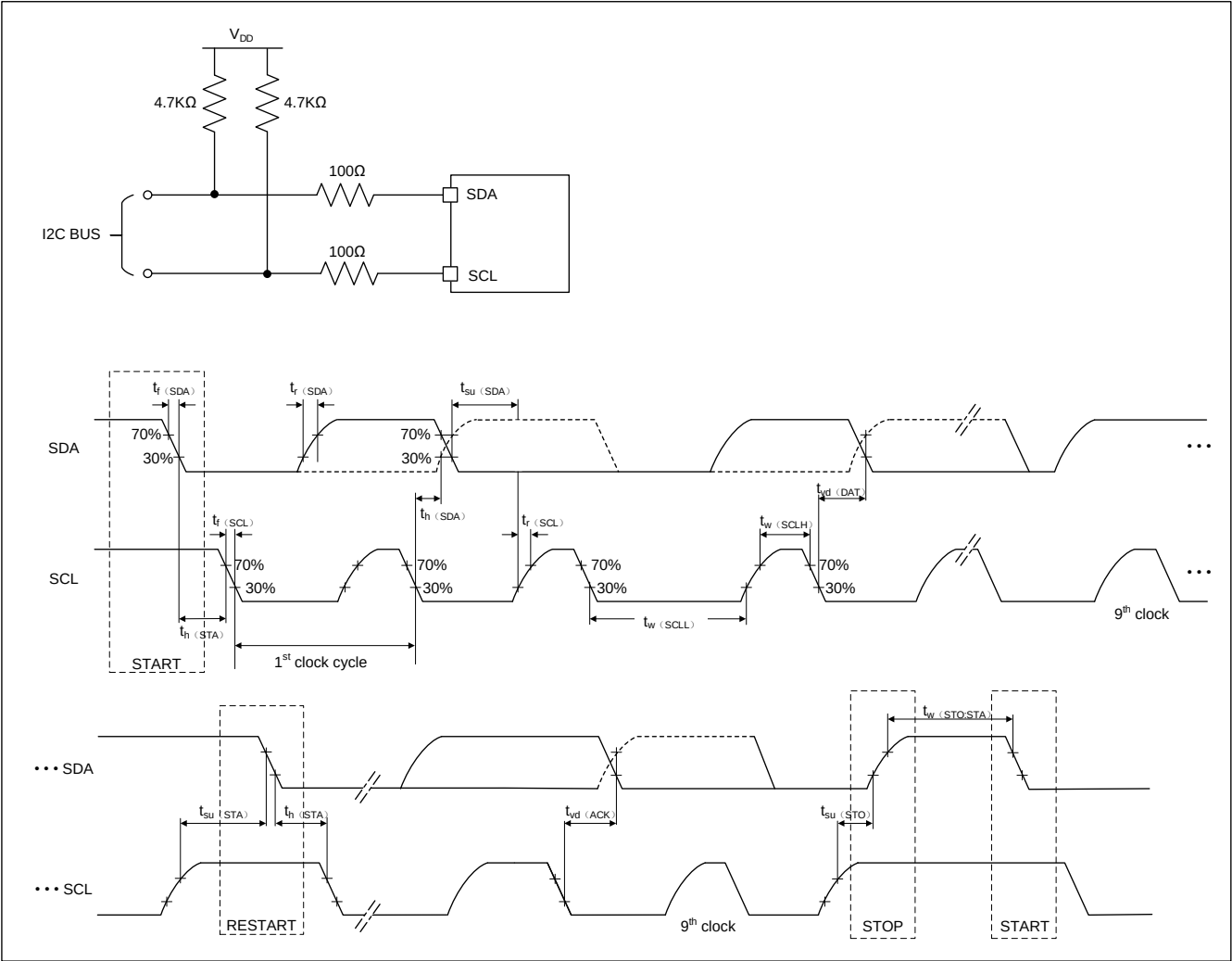


图 5-12 I2C 总线交流波形和测量电路

注：测量点设置于 CMOS 电平：0.3 * VDD 和 0.7 * VDD。

表 5-33 SMBus 输入电压特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
V _{IL}	Low level input voltage	D	V _{DD} = 2.1 ~ 3.9V	-	-	0.8	V
V _{IH}	High level input voltage	D	V _{DD} = 2.1 ~ 3.9V	2.1	-	-	V

5.4.16 SPI 接口特性

除非特别说明，下表列出的参数是使用环境温度，fPCLKx 频率和 VDD 供电电压符合表 5-4 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 5.4.12 I/O 端口特性。

表 5-34 SPI 特性

Symbol	Parameter	Type	Conditions	Minimum	Maximum	Unit
f_{SCK} $1/t_{c(SCK)}$	SPI clock frequency	D	Master mode	-	48	MHz
		D	Slave mode	-	24	
$t_{r(SCK)}$	SPI clock rise time	D	Load capacitance: C = 15pF	-	3	ns
$t_{f(SCK)}$	SPI clock fall time	D	Load capacitance: C = 15pF	-	3	ns
$t_{su(NSS)}$	NSS setup time	D	Slave mode	$1 \cdot t_{PCLK}$	-	ns
$t_{h(NSS)}$	NSS hold time	D	Slave mode	$2 \cdot t_{PCLK}$	-	ns
$t_{w(SCKH)}$	SCK high time	D	-	$t_{c(SCK)}/2 - 3$	$t_{c(SCK)}/2 + 3$	ns
$t_{w(SCKL)}$	SCK low time	D	-	$t_{c(SCK)}/2 - 3$	$t_{c(SCK)}/2 + 3$	ns
$t_{su(MI)}$	Data input setup time	D	Master mode, $f_{PCLK} = 96\text{MHz}$, prescaler = 2, high speed mode	$23 - N \cdot t_{c(SCK)}/2^{(1)}$	-	ns
$t_{su(SI)}$		D	Slave mode	5	-	ns
$t_{h(MI)}$	Data input hold time	D	Master mode, $f_{PCLK} = 96\text{MHz}$, prescaler = 2, high speed mode	$0 + N \cdot t_{c(SCK)}/2^{(1)}$	-	ns
$t_{h(SI)}$		D	Slave mode	5	-	ns
$t_{v(MO)}$	Data output valid time	D	Master mode (after enable edge)	-	6	ns
$t_{v(SO)}$	Data output valid time	D	Slave mode (after enable edge)	-	$23 - N \cdot t_{c(SCK)}/2^{(2)}$	ns
$t_{h(MO)}$	Data output hold time	D	Master mode (after enable edge)	-2	-	ns
$t_{h(SO)}$	Data output hold time	D	Slave mode (after enable edge)	10	-	ns

1. 主机高速模式下可调整接收数据的采样点，通过配置寄存器 CCTL 的控制位 RXEDGE 来实现 $t_{su(MI)}$ 的调整，达到优化时序裕量的目的，其中 N 值如下所示：

RXEDGE=1 则 N=0, RXEDGE=0 则 $N = (f_{PCLK}/f_{SCK}) / 2$;

2. 可配置寄存器 CCTL 的控制位 TXEDGE 来实现从机输出 SO 提前释放到引脚上（不必等待输入时钟 SCK 边沿），达到优化时序裕量的目的。其中 N 值如下所示：

TXEDGE=0 则 N=0; TXEDGE=1 则

$7 \leq f_{PCLK} / f_{SCK} < 8$ 时, N=3;

$6 \leq f_{PCLK} / f_{SCK} < 7$ 时, N=2;

$5 \leq f_{PCLK} / f_{SCK} < 6$ 时, N=1;

$4 \leq f_{PCLK} / f_{SCK} < 5$ 时, N=0。

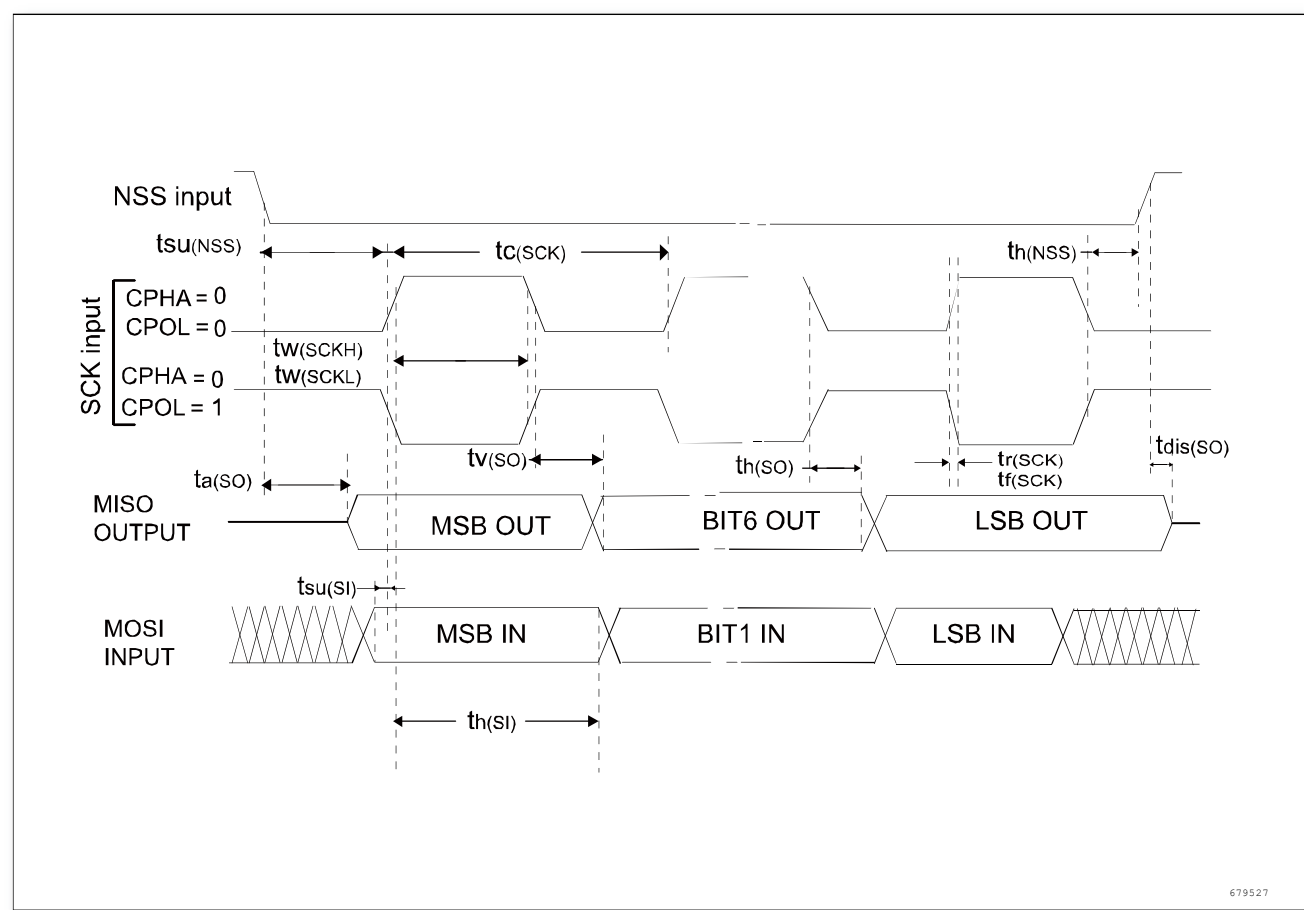


图 5-13 SPI 时序图从模式和 CPHA = 0, CPHASEL = 1

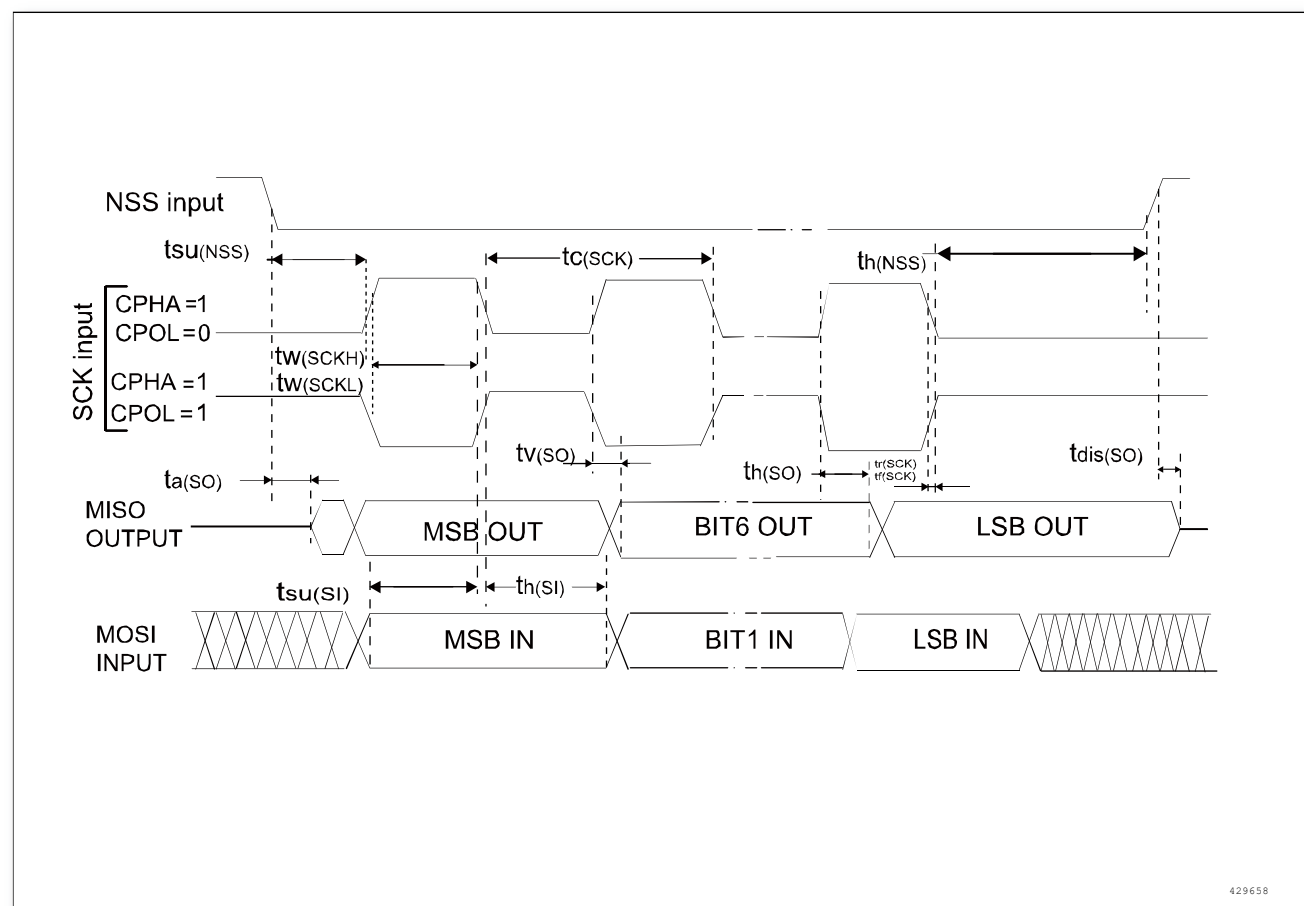


图 5-14 SPI 时序图从模式和 CPHA = 1, CPHASEL = 1 ⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3 * V_{DD} 和 0.7 * V_{DD}。

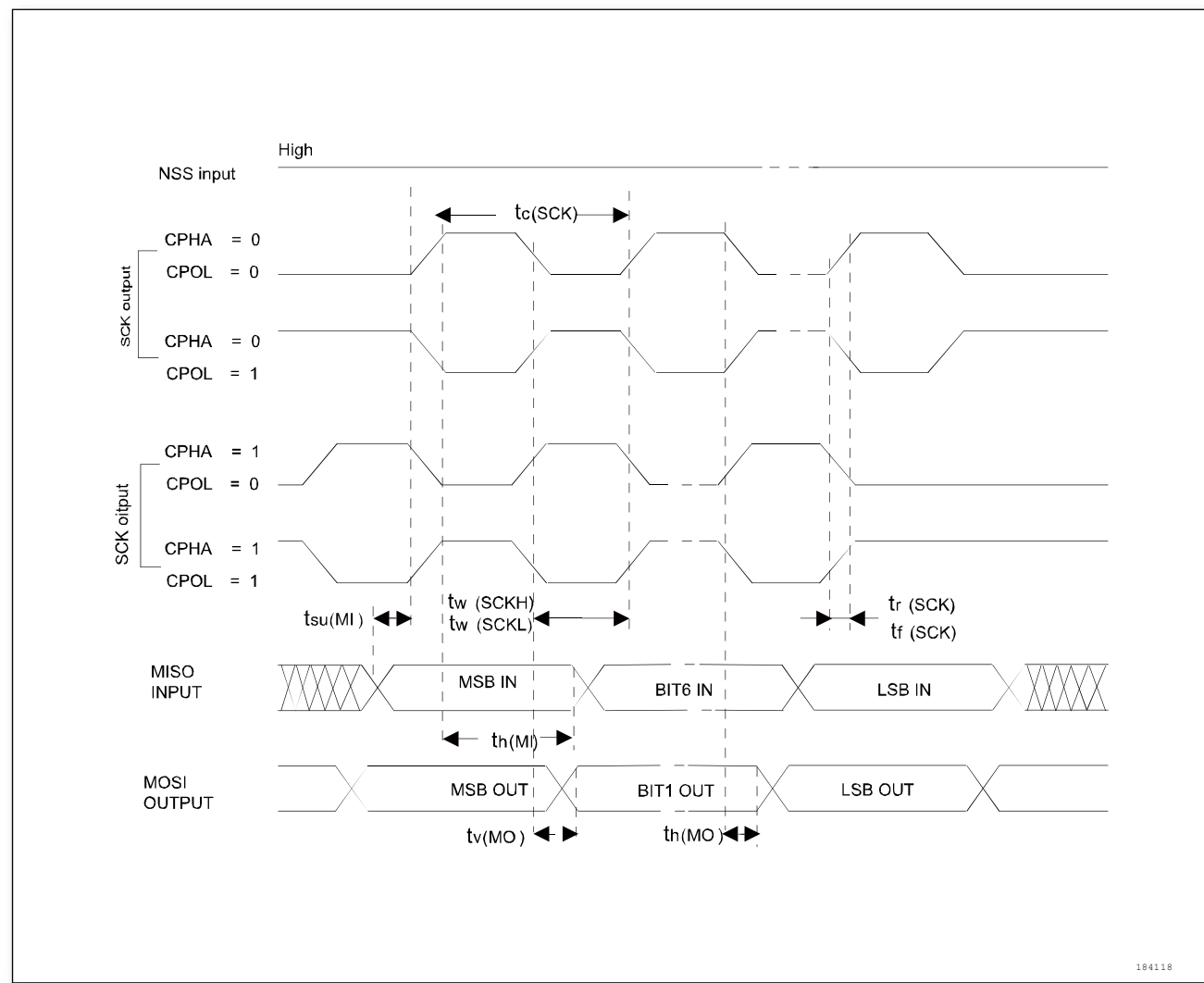


图 5-15 SPI 时序图主模式，CPHASEL = 1 ⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3 * V_{DD} 和 0.7 * V_{DD}。

5.4.17 USART 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 5-4 的条件测量得到。

有关输入输出复用功能引脚（SCLK、TX、RX）的特性详情，参见小节 5.4.12 I/O 端口特性。

表 5-35 USART 特性

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f _{SCLK} 1/t _{c(SCLK)}	USART clock frequency	Master mode, T _A = 25°C	-	16	MHz
		Slave mode, T _A = 25°C	-	16	

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
$t_{r(SCLK)}$	SCLK clock rise time	Load capacitance: C = 15pF	-	3	ns
$t_{f(SCLK)}$	SCLK clock fall time	Load capacitance: C = 15pF	-	3	ns
$t_{w(SCLKH)}^{(1)}$	SCLK high time	-	$t_{c(SCLK)}/2 - 3$	$t_{c(SCLK)}/2 + 3$	ns
$t_{w(SCLKL)}^{(1)}$	SCLK low time	-	$t_{c(SCLK)}/2 - 3$	$t_{c(SCLK)}/2 + 3$	ns
$t_{su(MI)}^{(1)}$	Data input setup time	Master mode, $f_{PCLK} = 180\text{MHz}$, prescaler = 8	5	-	ns
$t_{su(SI)}^{(1)}$		Slave mode	5	-	ns
$t_{h(MI)}^{(1)}$	Data input hold time	Master mode, $f_{PCLK} = 180\text{MHz}$, prescaler = 8	5	-	ns
$t_{h(SI)}^{(1)}$		Slave mode	5	-	ns
$t_{v(MO)}^{(1)}$	Data output valid time	Master mode (after enable edge)	-	8	ns
$t_{v(SO)}^{(1)}$	Data output valid time	Slave mode (after enable edge)	-	25	ns

5.4.18 USB FS 接口特性

表 5-36 USB 电气特性

Symbol	Parameter	Type	Conditions	Min.	Max.	Unit
V_{DD}	USB operating voltage	D	-	2.8	3.6	V
V_{DI}	Differential input range	D	-	0.2	-	V
V_{CM}	Differential common mode range	D	-	0.8	2.5	V
V_{SE}	Single-end reception threshold	D	-	1.3	2	V
V_{OL}	Electrostatic output low voltage	D	Load resistance 1.5k Ω connected to 3.6V	-	0.3	V
V_{OH}	Electrostatic output high voltage	D	Load resistance 15k Ω connected to V_{SS}	2.8	3.6	V
R_{PD}	PA11/PA12 pull-down resistance	D	-	13.5	16.5	k Ω
R_{PU}	PA11/PA12 pull-up resistance	D	-	1.25	1.75	k Ω

表 5-37 USB 动态特性

Symbol	Parameter	Type	Conditions	Min.	Max.	Unit
t_r	Rising edge	D	$C_L = 50\text{pF}$	7.688	20.75	ns
t_f	Falling edge	D	$C_L = 50\text{pF}$	7.42	20.59	ns
V_{CRS}	Output signal crossover voltage	D	-	1.36	2.0	V

5.4.19 ADC 特性

除非特别说明，下表的参数是使用符合表 5-4 的条件的环境温度、 f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 5-38 ADC 特性

Symbol	Parameter	Type	Conditions	Min.	Typ.	Max.	Unit
V _{DDA}	Supply voltage	C	-	2.5	3.3	5.5	V
V _{REF+} ⁽¹⁾	Reference voltage	C	-	2.5	3.3	5.5	V
f _{ADC}	ADC clock frequency	C	-	-	-	48	MHz
f _s	Sampling frequency	C	-	-	-	3	MHz
f _{TRIG} ⁽²⁾	External trigger frequency	D	f _{ADC} = 48MHz	-	-	2.8	MHz
		D	-	-	-	17	1/f _{ADC}
V _{AIN}	Conversion voltage range	C	-	0	-	V _{DDA}	V
R _{AIN}	External input impedance	D	-	See equation 2			kΩ
R _{ADC}	Sampling switch resistance	D	-	-	-	1.2	kΩ
C _{ADC}	Internal sample and hold capacitance	D	-	-	3	4	pF
t _{STAB}	Stabilization time	D	-	-	32/f _{ADC}	-	us
t _{lat}	Delay between injection trigger and conversion start	D	-	-	-	512	1/f _{ADC}
t _{latr}	Delay between normal trigger and conversion start	D	-	-	-	512	1/f _{ADC}
t _s	Sampling time	D	f _{ADC} = 48MHz	0.0729	-	5.0104	us
		D	-	3.5	-	240.5	1/f _{ADC}
t _{CONV}	Total conversion time (including sampling time)	D	f _{ADC} = 48MHz	0.3333	-	5.2708	us
		D	-	16 ~ 253 (sampling t _s + successive approximation 12.5)			1/f _{ADC}
ENOB	Effective number of bits	C	f _{ADC} = 48MHz	-	9.6	-	bit
		C	f _{ADC} = 24MHz	-	10	-	bit

1. 在该系列产品中，V_{REF+} 和 V_{DDA} 有独立的外部引脚，V_{REF-} 在芯片内部连接到 V_{SSA}。
2. 对于外部触发，必须在时延中加上一个延迟 1/ f_{ADC}。

输入阻抗列表

公式 3

$$R_{AIN} < \frac{TS}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 3）用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12（表示 12 位分辨率）。

表 5-39 f_{ADC}=48MHz 时的最大 R_{AIN}

TS (cycles)	TS (us)	Type	Maximum R _{AIN} (kΩ)
3.5	0.073	D	0.7
4.5	0.094	D	1.2

TS (cycles)	TS (us)	Type	Maximum R_{AIN} (k Ω)
5.5	0.115	D	1.8
6.5	0.135	D	2.3
7.5	0.156	D	2.8
11.5	0.240	D	5.0
13.5	0.281	D	6.0
15.5	0.323	D	7.1
19.5	0.406	D	9.3
29.5	0.615	D	14.6
39.5	0.823	D	20.0
59.5	1.240	D	30.7
79.5	1.656	D	41.5
119.5	2.490	D	62.9
159.5	3.323	D	84.4
240.5	5.010	D	127.9

表 5-40 ADC 静态参数

Symbol	Parameter	Type	Conditions	Typical	Unit
ET	Comprehensive error	C	$f_{PCLK1} = 96\text{MHz}$, $f_{ADC} = 48\text{MHz}$, $R_{AIN} < 0.1\text{ k}\Omega$, $V_{DDA} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$	-4,+5	LSB
EO	Offset error	C		-2.6,+2.2	
EG	Gain error	C		-1.9,+0.6	
ED	Differential linearity error	C		-0.97,+1.6	
EL	Integral linearity error	C		-4,+2.4	

需注意 ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于小节 5.3 中给出的 I_{INJ} (PIN) 和 ΣI_{INJ} (PIN) 范围之内，就不会影响 ADC 精度。

其中，ADC 静态参数的含义解释如下，其对应的示意图如图 5-16 所示。

- ET = 总未调整误差：实际和理想传输曲线间的最大偏离。
- EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
- EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
- ED = 微分线性误差：实际步进和理想值间的最大偏离。
- EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

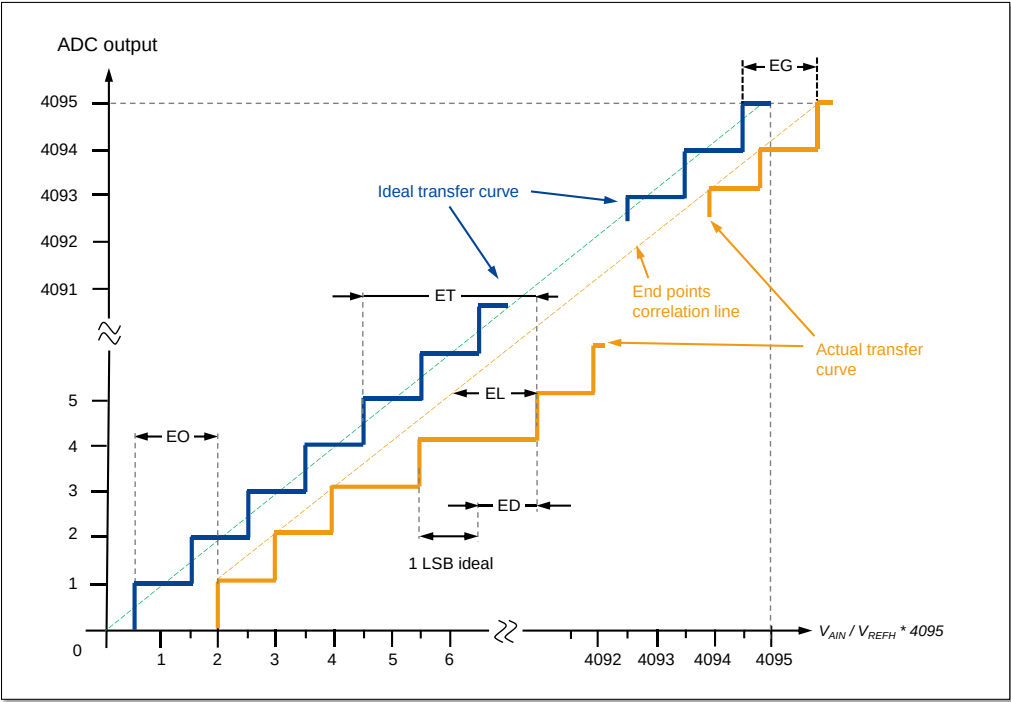


图 5-16 ADC 静态参数示意图

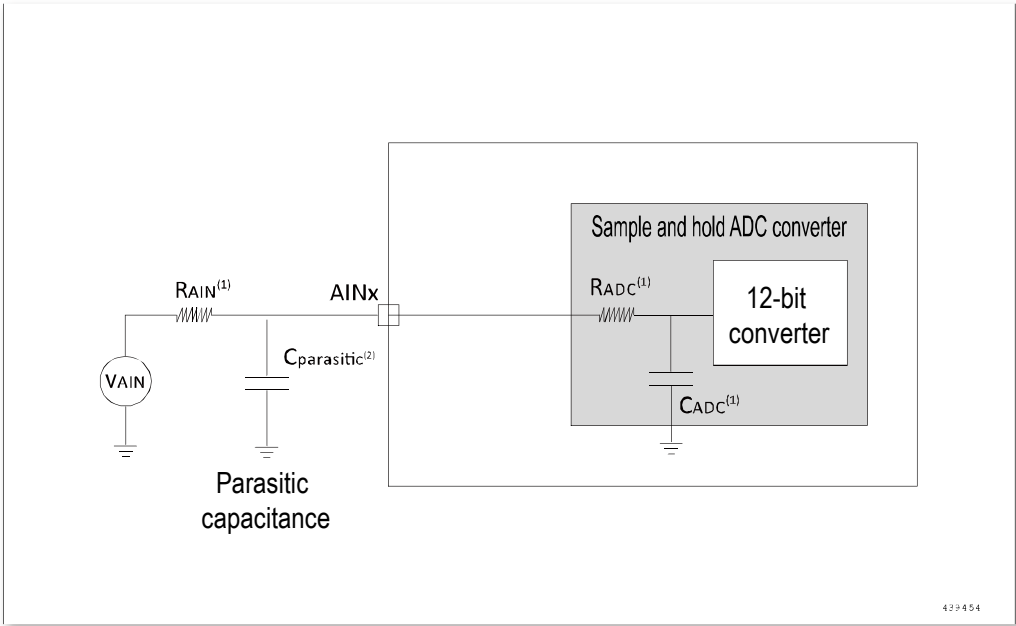


图 5-17 使用 ADC 典型的连接图

- 1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 5-38。
- 2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

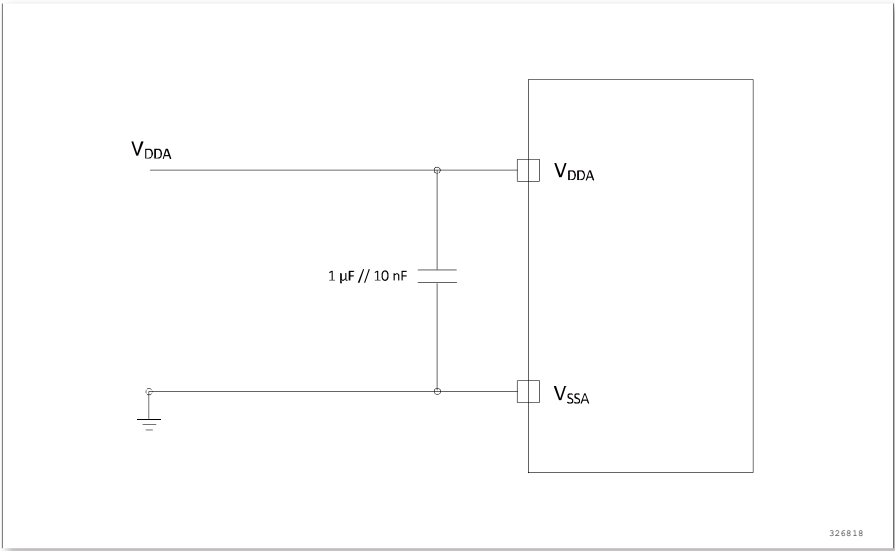


图 5-18 供电电源和参考电源去耦线路

5.4.20 温度传感器特性

温度传感器通过下面的公式计算：

温度公式

$$TS_{adc} = 25 + \frac{Value * V_{DDA} - offset * 3300}{4096 * Avg_Slope}$$

V_{DDA}: ADC 当前采样时的 V_{DDA} 电压，单位 mV。

Offset: 25°C 时的转换结果数据，存放在 Flash 空间 0x1FFFF7FC [31:16]位，其中 25°C 和 3.3V 下的典型电压值参考表 5-41 中的 V₂₅。

Value: ADC 当前采样的转换结果数据。

Avg_Slope: 温度与电压曲线的平均斜率（以 mV/°C 表示），典型值参考表 5-41。

表 5-41 温度传感器特性

Symbol	Parameter	Type	Conditions	Minimum	Typical	Maximum	Unit
V _{DDA}	Supply voltage	D	-	1.8	3.3	5.5	V
T _L	V _{SENSE} linearity with respect to temperature	C	V _{DD} = 3.3V	-	±5	-	°C
Avg_Slope	Average slope	C	V _{DD} = 3.3V	-	4.72	-	mV/°C
V ₂₅	Voltage at 25°C	C	V _{DD} = 3.3V	-	1.435	-	V
ts _{temp} ⁽¹⁾	ADC sampling time when reading temperature	C	V _{DD} = 3.3V	-	0.24	-	us

1. 最短的采样时间可以由应用程序通过多次循环决定。

注：温度传感器特性受芯片功耗和封装的影响较大。

5.4.21 DAC 特性

表 5-42 DAC 特性

Symbol	Parameter	Type	Condition	Min.	Typ.	Max.	Unit
V _{DDA}	Supply voltage	C	-	2.5	3.3	5.5	V
V _{REF+} (1)	Reference voltage	C	-	2.5	3.3	5.5	V
R _O	Output impedance	C	buff on, output connected to V _{SSA}	-	88.85	-	kΩ
		C	buff on, output connected to V _{DDA}	-	70.77	-	
DAC_OUT _{min}	Lowest output voltage	C	-	V _{SSA} +0.1	-	-	V
DAC_OUT _{max}	Highest output voltage	C	-	-	-	V _{DDA} -0.1	V
I _{DDA}	DAC static current	C	-	-	21	-	uA
DNL	Differential nonlinear error	C	-	-	-1.1, +0.7	-	LSB
INL	Integer nonlinear error	C	-	-	-3.3, +1.6	-	LSB
Offset	Offset error	C	-	-	±1	-	LSB
Gain error	Gain error	C	-	-	-4.7	-	LSB
Update rate	Maximum update rate	C	-	-	-	1	MSPS

1. 在该系列产品中，V_{REF+} 在内部连接到 V_{DDA}，V_{REF-} 在内部连接到 V_{SSA}。

5.4.22 比较器特性

表 5-43 比较器特性

Symbol	Parameter	Type	Condition	Minimum	Typical	Maximum	Unit
V _{DDA}	Supply voltage	D	-	1.8	3.3	5.5	V
t _{HYST}	Hysteresis	D	HYST = 00, MODE = 00	-	0	-	mV
		D	HYST = 01, MODE = 00	-	10	-	mV
		D	HYST = 10, MODE = 00	-	20	-	mV
		D	HYST = 11, MODE = 00	-	30	-	mV
		D	HYST = 00, MODE != 00	-	0	-	mV
		D	HYST = 01, MODE != 00	-	10	-	mV
		D	HYST = 10, MODE != 00	-	20	-	mV
		D	HYST = 11, MODE != 00	-	30	-	mV
V _{OFFSET}	Offset voltage	C	MODE = 11	-	3	-	mV
		C	MODE = 10	-	3	-	mV
		C	MODE = 01	-	3	-	mV

Symbol	Parameter	Type	Condition	Minimum	Typical	Maximum	Unit
		C	MODE = 00	-	3	-	mV
t _{DELAY}	Propagation delay	C	MODE = 11	-	105.3	-	ns
		C	MODE = 10	-	66.6	-	ns
		C	MODE = 01	-	42.1	-	ns
		C	MODE = 00	-	24.8	-	ns
I _q	Average working current	C	MODE = 00	-	77.5	-	uA
		C	MODE = 01	-	44	-	uA
		C	MODE = 10	-	28.5	-	uA
		C	MODE = 11	-	19.4	-	uA

6 封装特性

6.1 LQFP64

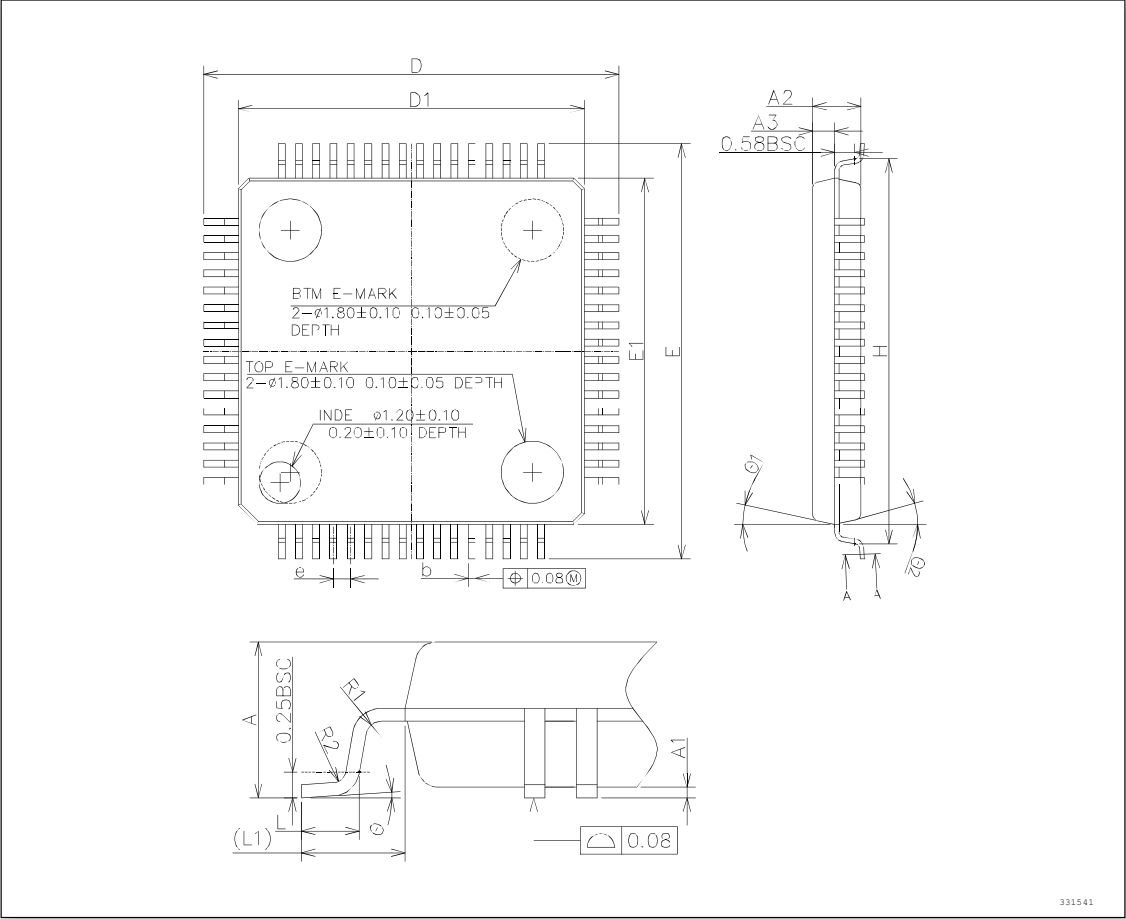


图 6-1 LQFP64 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-1 LQFP64 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	-	0.50	-
H	11.09	11.13	11.17
L	0.53	-	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
θ	0°	3.5°	7°
θ1	11°	12°	13°
θ2	11°	12°	13°

6.2 LQFP48

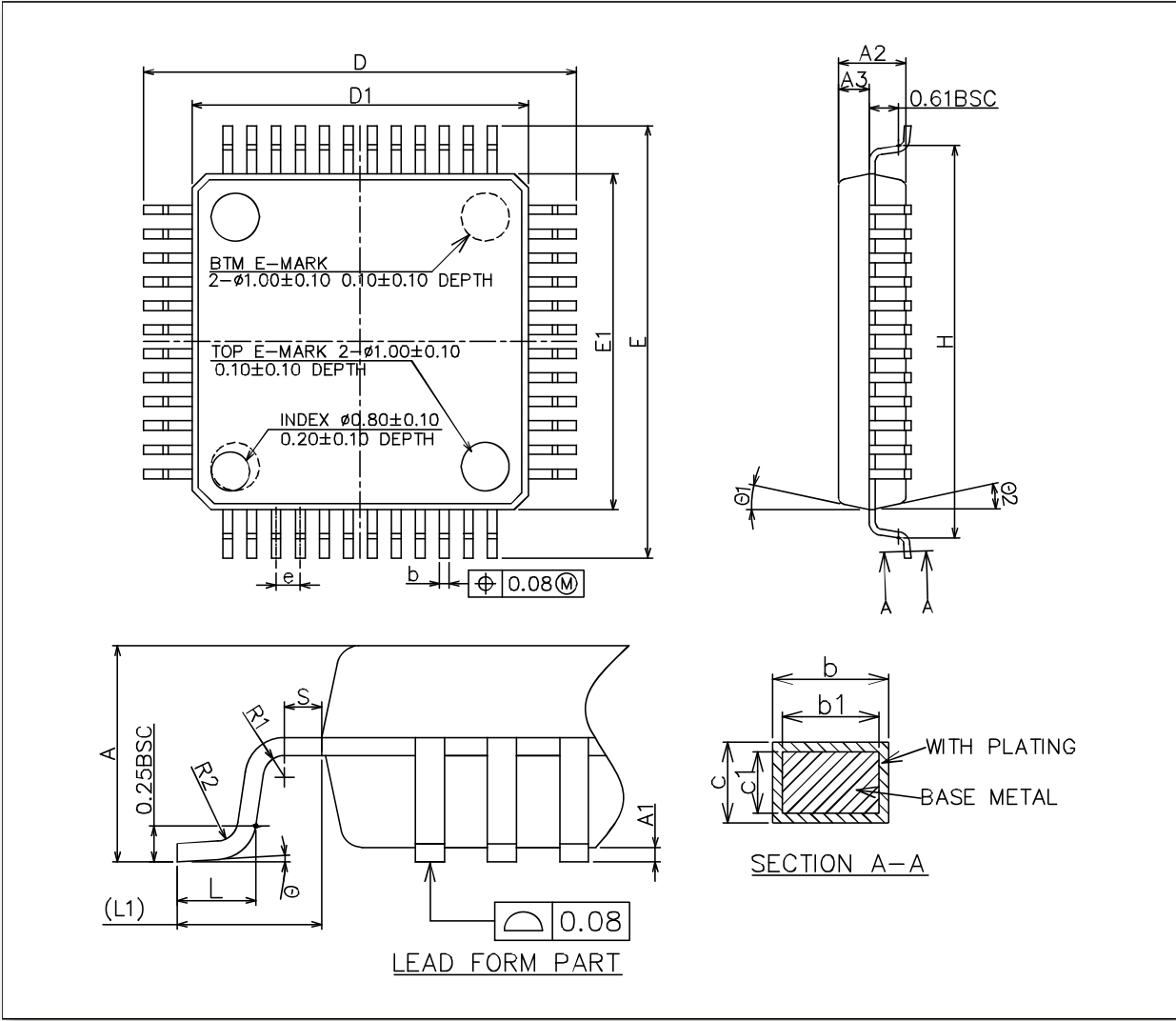


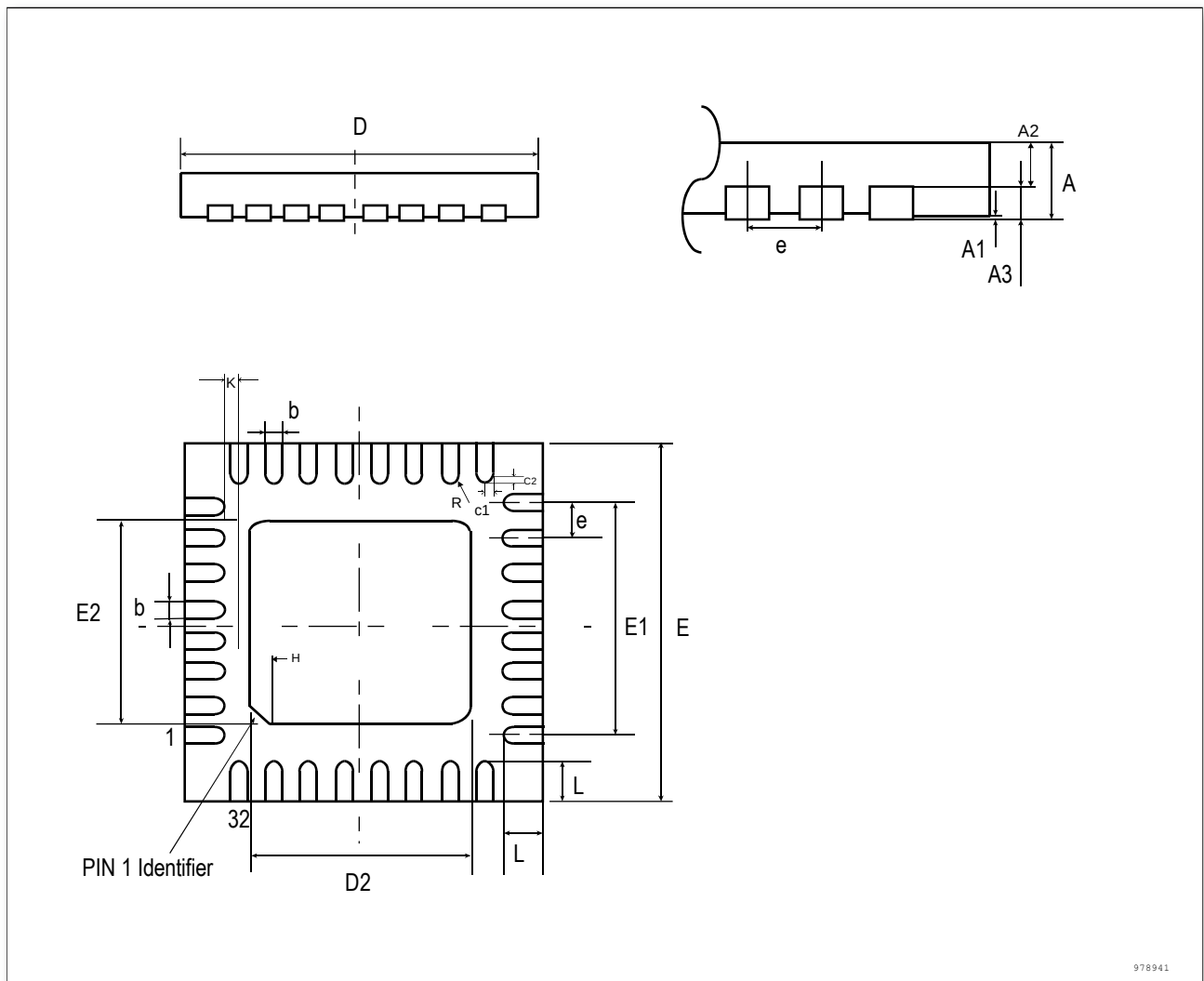
图 6-2 LQFP48 封装尺寸

- 1. 图不是按照比例绘制。
- 2. 尺寸单位为毫米。

表 6-2 LQFP48 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	-	-	1.6
A1	0.05	-	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	-	0.50	-
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.2
S	0.2	-	-
θ	0 °	3.5 °	7 °
θ1	0 °	-	-
θ2	11 °	12 °	13 °
θ3	11 °	12 °	13 °

6.3 QFN32 5x5 mm2

图 6-3 QFN32 5x5 mm² 封装尺寸

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 6-3 QFN32 5x5 mm² 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.7	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60
e	-	0.5	-
H	0.30REF		
K	0.35REF		
L	0.35	0.40	0.45
R	0.09	-	-
c1	-	0.08	-
c2	-	0.08	-
N	Pin count = 32		

6.4 QFN28

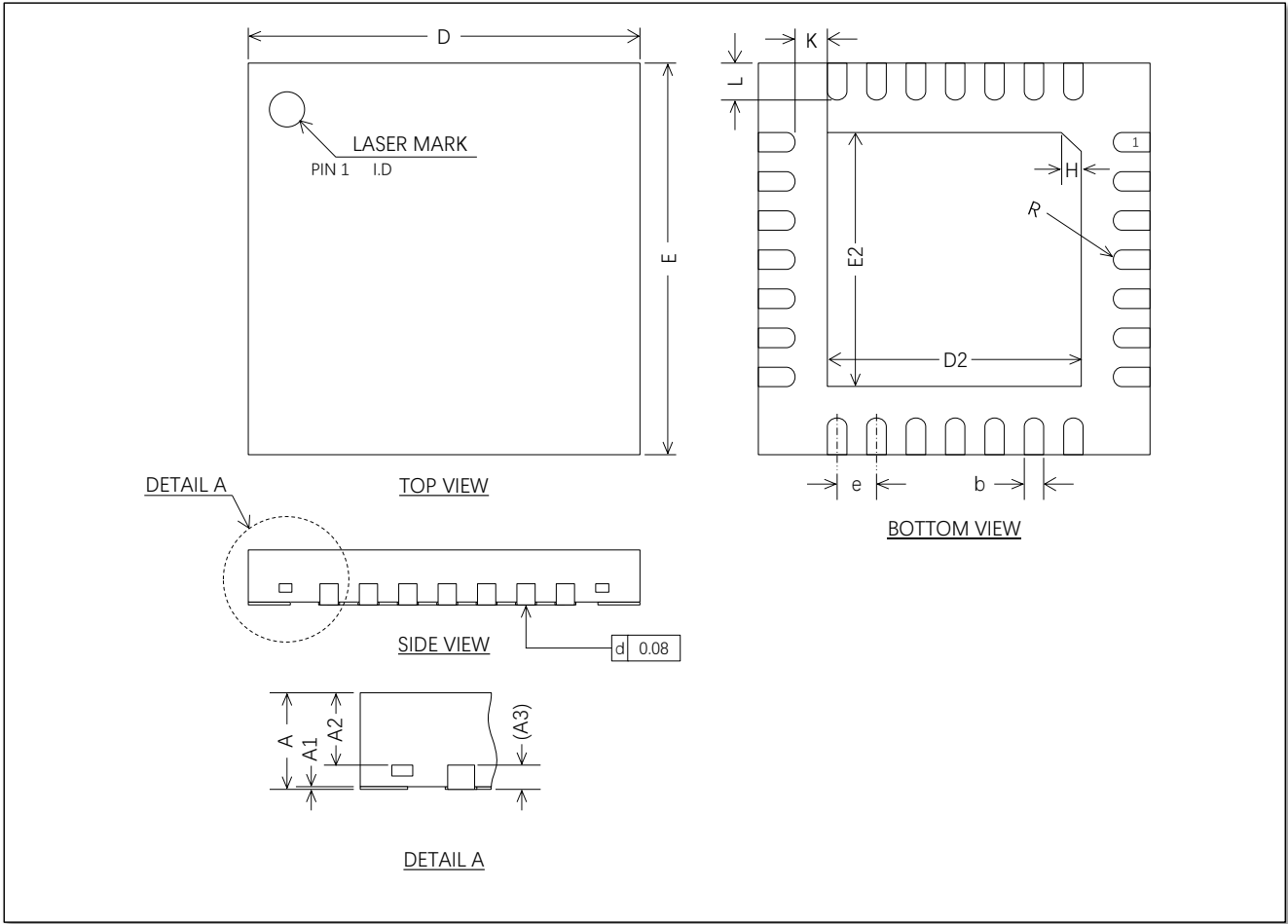


图 6-4 QFN28 封装尺寸

- 1. 图不是按照比例绘制。
- 2. 尺寸单位为毫米。

表 6-4 QFN28 封装尺寸细节

ID	Millimeters		
	Minimum	Typical	Maximum
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A2	0.50	0.55	0.60
A3	0.20REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.50	2.60	2.70
E2	2.50	2.60	2.70
e	-	0.40	-
H	0.35REF		
K	0.30REF		
L	0.35	0.40	0.45
R	0.075	-	-

7 修订记录

表 7-1 修订历史

Date	Revision	Description
2024/05/20	Rev1.3	更新可订购信息
2024/01/11	Rev1.2	修正 5.4.20 温度传感器特性 25°C 时的转换结果数据，存放在 Flash 空间 0x1FFFF7FC [31:16]位
2023/10/17	Rev1.1	增加 QFN28 4x4 mm2 封装 更新通用工作条件中的最大频率条件 供电电流特性中增加运行和睡眠模式下 168MHz 和 180MHz 功耗数据 ADC 特性中增加 24MHz 时钟下 ADC ENOB
2023/9/13	Rev1.0	增加 QFN32 4x4 mm2 封装
2023/5/31	Rev0.9	初版