

用户手册

User Manual

MM32F0010

32 位基于 ARM[®] Cortex[®] M0 核心的微控制器

版本：1.03

目录

1 存储器和总线构架	1
1.1 系统构架	1
1.2 存储器组织	2
1.2.1 介绍	3
1.2.2 存储器映像和寄存器编址	3
1.3 内置的 SRAM	4
1.4 闪存存储器概述	4
2 嵌入式闪存 (FLASH)	6
2.1 闪存主要特性	6
2.2 闪存功能描述	6
2.2.1 闪存结构	6
2.2.2 FLASH 读操作	7
2.2.3 Flash 写和擦除操作	7
2.3 存储保护	13
2.3.1 读保护	14
2.3.2 主空间写保护	15
2.3.3 选项字节的写保护	15
2.4 Flash 中断	15
2.5 选项字节说明	15
2.6 Flash 寄存器描述	17
2.6.1 闪存访问控制寄存器 (FLASH ACR)	17
2.6.2 闪存访问控制寄存器 (FLASH KEYR)	18
2.6.3 闪存 OPTKEY 寄存器 (FLASH OPTKEYR)	18
2.6.4 闪存状态寄存器 (FLASH SR)	19
2.6.5 闪存控制寄存器 (FLASH CR)	19
2.6.6 闪存地址寄存器 (FLASH AR)	21
2.6.7 选项字节寄存器 (FLASH OBR)	21
2.6.8 写保护寄存器 (FLASH WRPR)	22
3 循环冗余校验计算单元 (CRC)	23
3.1 CRC 简介	23
3.2 CRC 主要特征	23
3.3 CRC 功能介绍	23
3.4 CRC 寄存器	24
3.4.1 CRC 数据寄存器 (CRC DR)	24
3.4.2 CRC 独立数据寄存器 (CRC IDR)	24
3.4.3 CRC 控制寄存器 (CRC CTRL)	25
4 电源控制 (PWR)	26
4.1 电源	26
4.1.1 独立的 A/D 转换器供电和参考电压	26
4.1.2 电压调节器	26
4.2 电源管理器	27

4.2.1	上电复位 (POR) 和掉电复位 (PDR)	27
4.2.2	可编程电压监测器 (PVD)	27
4.3	低功耗模式	28
4.3.1	运行模式	29
4.3.2	睡眠模式	29
4.3.3	停机模式	30
4.3.4	待机模式	31
4.4	电源控制寄存器	32
4.4.1	电源控制寄存器 (PWR CR)	32
4.4.2	电源控制/状态寄存器 (PWR CSR)	33
5	复位和时钟控制 (RCC)	35
5.1	复位	35
5.1.1	系统复位	35
5.1.2	电源复位	35
5.2	时钟	36
5.2.1	HSE 时钟	37
5.2.2	HSI 时钟	39
5.2.3	LSI 时钟	39
5.2.4	系统时钟 (SYSCLK) 选择	39
5.2.5	时钟安全系统 (CSS)	39
5.2.6	看门狗时钟	40
5.2.7	时钟输出	40
5.3	RCC 寄存器堆与存储器映射描述	40
5.3.1	时钟控制寄存器 (RCC CR)	40
5.3.2	时钟配置寄存器 (RCC CFGR)	42
5.3.3	时钟中断寄存器 (RCC CIR)	43
5.3.4	APB1 外设复位寄存器 (RCC APB1RSTR)	45
5.3.5	AHB 外设时钟使能寄存器 (RCC AHBENR)	47
5.3.6	APB1 外设时钟使能寄存器 (RCC APB1ENR)	48
5.3.7	控制状态寄存器寄存器 (RCC CSR)	50
5.3.8	AHB 外设复位寄存器 (RCC AHBSTR)	51
5.3.9	系统配置寄存器 (RCC SYSCFG)	52
6	通用功能 I/O(GPIO)	54
6.1	GPIO 功能描述	54
6.1.1	通用 I/O(GPIO)	55
6.1.2	单独的位设置或位清除	55
6.1.3	外部中断/唤醒线	55
6.1.4	复用功能	55
6.1.5	软件重新映射 I/O 复用功能	56
6.1.6	GPIO 锁定机制	56
6.1.7	输入配置	56
6.1.8	输出配置	57
6.1.9	复用功能配置	58

6.1.10 模拟输入配置	59
6.1.11 外设的 GPIO 配置	60
6.2 复用功能 I/O 和调试配置	61
6.2.1 OSC IN/OSC OUT	61
6.2.2 SWD 复用功能重映射	61
6.3 GPIO 寄存器描述	62
6.3.1 端口配置低寄存器 (GPIOx CRL)(x = A..B)	62
6.3.2 端口配置高寄存器 (GPIOx CRH)(x = A..B)	63
6.3.3 端口输入数据寄存器 (GPIOx IDR)(x = A..B)	64
6.3.4 端口输出数据寄存器 (GPIOx ODR)(x = A..B)	64
6.3.5 端口设置/清除寄存器 (GPIOx BSRR)(x = A..B)	65
6.3.6 端口位清除寄存器 (GPIOx BRR)(x = A..B)	65
6.3.7 端口配置锁定寄存器 (GPIOx LCKR)(x = A..B)	66
6.3.8 端口输出开漏控制寄存器 (GPIOx DCR)(x = A..B)	67
6.3.9 端口复用功能低位寄存器 (GPIOx AFRL)(x = A..B)	67
6.3.10 端口复用功能高位寄存器 (GPIOx AFRH)(x = A..B)	68
7 中断和事件 (EXTI)	69
7.1 嵌套向量中断控制器	69
7.1.1 系统嘀嗒 (SysTick) 校准值寄存器	69
7.1.2 中断和异常向量	69
7.2 外部中断/事件控制器 (EXTI)	70
7.2.1 主要特征	71
7.2.2 框图	71
7.2.3 唤醒事件管理	71
7.2.4 功能说明	72
7.2.5 外部中断/事件线路映像	72
7.3 EXTI 寄存器描述	73
7.3.1 中断屏蔽寄存器 (EXTI IMR)	74
7.3.2 事件屏蔽寄存器 (EXTI EMR)	74
7.3.3 上升沿触发选择寄存器 (EXTI RTSR)	75
7.3.4 下降沿触发选择寄存器 (EXTI FTSR)	75
7.3.5 软件中断事件寄存器 (EXTI SWIER)	76
7.3.6 软件中断事件寄存器 (EXTI PR)	76
8 模拟/数字转换 (ADC)	77
8.1 ADC 介绍	77
8.2 ADC 主要特征	77
8.3 系统框图	77
8.4 ADC 功能描述	78
8.4.1 ADC 开关控制	79
8.4.2 通道选择	79
8.5 任意通道工作模式	80
8.5.1 单次转换模式	80
8.5.2 单周期扫描模式	80

8.5.3 连续扫描模式	81
8.6 数据对齐	82
8.7 可编程分辨率	83
8.8 可编程采样时间	83
8.9 外部触发转换	83
8.10 内部基准参考电压	84
8.11 窗口比较器模式下 AD 转换结果监控	84
8.12 ADC 寄存器描述	84
8.12.1 A/D 数据寄存器 (ADC ADDATA)	84
8.12.2 A/D 配置寄存器 (ADC ADCFG)	85
8.12.3 A/D 控制寄存器 (ADC ADCR)	86
8.12.4 A/D 窗口比较寄存器 (ADC ADCMPR)	89
8.12.5 A/D 状态寄存器 (ADC ADSTA)	89
8.12.6 A/D 数据寄存器 (ADC ADDR0 ~ 8)	90
8.12.7 A/D 任意通道通道选择寄存器 0(ADC CHANY0)	91
8.12.8 A/D 任意通道通道选择寄存器 1(ADC CHANY1)	92
8.12.9 A/D 任意通道配置寄存器 (ADC ANY CFG)	92
8.12.10 A/D 任意通道控制寄存器 (ADC ANY CR)	93
9 高级控制定时器 (TIM1)	94
9.1 TIM1 简介	94
9.2 主要特征	94
9.3 功能描述	95
9.3.1 时基单元	95
9.3.2 计数模式	97
9.3.3 重复计数器	106
9.3.4 时钟选择	107
9.3.5 捕获/比较通道	109
9.3.6 输入捕获模式	111
9.3.7 PWM 输入模式	112
9.3.8 强制输出模式	113
9.3.9 输出比较模式	113
9.3.10 PWM 模式	114
9.3.11 互补输出和死区插入	117
9.3.12 使用刹车功能	119
9.3.13 产生六步 PWM 输出	121
9.3.14 单脉冲模式	122
9.3.15 编码器接口模式	124
9.3.16 定时器输入异或功能	126
9.3.17 与霍尔传感器的接口	126
9.3.18 TIMx 定时器和外部触发的同步	128
9.3.19 定时器同步	130
9.3.20 调试模式	130
9.4 寄存器描述	130

9.4.1 控制寄存器 1(TIMx CR1)	130
9.4.2 控制寄存器 2(TIMx CR2)	132
9.4.3 从模式控制寄存器 (TIMx SMCR)	134
9.4.4 中断使能寄存器 (TIMx DIER)	135
9.4.5 状态寄存器 (TIMx SR)	136
9.4.6 事件产生寄存器 (TIMx EGR)	138
9.4.7 捕获/比较模式寄存器 1(TIMx CCMR1)	140
9.4.8 捕获/比较模式寄存器 2(TIMx CCMR2)	144
9.4.9 捕获/比较使能寄存器 (TIMx CCER)	146
9.4.10 计数器 (TIMx CNT)	149
9.4.11 预分频器 (TIMx PSC)	149
9.4.12 自动装载寄存器 (TIMx ARR)	149
9.4.13 重复计数寄存器 (TIMx RCR)	149
9.4.14 捕获/比较寄存器 1(TIMx CCR1)	150
9.4.15 捕获/比较寄存器 2(TIMx CCR2)	151
9.4.16 捕获/比较寄存器 3(TIMx CCR3)	151
9.4.17 捕获/比较寄存器 4(TIMx CCR4)	152
9.4.18 刹车和死区寄存器 (TIMx BDTR)	152
9.4.19 捕获/比较模式寄存器 3(TIMx CCMR3)	155
9.4.20 捕获/比较寄存器 5(TIMx CCR5)	155
9.4.21 PWM 移相 repeat 更新请求使能寄存器 (TIMx PDER)	156
9.4.22 PWM 移相向下计数捕获/比较寄存器 (CCRxFALL)	157
10 16 位通用定时器 (TIM3)	158
10.1 TIMx 简介	158
10.2 TIMx 主要功能	158
10.3 TIMx 功能描述	159
10.3.1 时基单元	159
10.3.2 计数模式	161
10.3.3 时钟选择	169
10.3.4 捕获/比较通道	171
10.3.5 输入捕获模式	173
10.3.6 PWM 输入模式	174
10.3.7 强制输出模式	175
10.3.8 输出比较模式	175
10.3.9 PWM 模式	176
10.3.10 单脉冲模式	178
10.3.11 编码器接口模式	180
10.3.12 定时器输入异或功能	182
10.3.13 定时器和外部触发的同步	182
10.3.14 定时器同步	184
10.3.15 调试模式	189
10.4 TIMx 寄存器描述	189
10.4.1 控制寄存器 1(TIMx CR1)	190

10.4.2 控制寄存器 2(TIMx CR2)	191
10.4.3 从模式控制寄存器 (TIMx SMCR)	192
10.4.4 中断使能寄存器 (TIMx DIER)	194
10.4.5 状态寄存器 (TIMx SR)	195
10.4.6 事件产生寄存器 (TIMx EGR)	197
10.4.7 捕获/比较模式寄存器 1(TIMx CCMR1)	198
10.4.8 捕获/比较模式寄存器 2(TIMx CCMR2)	202
10.4.9 捕获/比较使能寄存器 (TIMx CCER)	203
10.4.10 计数器 (TIMx CNT)	205
10.4.11 预分频器 (TIMx PSC)	206
10.4.12 自动装载寄存器 (TIMx ARR)	206
10.4.13 捕获/比较寄存器 1(TIMx CCR1)	206
10.4.14 捕获/比较寄存器 2(TIMx CCR2)	207
10.4.15 捕获/比较寄存器 3(TIMx CCR3)	207
10.4.16 捕获/比较寄存器 4(TIMx CCR4)	208
10.4.17 输入选项寄存器 (TIM3 OR)	208
11 基本定时器 (TIM14)	210
11.1 TIM14 简介	210
11.2 TIM14 主要特征	210
11.3 TIM14 功能描述	211
11.3.1 时基单元	211
11.3.2 计数模式	212
11.3.3 时钟源	215
11.3.4 捕获/比较通道	215
11.3.5 输入捕获模式	217
11.3.6 强制输出模式	218
11.3.7 输出比较模式	218
11.3.8 PWM 模式	219
11.3.9 调试模式	220
11.4 TIM14 寄存器描述	220
11.4.1 控制寄存器 1(TIM14 CR1)	221
11.4.2 中断使能寄存器 (TIM14 DIER)	221
11.4.3 状态寄存器 (TIM14 SR)	222
11.4.4 事件产生寄存器 (TIM14 EGR)	223
11.4.5 捕获/比较模式寄存器 1(TIM14 CCMR1)	224
11.4.6 捕获/比较使能寄存器 (TIM14 CCER)	227
11.4.7 计数器 (TIM14 CNT)	228
11.4.8 预分频器 (TIM14 PSC)	228
11.4.9 自动装载寄存器 (TIM14 ARR)	229
11.4.10 捕获/比较寄存器 1(TIM14 CCR1)	229
11.4.11 刹车和死区寄存器 (TIM14 BDTR)	229
12 独立看门狗 (IWDG)	231
12.1 (IWDG 简介)	231

12.2 IWDG 主要性能	231
12.3 IWDG 功能描述	231
12.3.1 硬件看门狗	232
12.3.2 寄存器访问保护	232
12.3.3 调试模式	232
12.4 IWDG 寄存器描述	232
12.4.1 键寄存器 (IWDG_KR)	233
12.4.2 预分频寄存器 (IWDG_PR)	233
12.4.3 重装载寄存器 (IWDG_RLR)	234
12.4.4 状态寄存器 (IWDG_SR)	234
12.4.5 IWDG 控制寄存器 (IWDG_CR)	235
12.4.6 IWDG 中断生成寄存器 (IWDG_IGEN)	236
12.4.7 IWDG 计数寄存器 (IWDG_CNT)	236
13 窗口看门狗 (WWDG)	238
13.1 WWDG 简介	238
13.2 WWDG 主要特征	238
13.3 WWDG 功能描述	238
13.4 如何编写看门狗超时程序	239
13.5 调试模式	240
13.6 WWDG 寄存器描述	241
13.6.1 控制寄存器 (WWDG_CR)	241
13.6.2 配置寄存器 (WWDG_CFGR)	241
13.6.3 状态寄存器 (WWDG_SR)	242
14 串行外设接口 (SPI)	243
14.1 SPI 简述	243
14.2 SPI 主要特征	243
14.3 SPI 功能描述	243
14.3.1 概述	243
14.3.2 SPI 从模式	248
14.3.3 SPI 主模式	248
14.3.4 状态标志	249
14.3.5 波特率设置	250
14.4 寄存器堆和存储器映射描述	250
14.4.1 发送数据寄存器 (SPI_TXREG)	250
14.4.2 接收数据寄存器 (SPI_RXREG)	251
14.4.3 当前状态寄存器 (SPI_CSTAT)	251
14.4.4 中断状态寄存器 (SPI_INTSTAT)	252
14.4.5 中断使能寄存器 (SPI_INTEN)	253
14.4.6 中断清除寄存器 (SPI_INTCLR)	254
14.4.7 全局控制寄存器 (SPI_GCTL)	255
14.4.8 通用控制寄存器 (SPI_CCTL)	256
14.4.9 波特率发生器 (SPI_SPBRG)	257
14.4.10 接收数据个数寄存器 (SPI_RXDNR)	258

14.4.11 从机片选寄存器 (SPI_NSSR)	258
14.4.12 数据控制寄存器 (SPI_EXTCTL)	259
15 内部集成电路 I2C 接口 (I2C)	260
15.1 I2C 简介	260
15.2 I2C 主要特征	260
15.3 I2C 协议	260
15.3.1 起始和停止条件	260
15.3.2 从机寻址协议	261
15.3.3 发送和接收协议	262
15.3.4 发送缓冲管理以及起始、停止和重复起始条件产生	264
15.3.5 多个主机仲裁	265
15.3.6 时钟同步	266
15.3.7 SCL 配置	267
15.4 I2C 工作模式	268
15.4.1 从模式	269
15.4.2 主模式	270
15.4.3 I2C 中止传输	272
15.5 I2C 中断	272
15.6 I2C 寄存器描述	273
15.6.1 I2C 控制寄存器 (I2C_CR)	274
15.6.2 I2C 目标地址寄存器 (I2C_TAR)	276
15.6.3 I2C 从机地址寄存器 (I2C_SAR)	277
15.6.4 I2C 数据命令寄存器 (I2C_DR)	277
15.6.5 标准模式 I2C 时钟高电平计数寄存器 (I2C_SSHR)	278
15.6.6 标准模式 I2C 时钟低电平计数寄存器 (I2C_SSLR)	278
15.6.7 快速模式 I2C 时钟高电平计数寄存器 (I2C_FSHR)	278
15.6.8 快速模式 I2C 时钟低电平计数寄存器 (I2C_FSLR)	279
15.6.9 I2C 中断状态寄存器 (I2C_ISR)	279
15.6.10 I2C 中断屏蔽寄存器 (I2C_IMR)	279
15.6.11 I2C RAW 中断寄存器 (I2C_RAWISR)	280
15.6.12 I2C 接收阈值 (I2C_RXTLR)	281
15.6.13 I2C 发送阈值 (I2C_TXTLR)	282
15.6.14 I2C 组合和独立中断清除寄存器 (I2C_ICR)	282
15.6.15 I2C 清除 RX_UNDER 中断寄存器 (I2C_RX_UNDER)	282
15.6.16 I2C 清除 RX_OVER 中断寄存器 (I2C_RX_OVER)	283
15.6.17 I2C 清除 TX_OVER 中断寄存器 (I2C_TX_OVER)	283
15.6.18 I2C 清除 RD_REQ 中断寄存器 (I2C_RD_REQ)	283
15.6.19 I2C 清除 TX_ABRT 中断寄存器 (I2C_TX_ABRT)	284
15.6.20 I2C 清除 RX_DONE 中断寄存器 (I2C_RX_DONE)	284
15.6.21 I2C 清除 ACTIVITY 中断寄存器 (I2C_ACTIV)	284
15.6.22 I2C 清除 STOP_DET 中断寄存器 (I2C_STOP)	285
15.6.23 I2C 清除 START_DET 中断寄存器 (I2C_START)	285
15.6.24 I2C 清除 GEN_CALL 中断寄存器 (I2C_GC)	285

15.6.25 I2C 使能寄存器 (I2C_ENR)	286
15.6.26 I2C 状态寄存器 (I2C_SR)	286
15.6.27 I2C 发送缓冲水平寄存器 (I2C_TXFLR)	287
15.6.28 I2C 接收缓冲水平寄存器 (I2C_RXFLR)	287
15.6.29 I2C SDA 保持时间寄存器 (I2C_HOLD)	288
15.6.30 I2C SDA 建立时间寄存器 (I2C_SETUP)	288
15.6.31 I2C 广播呼叫 ACK 寄存器 (I2C_GCR)	288
15.6.32 I2C 从机地址掩码寄存器 (I2C_SLVMASK)	289
15.6.33 I2C 从机接收地址寄存器 (I2C_SLVRCVADDR)	289
16 通用异步收发器 (UART)	290
16.1 UART 简介	290
16.2 UART 主要特征	290
16.3 UART 功能概述	291
16.3.1 UART 特性描述	291
16.3.2 发送器	292
16.3.3 接收器	293
16.3.4 9 位数据通信	295
16.3.5 多处理器通信	295
16.3.6 单线半双工通信	296
16.3.7 智能卡	296
16.3.8 分数波特率发生器	298
16.3.9 采样	298
16.3.10 容忍度	298
16.3.11 校验控制	298
16.3.12 自动波特率检测	299
16.4 UART 中断请求	299
16.5 UART 寄存器描述	300
16.5.1 UART 发送数据寄存器 (UART_TDR)	300
16.5.2 UART 接收数据寄存器 (UART_RDR)	301
16.5.3 UART 当前状态寄存器 (UART_CSR)	301
16.5.4 UART 中断状态寄存器 (UART_ISR)	302
16.5.5 UART 中断使能寄存器 (UART_IER)	304
16.5.6 UART 中断清除寄存器 (UART_ICR)	305
16.5.7 UART 全局控制寄存器 (UART_GCR)	306
16.5.8 UART 通用控制寄存器 (UART_CCR)	307
16.5.9 UART 波特率寄存器 (UART_BRR)	309
16.5.10 UART 分数波特率寄存器 (UART_FRA)	309
16.5.11 UART 接收地址寄存器 (UART_RXADDR)	310
16.5.12 UART 接收掩码寄存器 (UART_RXMASK)	310
16.5.13 UART SCR 寄存器 (UART_SCR)	311
16.5.14 UART IDLE 数据长度寄存器 (UART_IDLR)	312
16.5.15 UART 自动波特率寄存器 (UART_ABRCCR)	312
17 系统配置控制器 (SYSCFG)	314

17.1 SYSCFG 寄存器描述	314
17.1.1 SYSCFG 配置寄存器 (SYSCFG_CFGR)	314
17.1.2 外部中断配置寄存器 1(SYSCFG_EXTICR1)	315
17.1.3 外部中断配置寄存器 2(SYSCFG_EXTICR2)	315
17.1.4 外部中断配置寄存器 3(SYSCFG_EXTICR3)	316
17.1.5 外部中断配置寄存器 4(SYSCFG_EXTICR4)	316
17.1.6 PAD 配置寄存器 (SYSCFG_PADHYS)	317
18 器件电子签名 (Device)	318
18.1 存储器容量寄存器	318
18.1.1 产品唯一身份标识寄存器 (96 位)	318
18.2 UID 寄存器描述	318
18.2.1 唯一标识码 (UID1)	318
18.2.2 唯一标识码 (UID2)	319
18.2.3 唯一标识码 (UID3)	319
18.2.4 唯一标识码 (UID4)	319
19 调试支持 (DBG)	321
19.1 概述	321
19.2 引脚分布和调试端口脚	322
19.2.1 SWD 调试端口脚	322
19.2.2 SWD 脚上的内部上拉和下拉	322
19.3 ID 代码和锁定机制	322
19.3.1 微控制器设备 ID 编码	322
19.3.2 Cortex JEDEC-106 ID 代码	323
19.4 SW 调试端口	323
19.4.1 SW 协议介绍	323
19.4.2 SW 协议序列	323
19.4.3 SW-DP 状态机 (Reset, idle states, ID code)	324
19.4.4 DP 和 AP 读/写访问	324
19.4.5 SW-DP 寄存器	325
19.4.6 SW-AP 寄存器	325
19.5 MCU 调试模块 (MCUDBG)	325
19.5.1 低功耗模式的调试支持	326
19.5.2 调试 MCU 配置寄存器	326
19.6 DBG 寄存器描述	326
19.6.1 DBG 控制寄存器 (DBG_CR)	326
20 修改记录	329

插图

1	系统架构	2
2	编程流程	9
3	Flash 寄存器页擦除流程	10
4	Flash 寄存器整片擦除流程	11
5	选项字节编程流程	12
6	选项字节擦除流程	13
7	CRC 计算单元框图	23
8	电源框图	26
9	上电复位和掉电复位的波形图	27
10	PVD 的阈值	28
11	复位电路	36
12	时钟树	37
13	时钟源	38
14	I/O 端口位的基本结构	54
15	输入浮空/上拉/下拉配置	57
16	输出配置	58
17	复用功能配置	59
18	高阻抗的模拟输入配置	60
19	外部中断/事件控制器框图	71
20	外部中断通用 I/O 映像	73
21	ADC 系统框图	78
22	ADC 框图	79
23	单次转换模式, 通道转换时序图	80
24	单周期扫描下通道转换时序图	81
25	连续扫描模式, 通道转换时序图	82
26	连续扫描模式, 动态更新配置时序图	82
27	数据对齐方式	83
28	高级控制定时器框图	95
29	当预分频器的参数从 1 变到 2 时, 计数器的时序图	96
30	当预分频器的参数从 1 变到 4 时, 计数器的时序图	97
31	计数器时序图, 内部时钟分频因子为 1	98
32	计数器时序图, 内部时钟分频因子为 2	98
33	计数器时序图, 内部时钟分频因子为 4	98
34	计数器时序图, 内部时钟分频因子为 N	99
35	计数器时序图, 当 ARPE = 0 时的更新事件 (TIMx_ARR 没有预装入)	99
36	计数器时序图, 当 ARPE = 1 时的更新事件 (预装入了 TIMx_ARR)	100
37	计数器时序图, 内部时钟分频因子为 1	101
38	计数器时序图, 内部时钟分频因子为 2	101
39	计数器时序图, 内部时钟分频因子为 4	101
40	计数器时序图, 内部时钟分频因子为 N	102
41	计数器时序图, 当没有使用重复计数器时的更新事件	102
42	计数器时序图, 内部时钟分频因子为 1, TIMx_ARR = 0x06	103

43	计数器时序图, 内部时钟分频因子为 2	104
44	计数器时序图, 内部时钟分频因子为 4, TIMx_ARR = 0x03	104
45	计数器时序图, 内部时钟分频因子为 N	105
46	计数器时序图, ARPE = 1 时的更新事件 (计数器下溢)	105
47	计数器时序图, ARPE = 1 时的更新事件 (计数器上溢)	106
48	不同模式下更新速率的例子, 及 TIMx_RCR 的寄存器设置	107
49	一般模式下的控制电路, 内部时钟分频因子为 1	108
50	TI2 外部时钟连接例子	108
51	外部时钟模式 1 下的控制电路	109
52	捕获/比较通道 (如: 通道 1 输入部分)	109
53	捕获/比较通道 1 的主电路	110
54	捕获/比较通道的输出部分 (通道 1 至 3)	110
55	捕获/比较通道的输出部分 (通道 4)	111
56	PWM 输入模式时序	112
57	输出比较模式, 翻转 OC1	114
58	边沿对齐的 PWM 波形 (ARR = 8)	115
59	中央对齐的 PWM 波形 (APR = 8)	116
60	移相功能示意图	117
61	带死区插入的互补输出	118
62	死区波形延迟大于负脉冲	118
63	死区波形延迟大于正脉冲	119
64	响应刹车的输出	121
65	产生六步 PWM, 使用 COM 的例子 (OSSR = 1)	122
66	单脉冲模式的例子	123
67	编码器模式下的计数器操作实例	125
68	IC1FP1 反相的编码器接口模式实例	125
69	霍尔传感器接口的实例	127
70	复位模式下的控制电路	128
71	门控模式下的控制电路	129
72	触发器模式下的控制电路	129
73	通用定时器框图	159
74	当预分频器的参数从 1 变到 2 时, 计数器的时序图	160
75	当预分频器的参数从 1 变到 4 时, 计数器的时序图	161
76	计数器时序图, 内部时钟分频因子为 1	162
77	计数器时序图, 内部时钟分频因子为 2	162
78	计数器时序图, 内部时钟分频因子为 4	162
79	计数器时序图, 内部时钟分频因子为 N	163
80	计数器时序图, 当 ARPE = 0 时的更新事件 (TIMx_ARR 没有预装入)	163
81	计数器时序图, 当 ARPE = 1 时的更新事件 (预装入了 TIMx_ARR)	164
82	计数器时序图, 内部时钟分频因子为 1	165
83	计数器时序图, 内部时钟分频因子为 2	165
84	计数器时序图, 内部时钟分频因子为 4	165
85	计数器时序图, 内部时钟分频因子为 N	166
86	计数器时序图, 当没有使用重复计数器时的更新事件	166

87	计数器时序图, 内部时钟分频因子为 1, TIMx_ARR = 0x06	167
88	计数器时序图, 内部时钟分频因子为 2	167
89	计数器时序图, 内部时钟分频因子为 4, TIMx_ARR = 0x03	168
90	计数器时序图, 内部时钟分频因子为 N	168
91	计数器时序图, ARPE = 1 时的更新事件 (计数器下溢)	169
92	计数器时序图, ARPE = 1 时的更新事件 (计数器上溢)	169
93	一般模式下的控制电路, 内部时钟分频因子为 1	170
94	TI2 外部时钟连接例子	170
95	外部时钟模式 1 下的控制电路	171
96	捕获/比较通道 (如: 通道 1 输入部分)	172
97	捕获/比较通道 1 的主电路	172
98	捕获/比较通道的输出部分 (通道 1)	173
99	PWM 输入模式时序	174
100	输出比较模式, 翻转 OC1	176
101	边沿对齐的 PWM 波形 (ARR = 8)	177
102	中央对齐的 PWM 波形 (APR = 8)	178
103	单脉冲模式的例子	179
104	编码器模式下的计数器操作实例	181
105	IC1FP1 反相的编码器接口模式实例	181
106	复位模式下的控制电路	183
107	门控模式下的控制电路	183
108	触发器模式下的控制电路	184
109	主/从定时器的例子	185
110	定时器 1 的 OC1REF 控制定时器 3	186
111	通过使能定时器 1 可以控制定时器 3	187
112	使用定时器 1 的更新触发定时器 3	187
113	利用定时器 1 的使能触发定时器 3	188
114	使用定时器 1 的 TI1 输入触发定时器 1 和定时器 3	189
115	基本定时器框图	211
116	当预分频器的参数从 1 变到 2 时, 计数器的时序图	212
117	当预分频器的参数从 1 变到 4 时, 计数器的时序图	212
118	计数器时序图, 内部时钟分频因子为 1	213
119	计数器时序图, 内部时钟分频因子为 2	213
120	计数器时序图, 内部时钟分频因子为 4	214
121	计数器时序图, 内部时钟分频因子为 N	214
122	计数器时序图, 当 ARPE = 0 时的更新事件 (TIM14_ARR 没有预装载)	214
123	计数器时序图, 当 ARPE = 1 时的更新事件 (预装载了 TIM14_ARR)	215
124	一般模式下的控制电路, 内部时钟分频因子为 1	215
125	捕获/比较通道 (如: 通道 1 输入部分)	216
126	捕获/比较通道 1 的主电路	216
127	捕获/比较通道的输出部分 (通道 1)	217
128	输出比较模式, 翻转 OC1	219
129	边沿对齐的 PWM 波形 (ARR = 8)	220
130	独立看门狗框图	231

131	看门狗框图	239
132	窗口看门狗时序图	240
133	SPI 框图	244
134	单主和单从应用	245
135	数据时钟时序图	247
136	起始和停止条件	261
137	7 位的地址格式	261
138	10 位的地址格式	262
139	主发送协议	263
140	主接收协议	263
141	起始字节传输	264
142	DR 寄存器	265
143	主发送 - Tx FIFO 为空	265
144	主接收 - Tx FIFO 为空	265
145	多个主机仲裁	266
146	多个主机时钟同步	266
147	SCL master clock generation	267
148	SCL master clock synchronization	268
149	I2C 功能框图	269
150	I2C 接口主机流程图	271
151	中断机制	273
152	UART 方框图	291
153	UART 时序	292
154	发送时状态位变化	293
155	UART 方框图	296
156	UART 方框图	297
157	RX 引脚采样方案	298
158	MM32 系列级别和 CPU 级别的调试框	321

表格

3	存储器映像	3
8	Flash 模块结构	6
10	Flash 读保护状态	14
11	Flash 解除读保护状态	15
13	Flash 中断请求	15
15	选项字节格式	15
16	选项字节结构	16
17	选项字节说明	16
19	FLASH 寄存器概览	17
32	CRC 寄存器概览	24
39	低功耗模式一览	29
40	SLEEP NOW 模式	30
41	SLEEP ON EXIT 模式	30
42	停机模式	31
43	待机模式	31
45	电源控制寄存器概览	32
51	RCC 寄存器概览	40
62	端口位配置表	55
63	输出模式位	55
64	高级定时器 TIM1	60
65	通用/基本定时器 TIM3/14	60
66	UART	60
67	SPI	61
68	I2C	61
69	ADC	61
70	其他 I/O 引脚	61
72	SWD 调试接口信号	62
74	GPIO 寄存器概览	62
86	本系列产品的向量表	69
89	EXTI 寄存器概览	74
108	ADC 寄存器概览	84
122	计数方向与编码器信号的关系	124
124	TIM1 寄存器概览	130
128	TIMx 内部触发连接	135
137	带刹车功能的互补输出通道 OCx 和 OCxN 的控制位	148
154	计数方向与编码器信号的关系	180
156	TIMx 寄存器概览	189
160	TIMx 内部触发连接	194
169	标准 OCx 通道的输出控制位	205
182	TIM14 寄存器概览	220
190	标准 OCx 通道的输出控制位	228
199	看门狗超时时间 (40KHz 的输入时钟 (LSI))	232

201	IWDG 寄存器概览	232
215	WWDG 寄存器概览	241
222	SPI 状态	249
223	波特率公式	250
225	SPI 寄存器概览	250
241	I2C 首字节	262
244	中断位的置位和清除	272
246	I2C 寄存器描述概览	273
248	DISSLAVE(bit 6) 和 MASTER(bit 0) 配置	276
285	UART 中断请求	299
287	UART 寄存器概览	300
304	SYSCFG 寄存器概览	314
313	存储器容量寄存器描述概览	318
320	SWJ 调试端口管脚	322
323	ID 编码	323
325	请求包 (8 比特位)	324
326	请求包 (3 比特位)	324
327	请求包 (33 比特位)	324
331	DBG 寄存器概览	326
333	修改记录	329

1

存储器和总线构架

存储器和总线构架

1.1 系统构架

主系统由以下部分构成：

- 一个驱动单元：
 - CPU 内核系统总线 (S-bus)
- 三个被动单元：
 - 内部 SRAM
 - 内部闪存存储器
 - AHB 到 APB 的桥 (APBx)，它连接所有的 APB 设备

这些都是通过一个多级的 AHB 总线构架相互连接的，如图 1所示：

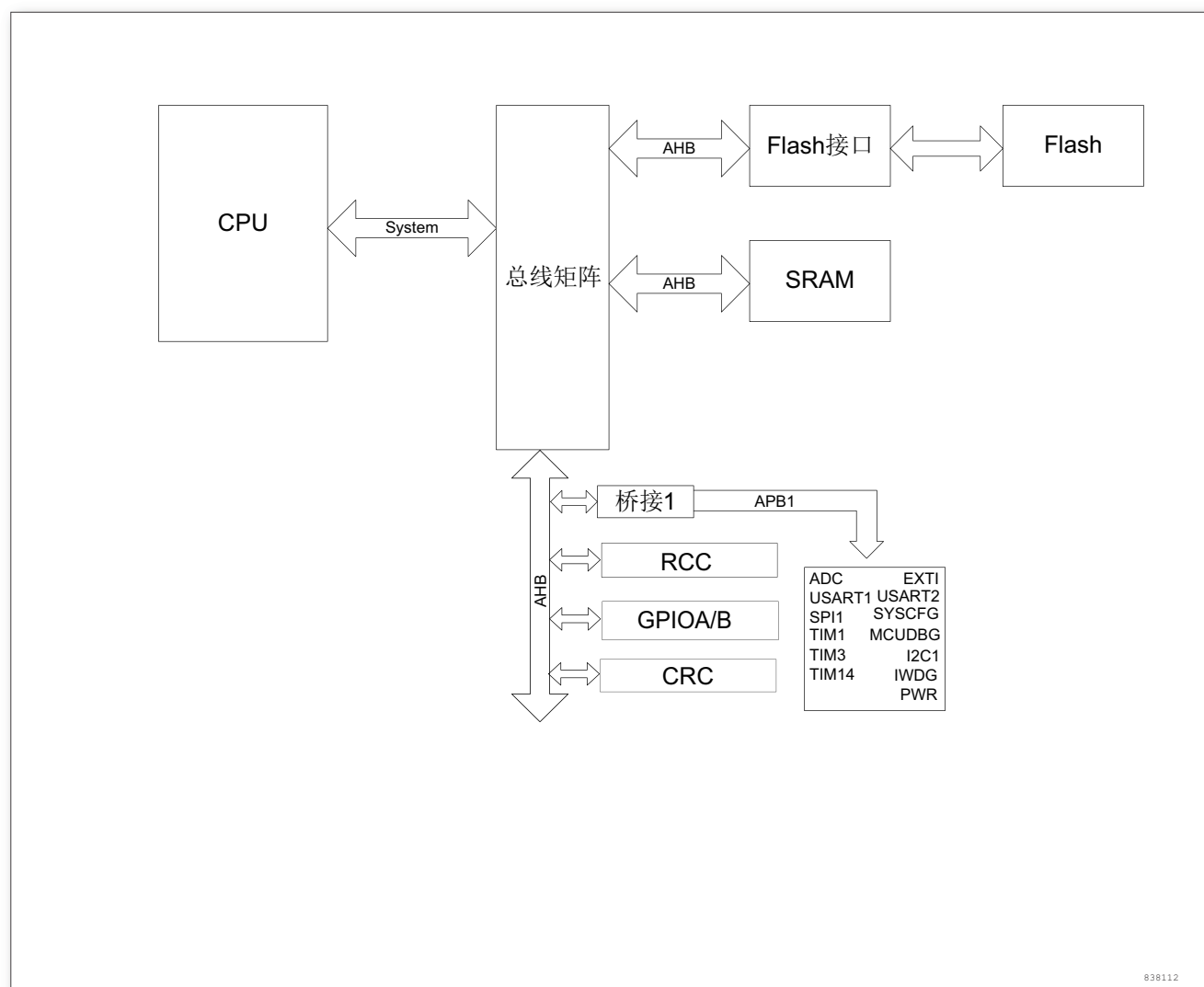


图 1. 系统架构

系统总线

此总线连接 CPU 内核的系统总线 (外设总线) 到总线矩阵，总线矩阵协调着内核。

总线矩阵 (BusMatrix)

总线矩阵管理着内核系统总线访问，总线矩阵由主模块总线及从模块总线组成。

AHB 外设通过总线矩阵与系统总线相连。

AHB 到 APB 桥 (AHB2APB bridges - APB)

AHB 到 APB 桥在 AHB 与 APB 总线间提供同步连接。在每次复位之后，所有的外设时钟都关闭 (除了 SRAM 及 Flash 外)。在用 一个 外设前，你必须打开相应的 RCC_AHBBENR、或 RCC_APB1ENR 寄存器中时钟使能位。

注：当对 APB 寄存器进行 8 位或者 16 位访问时，该访问会被自动转换成 32 位的访问：桥会自动将 16 位或者 8 位的数据扩展以配合 32 位的宽度。

1.2 存储器组织

1.2.1 介绍

程序存储器，数据存储器，寄存器及 I/O 口统一编址，其线性地址空间达到 4G。

数据字节以小端格式存放在存储器中，一个字里的最低地址字节被认为是该字的最低有效字节，而最高地址字节是最高有效字节。

寻址空间分成 8 块，每块 512MB。其他所有没有分配给片上存储器和外设的存储器空间都是保留的地址空间。详细请参考存储器映像和寄存器编址章节和外设章节。

1.2.2 存储器映像和寄存器编址

存储器映像请参考各外设对应章节中的存储器映像图。

下表给出了所有内置外设的起始地址。

表 3. 存储器映像

总线	编址范围	大小	外设	备注
Flash	0x0000 0000 - 0x0000 3FFF	16 KB	Mapped to Main Flash memory	
	0x0000 4000 - 0x07FF FFFF	~ 127 MB	Reserved	
	0x0800 0000 - 0x0800 3FFF	16 KB	Main Flash memory	
	0x0800 0000 - 0x1FFD FFFF	~ 383 MB	Reserved	
	0x1FFE 0000 - 0x1FFE 01FF	0.5 KB	Reserved	
	0x1FFE 0200 - 0x1FFE 0FFF	3 KB	Reserved	
	0x1FFE 1000 - 0x1FFE 1BFF	3 KB	Reserved	
	0x1FFE 1C00 - 0x1FFF F3FF	~ 256 MB	Reserved	
	0x1FFF F400 - 0x1FFF F7FF	1 KB	System memory	
	0x1FFF F800 - 0x1FFF F80F	16 B	Option bytes	
	0x1FFF F810 - 0x1FFF FFFF	~2 KB	Reserved	
SRAM	0x2000 0000 - 0x2000 07FF	2 KB	SRAM	
	0x2000 0700 - 0x2FFF FFFF	~ 255 MB	Reserved	
APB1	0x4000 0000 - 0x4000 03FF	1 KB	Reserved	
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3	
	0x4000 0800 - 0x4000 0BFF	8 KB	Reserved	
	0x4000 2800 - 0x4000 2BFF	1 KB	Reserved	
	0x4000 2C00 - 0x4000 2FFF	1 KB	Reserved	
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG	
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved	
	0x4000 3800 - 0x4000 3BFF	1 KB	Reserved	
	0x4000 4000 - 0x4000 43FF	1 KB	Reserved	
	0x4000 4400 - 0x4000 47FF	1 KB	USART2	
	0x4000 4800 - 0x4000 4BFF	3 KB	Reserved	
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1	
	0x4000 5800 - 0x4000 6BFF	5 KB	Reserved	
	0x4000 6C00 - 0x4000 6FFF	1 KB	Reserved	

总线	编址范围	大小	外设	备注
APB1	0x4000 7000 - 0x4000 73FF	1 KB	PWR	
	0x4000 7400 - 0x4000 FFFF	35 KB	Reserved	
	0x4001 0000 - 0x4001 03FF	1 KB	SYSCFG	
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI	
	0x4001 0800 - 0x4001 23FF	7 KB	Reserved	
	0x4001 2400 - 0x4001 27FF	1 KB	ADC1	
	0x4001 2800 - 0x4001 2BFF	1 KB	Reserved	
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1	
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1	
	0x4001 3400 - 0x4001 37FF	1 KB	DBGMCU	
	0x4001 3800 - 0x4001 3BFF	1 KB	USART1	
	0x4001 3C00 - 0x4001 3FFF	1 KB	Reserved	
	0x4001 4000 - 0x4001 43FF	1 KB	TIM14	
	0x4001 4400 - 0x4001 47FF	1 KB	Reserved	
	0x4001 4800 - 0x4001 4BFF	1 KB	Reserved	
	0x4001 4C00 - 0x4001 7FFF	13 KB	Reserved	
AHB	0x4002 0000 - 0x4002 03FF	1 KB	Reserved	
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved	
	0x4002 1000 - 0x4002 13FF	1 KB	RCC	
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved	
	0x4002 2000 - 0x4002 23FF	1 KB	Flash Interface	
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved	
	0x4002 3000 - 0x4002 33FF	1 KB	CRC	
	0x4002 3400 - 0x47FF FFFF	~ 127 MB	Reserved	
	0x4800 0000 - 0x4800 03FF	1 KB	GPIOA	
	0x4800 0400 - 0x4800 07FF	1 KB	GPIOB	
	0x4800 0800 - 0x4800 0BFF	1 KB	Reserved	
	0x4800 0C00 - 0x4800 0FFF	1 KB	Reserved	
	0x4800 1000 - 0x5FFF FFFF	~ 384 MB	Reserved	

1.3 内置的 SRAM

内置最大可到 2K 字节的静态 SRAM。它可以以字节 (8 位)、半字 (16 位) 或字 (32 位) 进行访问。SRAM 起始地址为 0x2000 0000。

- 数据总线上最大可到 2K 字节的 SRAM。可以被 CPU 用最快的系统时钟且不插入任何等待进行访问。

1.4 闪存存储器概述

闪存存储器有两个不同存储区域：

- 主闪存存储块，它包括应用程序和用户数据区 (若需要时)
- 信息块，其包含四个部分：
 - 选项字节 (Option bytes) — 内含硬件及存储保护用户配置选项。

- 系统存储器 (System memory) – 参见内置闪存存储器章节。

闪存接口基于 AHB 协议执行指令和数据存取。其预取缓冲的功能可加速 CPU 执行代码的速度。

2

嵌入式闪存 (FLASH)

嵌入式闪存 (FLASH)

2.1 闪存主要特性

- 高达 16K 字节闪存存储器
- 存储器结构:
 - 主闪存模块: 最大 4K 字 ($4K \times 32$ 位)
 - 信息模块:
 - * 系统存储器: 高达 1K 字节 ($1K \times 8$ 位)
 - * 选项字节: 高达 2×8 字节

闪存接口的特性为:

- 带预取缓冲器的数据接口 (2×32 位)
- 选择字节加载器
- 闪存编程/擦除操作
- 访问/写保护
- 低功耗模式

2.2 闪存功能描述

2.2.1 闪存结构

闪存空间由 32 位宽的存储单元组成, 既可以存代码又可以存数据。主闪存块按 16 页 (每页 1K 字节) 或 4 扇区 (每扇区 4K 字节) 分块, 以扇区为单位设置写保护 (参见存储保护相关内容)。

表 8. Flash 模块结构

模块	名称	地址	大小 (字节)
主存储块	页 0	0x0800 0000 - 0x0800 03FF	1K
	页 1	0x0800 0400 - 0x0800 07FF	1K
	页 2	0x0800 0800 - 0x0800 0BFF	1K
	页 3	0x0800 0C00 - 0x0800 0FFF	1K
	...	...	...
	...	...	...
	页 15	0x0800 3C00 - 0x0800 3FFF	1K
信息块	系统存储器	0x1FFF F400 - 0x1FFF F7FF	1K
	选项字节	0x1FFF F800 - 0x1FFF F80F	16
闪存存储器接口寄存器	FLASH_ACR	0x4002 2000 - 0x4002 2003	4
	FLASH_KEYR	0x4002 2004 - 0x4002 2007	4

模块	名称	地址	大小 (字节)
闪存存储器接口寄存器	FLASH_OPTKEYR	0x4002 2008 - 0x4002 200B	4
	FLASH_SR	0x4002 200C - 0x4002 200F	4
	FLASH_CR	0x4002 2010 - 0x4002 2013	4
	FLASH_AR	0x4002 2014 - 0x4002 2017	4
	保留	0x4002 2018 - 0x4002 201B	4
	FLASH_OBR	0x4002 201C - 0x4002 201F	4
	保留	0x4002 2020 - 0x4002 2023	4

2.2.2 FLASH 读操作

嵌入式 Flash 模块可以像普遍存储空间一样直接寻址访问。任何对 Flash 模块内容的读操作都须经过专门的判断过程。

取指令和取数据都是通过 AHB 总线读取访问，能够按照 Flash 访问控制寄存器 (FLASH_ACR) 中得选项所指定的方式执行：

- 取指：预取值缓冲区使能后可提高 CPU 运行速度
- 潜伏期：等待位的个数，保证正确的读取。

取指

CPU 通过 AHB 总线取指。预取指模块的功效在于提高取指效率。

预取缓冲区

预取缓冲区 (2 个 32 位)：在每一次复位以后被自动打开，由于每个缓冲区的大小 (32 位) 与闪存的带宽相同，因此只通过需一次读闪存的操作即可更新整个缓冲区的内容。由于预取缓冲区的存在，CPU 可以工作在更高的主频。CPU 每次取指最多为 32 位的字，取一条指令时，下一条指令已经在缓冲区中等待。

预取控制器

预取控制器会根据预取缓冲区的可用空间来把握访问 Flash 的时机。当预取缓冲区中存在至少一块可用空间时，预取控制器会发起一次读取请求。复位后，预取指缓冲区的默认状态是打开的。只有在 SYSCLK 低于 24MHz，并且 AHB 时钟没有经过任何分频的条件下 (SYSCLK 必须等于 HCLK) 才可以开/关预取指缓冲区。通常情况下，预取指缓冲区在初始化过程中就已经决定好开关状态了，而当时 MCU 运行在内部 8MHz 的振荡器下。

注：当 AHB 时钟的预分频器不等于 1 时，预取指缓冲区必须打开访问潜伏期。

访问潜伏期

为了保护对 Flash 的正确读取，必须在 Flash 访问控制寄存器中的 LATENCY[2: 0] 中指定预取指控制器的速度比，这个数值等于每次访问 Flash 后到下次访问之间所需插入的等待周期的个数。复位后，这个值默认为零，也就是没有插入等待周期的状态。

2.2.3 Flash 写和擦除操作

嵌入式闪存支持在线编程以及在应用编程。

ICP 是指使用 SWD 在线改变 Flash 的内容，将用户代码烧录到单片机中。ICP 提供了一种简单高效的方法，免除了烧写芯片时的芯片装夹等问题。

与 ICP 方法不同的是, IAP(在应用编程) 能够使用 MCU 支持的任何通信接口 (I/Os, USB, UART, I2C, SPI 等等) 下载程序或者数据。IAP 允许用户在运行程序的过程中重写应用程序, 前提是一部分应用程序必须预先用 ICP 的方法烧写进去。

烧写和擦除操作在整个产品工作电压范围内都可以完成。该操作有下列 7 个寄存器完成:

- 关键字寄存器 (FLASH_KEYR)
- 选项字节关键字寄存器 (FLASH_OPRKEYR)
- Flash 控制寄存器 (FLASH_CR)
- Flash 状态寄存器 (FLASH_SR)
- Flash 地址寄存器 (FLASH_AR)
- 选项字节寄存器 (FLASH_OBR)
- 写保护寄存器 (FLASH_WRP)

只要 CPU 不去访问 Flash 空间, 进行中的 Flash 写操作不会妨碍 CPU 的运行。也就是说, 在对 Flash 进行写/擦除操作的同时, 任何对 Flash 的访问都会令总线停顿, 直到写/擦除操作完成后才会继续执行, 这意味着在写/擦除 Flash 的同时不可以对它取指和访问数据。

在对 Flash 空间做写/擦除操作时, 内部振荡器 (HSI) 必须处于开启状态。

对 Flash 空间的解锁

复位后, Flash 存储器默认是受保护状态的, 这样可以防范意外的擦除动作。FLASH_CR 寄存器不允许被改写, 除非执行一串针对 FLASH_KEYR 寄存器的解锁操作才能开启对 FLASH_CR 的访问权限。这串操作由下面 2 个写操作构成:

- 写关键字 1 = 0x45670123
- 写关键字 2 = 0xCDEF89AB

任何错误的顺序将会锁死 FLASH_CR 直至下次复位。

当发生关键字错误时, 会由总线错误引发一次硬件错误中断。KEY1 出错会立即中断, KEY1 正确但 KEY2 错误时会在 KEY2 错的时候引发中断。

主闪存编程

主闪存一次可以编程 16 位。当 FLASH_CR 中的 PG 位为 1 时, 直接对相应的地址写一个半字 (16 位), 就是一次编程操作。如果试图写别的长度而不是半字, 将引起硬件错误中断。

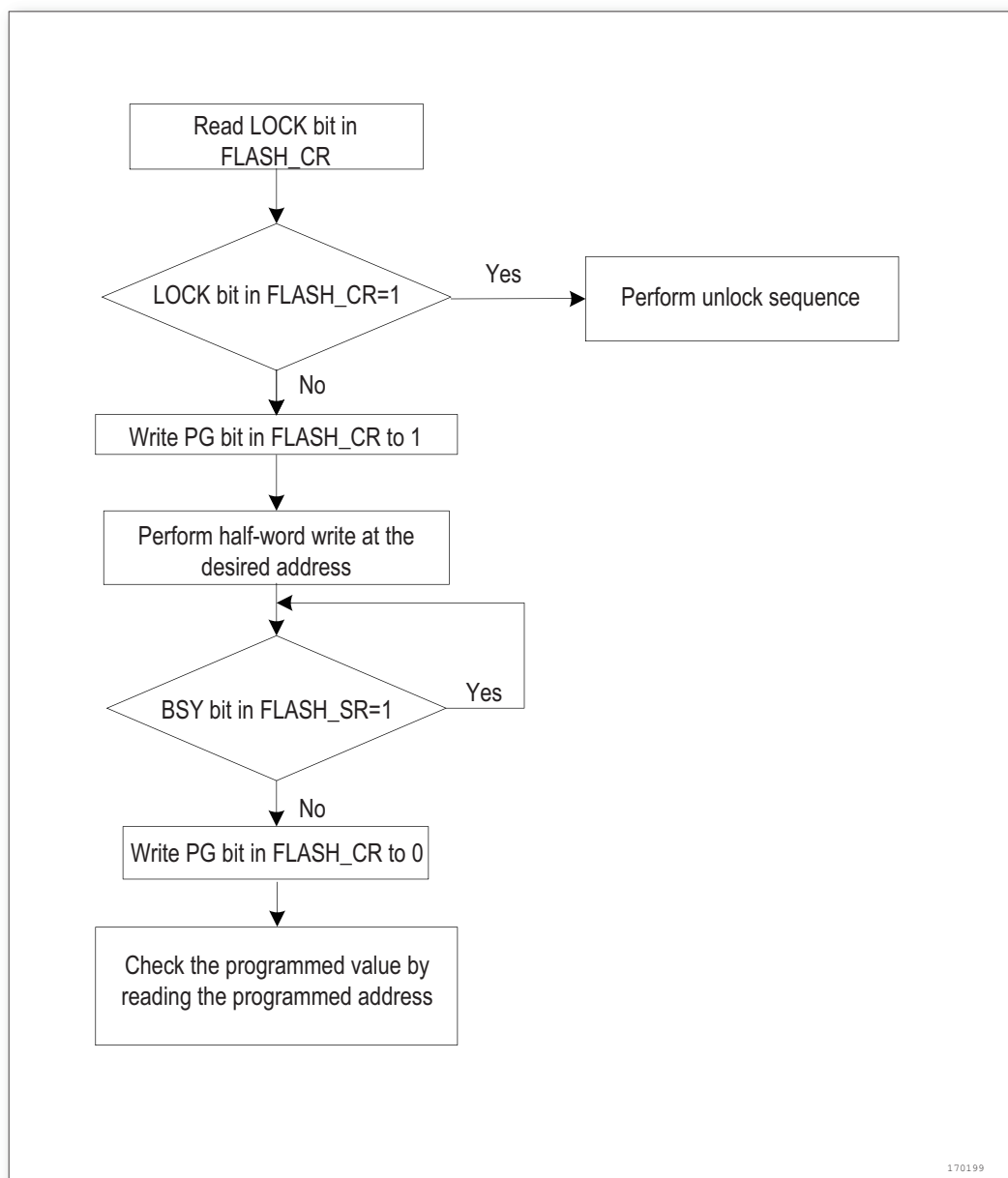


图 2. 编程流程

Flash 存储器接口会预读待编程字节是否为全 1，如果不是，那么编程操作会自动取消，并且在 FLASH_SR 寄存器的 PGERR 位上提示编程错误警告。

如果待编程地址所对应的 FLASH_WRPR 中的写保护位有效，同样也不会有编程动作，同样也会产生编程错误警告。编程动作结束后，FLASH_SR 寄存器中得 EOP 位会给出提示。

主 Flash 存储器标准模式下的编程过程如下：

- 检查 FLASH_SR 中的 BSY 位，以确认上一操作已经结束
- 置 FLASH_CR 寄存器中的 PG 位
- 以半字为单位向目标地址写入数据
- 等待 FLASH_SR 寄存器中的 BSY 归零
- 读数据以校验

注：当 FLASH_SR 中得 BSY 位为 1 的时候，这些寄存器不能写。

Flash 存储器擦除

Flash 存储器可以按页为单位擦除，也可以整片擦除。

页擦除

擦除页的步骤如下：

- 检查 FLASH_SR 中的 BSY 位，以确认上一操作已经结束
- 置 FLASH_CR 寄存器中的 PER 位为 1
- 写 FLASH_AR 寄存器以选择待擦除的页
- 置 FLASH_CR 寄存器中的 STRT 位为 1
- 等待 FLASH_SR 中的 BSY 归零
- 读取已擦除页以校验

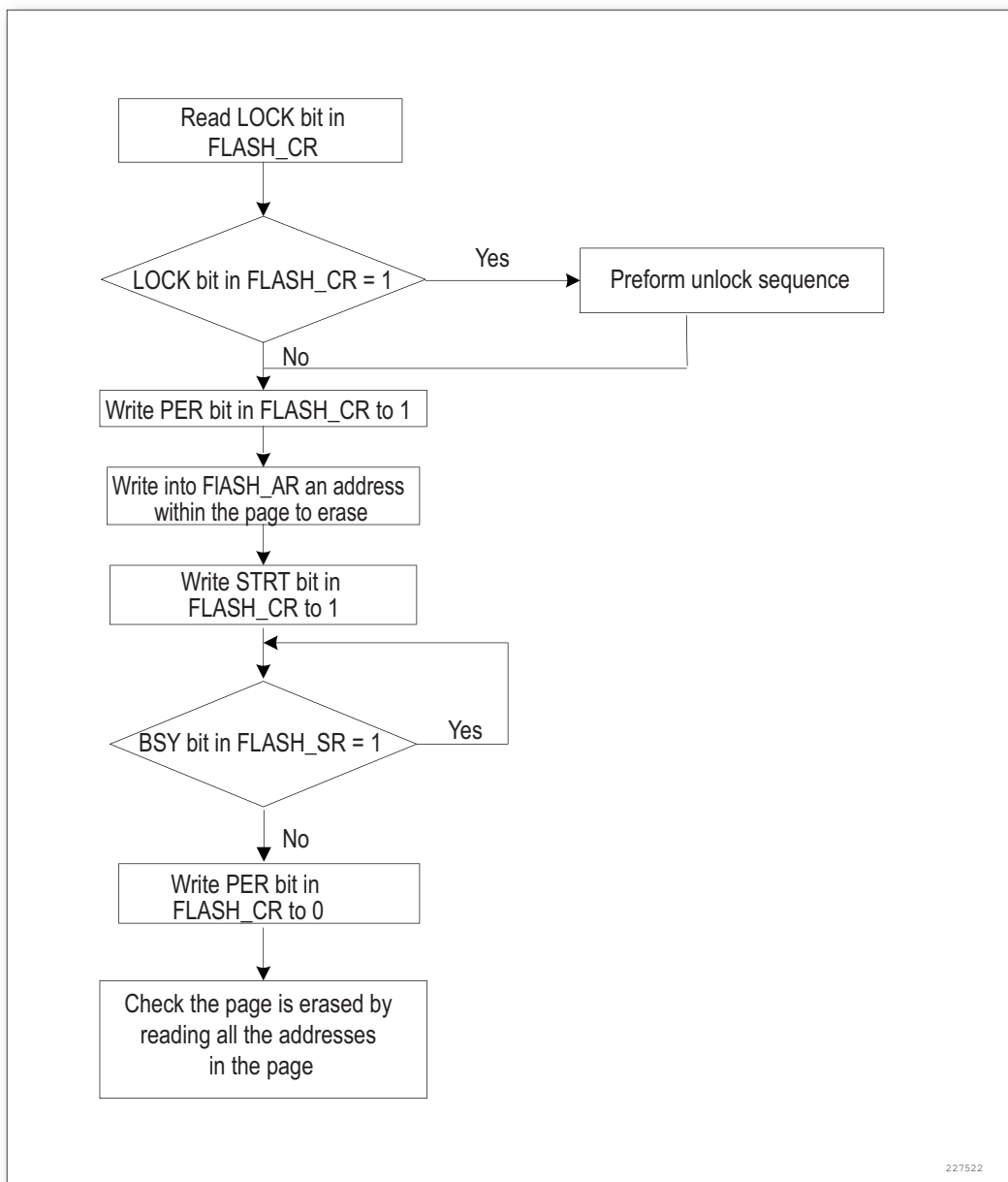


图 3. Flash 寄存器页擦除流程

整片擦除

可以用整片擦除命令一次擦除整个 Flash 用户区，但信息块不会受这个命令影响，具体步骤如下：

- 检查 FLASH_SR 中的 BSY 位，以确认上一操作已经结束
- 置 FLASH_CR 寄存器中的 MER 位为 1
- 置 FLASH_CR 寄存器中的 STRT 位为 1
- 等待 BSY 位归零
- 读取全部页并校验

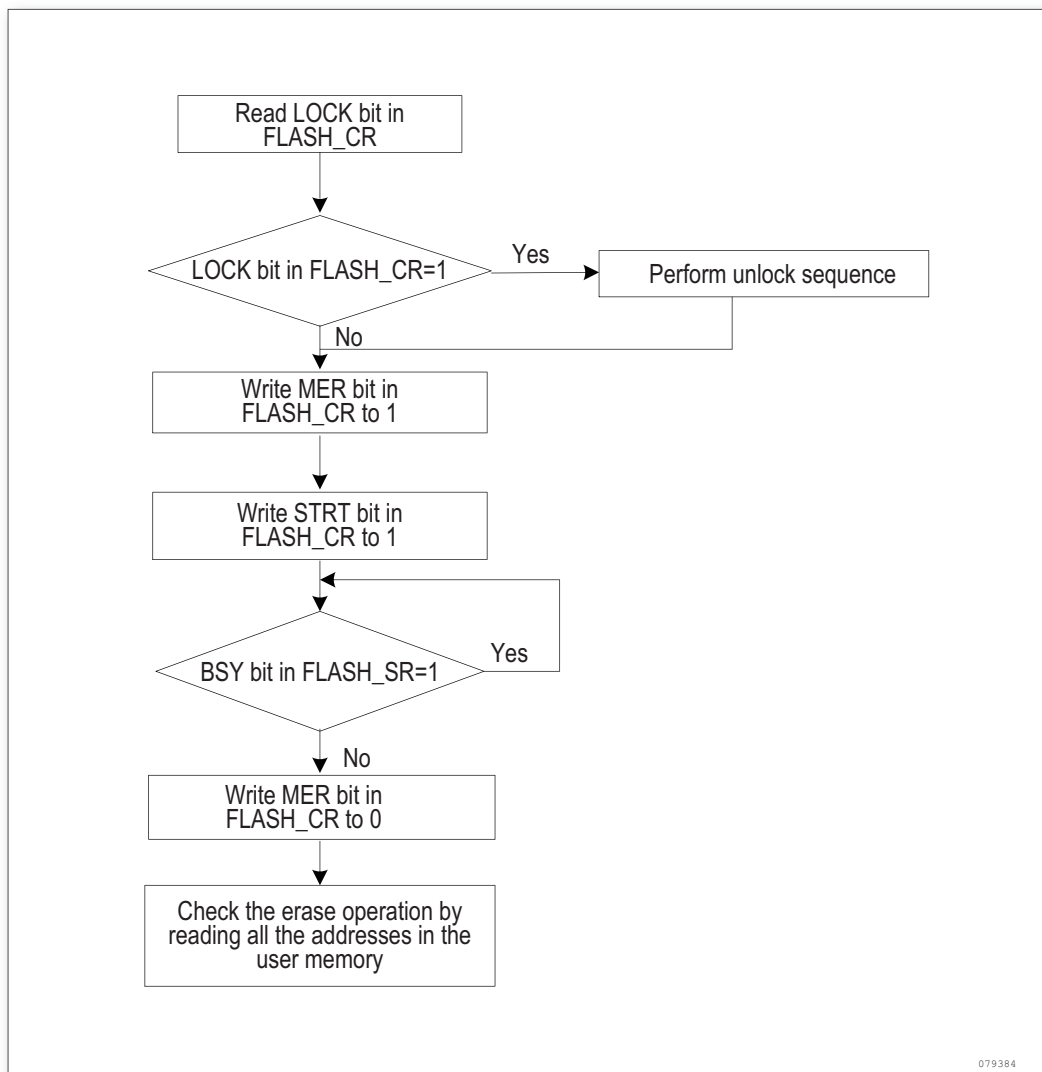


图 4. Flash 寄存器整片擦除流程

选项字节编程

选项字节的编程与常规用户地址不同，包括 2 个写保护，1 个硬件配置。解除 Flash 访问限制后，还需要对 FLASH_OPTKEYR 寄存器完成关键字写入操作。完成该操作后，FLASH_CR 寄存器中的 OPTWRE 位会被置 ‘1’，然后就可以先置位 FLASH_CR 中的 OPTPG 位，再按半字单位写目标地址。同样会自动检查选项字节是否为 1，否则相关操作会被取消并且在 FLASH_SR 中的 PGERR 位提示错误。编程操作结束后，会由 FLASH_SR 寄存器的 EOP 位给出提示。

选项字节为 16 位数据，有效数据为低 8 位，而高 8 位为低 8 位的反码。在编程过程中，需要先计算出低 8 位的反码作为高 8 位，与低 8 位一起以半字方式写入，保证选项字节的写入值总是高低 8 位互为反码的。步骤如下：

- 检查 FLASH_SR 寄存器中的 BSY 位，以确保上一操作结束
- 解锁 FLASH_CR 寄存器中的 OPTWRE 位
- 置 FLASH_CR 寄存器中 OPTPG 位为 1
- 写数据 (半字) 到目标地址
- 等待 BSY 位归零
- 读取并校验当保护选项字节由保护状态被改成非保护状态时，会自动引发一次整片擦除。如果用户只想改写其他的字节，则不会引发整片擦除，这个机制用于保护 Flash 的内容。

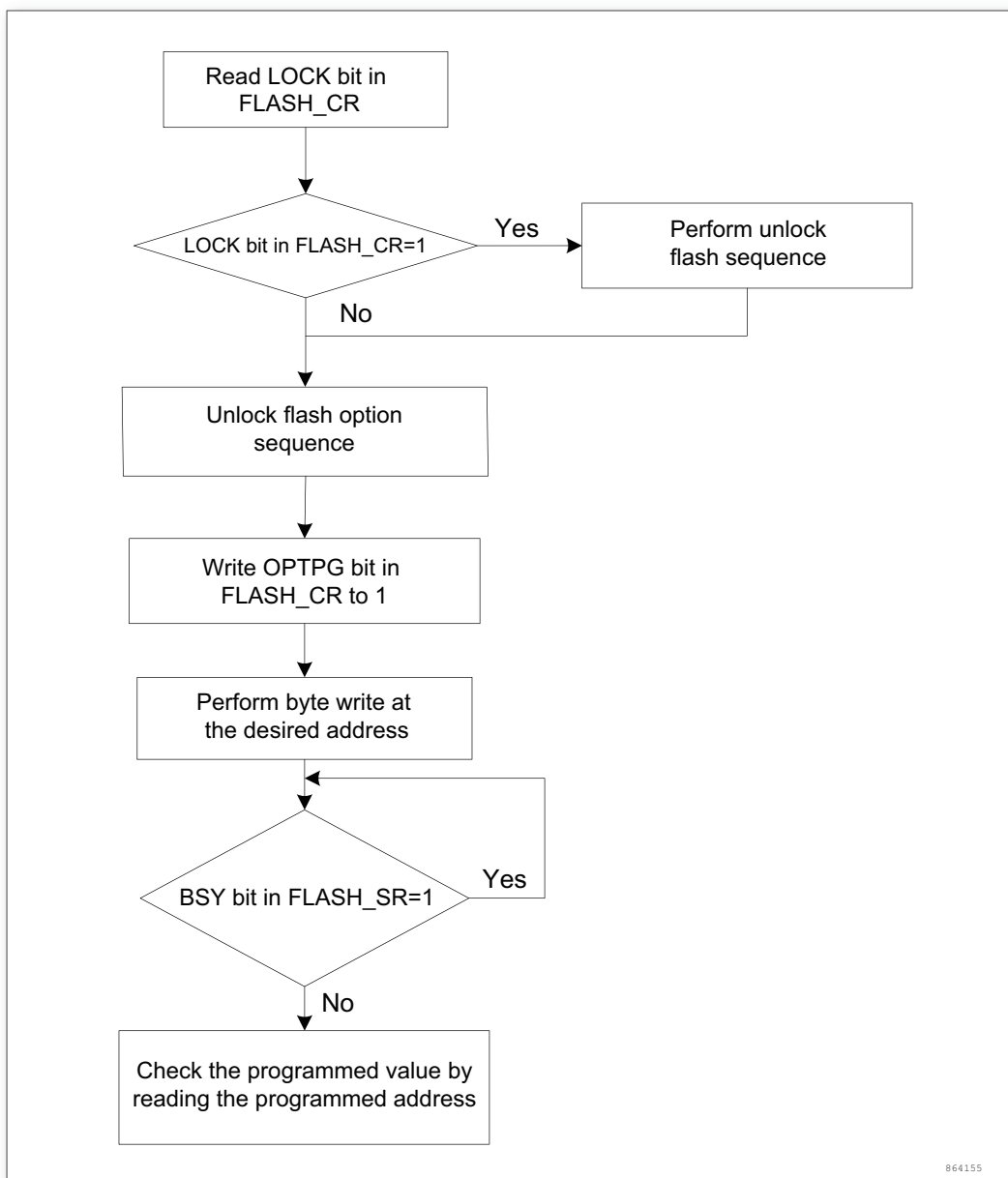


图 5. 选项字节编程流程

擦除过程

选项字节的擦除过程如下：

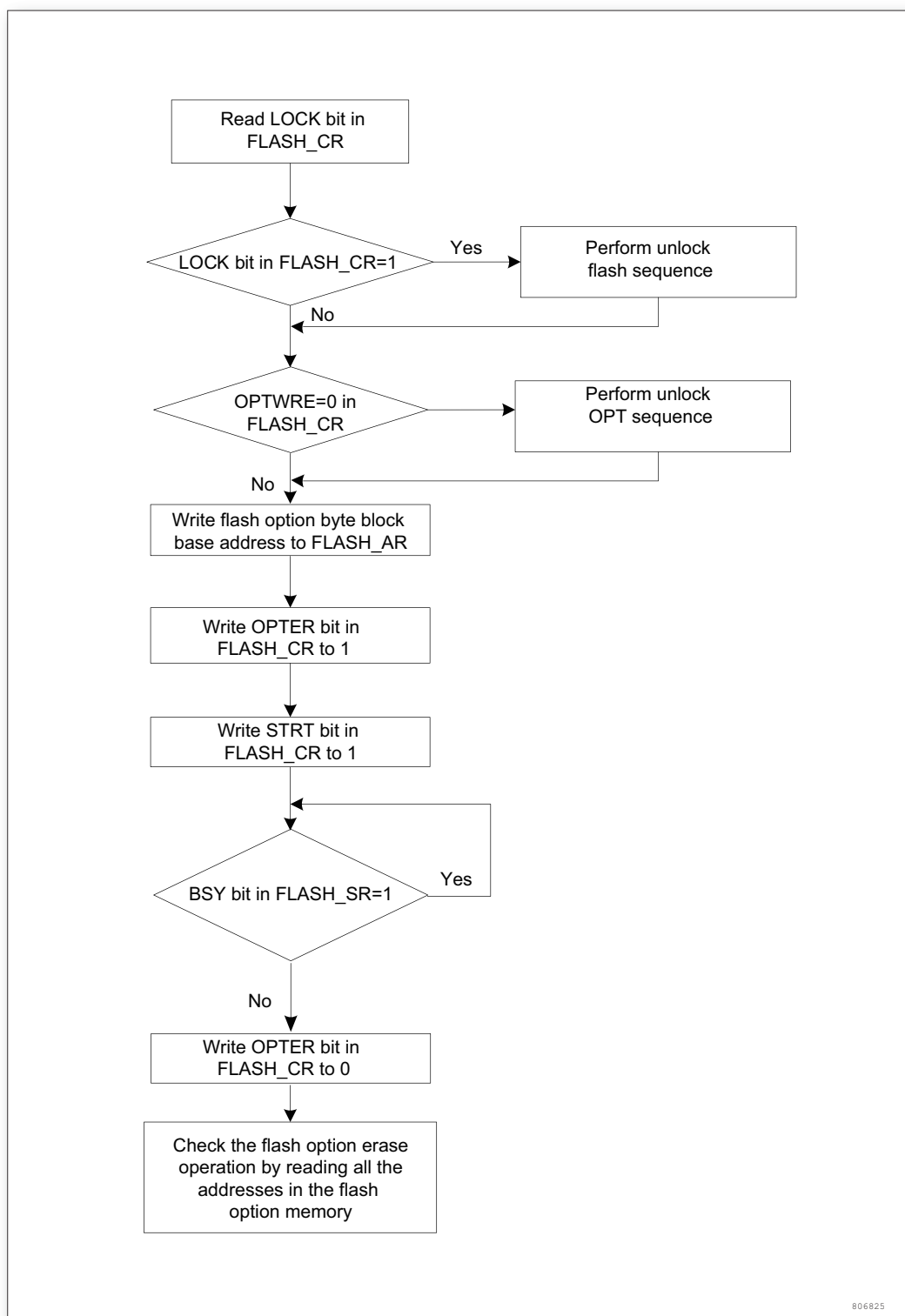


图 6. 选项字节擦除流程

2.3 存储保护

可以防范用户区 Flash 区的代码被不可信的代码读出，也可以防范在程序跑飞的时候对 Flash 的意外擦除，写保护的最小单位是一个扇区 (4 页)。

2.3.1 读保护

这项保护是通过设置 RDP 一个半字，然后在系统重新上电复位，加载了新的 RDPs 后起作用的。

注：如果在设置了读保护时，调试器仍然连接到 SWD/JTAG 接口，需要执行一次上电复位，而不是(没有调试器时的)系统复位。

设置为读保护

按选项字节区域半字编程的操作方式，按顺序写 RDP 一个半字到对应地址

1. 设置 Flash AR 地址值为 0x1FFFF800，执行区块擦除
2. 写目标值 0x807F 到 0x1FFFF800
3. 软件复位目标系统或者掉电，再上电

当保护字节被写入相应的值以后：

- 只允许从用户代码中对主闪存存储器的读操作 (以非调试方式从主闪存存储器启动)。
- 读保护后，调试模式下 (sram boot 和 debug 模式) 禁止对 flash 进行操作，flash 本身的程序禁止写低 4KB 空间。
- 第 0 ~ 3 页被自动加上了写保护，其它部分的存储器可以通过在主闪存存储器中执行的代码进行编程 (实现 IAP 或数据存储等功能)，但不允许在调试模式下或在从内部 SRAM 启动后执行写或擦除操作 (整片擦除除外)。
- 所有通过 SWD 向内置 SRAM 装载代码并执行代码的功能依然有效，亦可以通过 SWD 从内置 SRAM 启动，这个功能可以用来解除读保护。
- 通过从内置 SRAM 执行代码访问主闪存存储器的操作，通过 DMA、SWV(串行线观察器)、SWD(串行线调试)、ETM 和边界扫描方式对闪存的访问都将被禁止。

当 RDPs 字包含下列数值时，闪存被置于保护状态：

表 10. Flash 读保护状态

RDPs 字节的值	读保护状态
RDP=0x807F @0x1FFFF800	保护

注：如选项字节块对应的地址值为非 0xFFFF，需先执行擦除选项字节块的动作，执行擦除选项字节块的动作不会导致自动的整片擦除操作，不会改变读保护状态。

解除读保护

从内置 SRAM 解除读保护的过程是：

按选项字节区域半字编程的操作方式，按顺序写 RDP 一个半字到对应地址：

1. 设置 FLASH AR 地址值为 0x1FFFF800，执行区块擦除
2. 写目标值 0x5AA5 到 0x1FFFF800，触发主 Flash 全片擦除，此时状态位为未读保护状态

进行上电复位以重新加载选项字节，此时读保护被解除。

表 11. Flash 解除读保护状态

RDPs 字节的值	读保护状态
对 0x1FFFF800 选项区块擦除 写入 RDP=0x5AA5 @0x1FFFF800 触发对 0x08000000 的主 Flash 全片擦除	解除读保护

2.3.2 主空间写保护

写保护以一个扇区为单位 (4 页) 来控制, 配置选项字节中的 WRP 位, 随后的系统复位将加载新选项字节就可以使能这个保护。如果试图写入或擦除一个受保护的扇区, 会引起 FLASH_SR 中的 WRPRERR 标志位被置位。

2.3.3 选项字节的写保护

默认状态下, 选项字节块始终是可以读且被写保护。要想对选项字节块进行写操作 (编程/擦除) 首先要在 OPTKEYR 中写入正确的键序列 (与上锁时一样), 随后允许对选项字节块的写操作, FLASH_CR 寄存器的 OPTWRE 位标示允许写, 清除这位将禁止写操作。

2.4 Flash 中断

表 13. Flash 中断请求

中断事件	事件标志	使能控制位
操作结束	EOP	EOPIE
写保护错误	WRPRERR	ERRIE
编程错误	PGERR	ERRIE

2.5 选项字节说明

选项字节由用户根据应用的需要配置; 例如: 可以选择使用硬件模式的看门狗或软件的看门狗。

在选项字节中每个 32 位的字被划分为下述格式:

表 15. 选项字节格式

位 31 ~ 24	位 23 ~ 16	位 15 ~ 8	位 7 ~ 0
选项字节 1 的反码	选项字节 1	选项字节 0 的反码	选项字节 0

注: 反码必须由用户应用软件实现。

选项字节块中选项字节的组织结构如下表所示。

选项字节可以从下表列出的存储器地址读出, 或从选项字节寄存器 (FLASH_OBR) 读出。

注: 新写入的选项字节 (用户的或读/写保护的), 在系统复位后才生效。

表 16. 选项字节结构

地址	[31: 24]	[23: 16]	[15: 8]	[7: 0]
0x1FFF F800	nUSER	USER	nRDP	RDP
0x1FFF F804	nData1	Data1	nData0	Data0
0x1FFF F808			nWRP0	WRP0
0x1FFF F80C				

表 17. 选项字节说明

存储器地址	选项字节
0x1FFF F800	位 [31: 24] nUSER 位 [23: 16] USER: 用户选项字节 (保存在 FLASH_OBR[9: 2] 中)。这个字节用于配置下列功能: 选择看门狗事件: 硬件或软件 注: 不使用位 [23: 19]。 位 18: nRST_STDBY 0: 当进入待机模式时产生复位 1: 进入待机模式时不产生复位 位 17: nRST_STOP 0: 当进入停机 (STOP) 模式时产生复位 1: 进入停机 (STOP) 模式时不产生复位 位 16: WDG_SW 0: 硬件看门狗 1: 软件看门狗 位 [15: 8]: nRDP 位 [7: 0]: RDP: 读出保护选项字节 读出保护功能帮助用户保护存在闪存中的代码。该功能由设置 RDP 选项字节启用。当在这个选项字节中写入正确的数值时 (RDP = 0x807F), 将禁止读出闪存存储器。(RDP 是否开启的结果存储在 FLASH_OBR[1] 中。)
0x1FFF F804	Datax: 2 个字节的用户数据 这个地址可以使用选项字节的编程方式编程。 位 [31: 24]: nData1 位 [23: 16]: Data1(存储在 FLASH_OBR[25: 18]) 位 [15: 8]: nData0 位 [7: 0]: Data0(存储在 FLASH_OBR[17: 10])

存储器地址	选项字节
0x1FFF F808	WRP_x: 闪存写保护选项字节 位 [15: 8]: nWRP0 位 [7: 0]: WRP0(存储在 FLASH_WRP[7: 0]) 选项字节 WRP_x 中的每一个比特位用于保护主存储器中 4 个存储页: 0: 实施写保护 1: 不实施写保护 一个用户选项字节用于保护总共 32K 字节的主存储器。 WRP0: 第 0 ~ 31 页的写保护

每次系统复位后, 选项字节装载器 (OBL) 读出信息块的数据, 并保存在选项字节寄存器 (FLASH_OBR) 中, 每个选择位都在信息块中有它的反码位, 在装载选择位时反码位用于验证选择位是否正确, 如果有任何的差别, 将产生一个选项字节错误标志 (OPTERR)。当发生选项字节错误时, 对应的选项字节被强置为 0xFF。当选项字节和它的反码均为 0xFF 时 (擦除后的状态), 则关闭上述验证功能。

所有的选择位 (不包括它们的反码位) 用于配置该微控制器, CPU 可以读选项字节寄存器。

2.6 Flash 寄存器描述

表 19. FLASH 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	FLASH_ACR	闪存访问控制寄存器	0x00000038	小节 2.6.1
0x04	FLASH_KEYR	FPEC 键寄存器	0x00000000	小节 2.6.2
0x08	FLASH_OPTKEYR	闪存 OPTKEY 寄存器	0x00000000	小节 2.6.3
0x0C	FLASH_SR	闪存状态寄存器	0x00000000	小节 2.6.4
0x10	FLASH_CR	闪存控制寄存器	0x00000080	小节 2.6.5
0x14	FLASH_AR	闪存地址寄存器	0x00000000	小节 2.6.6
0x1C	FLASH_OBR	选项字节寄存器	0x03FFFC1C	小节 2.6.7
0x20	FLASH_WRP	写保护寄存器	0xFFFFFFFF	小节 2.6.8

2.6.1 闪存访问控制寄存器 (FLASH_ACR)

地址偏移: 0x00

复位值: 0x0000 0038

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											PRFTBE	Res.	LATENCY		
											rw		rw		

Bit	Field	Type	Reset	Description
31 : 5	Reserved		0x0000 0001	保留, Bit 5 始终读为 1。
4	PRFTBE	rw	0x01	预取缓冲区使能 (Prefetch buffer enable) 0: 关闭预取缓冲区 1: 启用预取缓冲区
3	Reserved			保留, 始终读为 1。
2 : 0	LATENCY	rw	0x00	时延 (Latency) 这些位表示 SYSCLK(系统时钟) 周期与闪存访问时间的比例。 000: 零等待状态, 当 $0 < \text{SYSCLK} \leq 24\text{MHz}$ 001: 一个等待状态, 当 $24\text{MHz} < \text{SYSCLK} \leq 48\text{MHz}$

2.6.2 闪存访问控制寄存器 (FLASH_KEYR)

地址偏移: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FKEYR															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FKEYR															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
31 : 0	FKEYR	w	0x0000 0000	FPEC 键 (Flash key) 这些位用于输入 FPEC 的解锁键。

注: 所有这些位是只写的, 读出时返回 0。

2.6.3 闪存 OPTKEY 寄存器 (FLASH_OPTKEYR)

地址偏移: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEYR															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEYR															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
31 : 0	OPTKEYR	w	0x0000 0000	选择字节键 (Option byte key) 这些位用于输入选项字节的键以解除 OPTWRE。

注：所有这些位是只写的，读出时返回 0。

2.6.4 闪存状态寄存器 (FLASH_SR)

地址偏移：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										EOP	WRPRTE RR	Res.	PGERR	Res.	BSY
										rc_w1	rc_w1		rc_w1		r

Bit	Field	Type	Reset	Description
31 : 6	Reserved			保留，始终读为 0。
5	EOP	rc_w1	0x00	操作结束 (End of operation) 当闪存操作 (编程/擦除) 完成时，硬件设置这位为 ‘1’，写入 ‘1’ 可以清除这位状态。 注：每次成功的编程或擦除都会设置 EOP 状态。
4	WRPRTE RR	rc_w1	0x00	写保护错误 (Write protection error) 试图对写保护的闪存地址编程时，硬件设置这位为 ‘1’，写入 ‘1’ 可以清除这位状态。
3	Reserved			保留，始终读为 0。
2	PGERR	rc_w1	0x00	编程错误 (Programming error) 试图对内容不是 ‘0xFFFF’ 的地址编程时，硬件设置这位为 ‘1’，写入 ‘1’ 可以清除这位状态。 注：进行编程操作之前，必须先清除 FLASH_CR 寄存器的 STRT 位。
1	Reserved			保留，始终读为 0。
0	BSY	r	0x00	忙 (Busy) 该位指示闪存操作正在进行。在闪存操作开始时，该位被设置为 ‘1’；在操作结束或发生错误时该位被清除为 ‘0’。

2.6.5 闪存控制寄存器 (FLASH_CR)

地址偏移：0x10

复位值：0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			EOPIE	Res.	ERRIE	OPTWRE	Res.	LOCK	STRT	OPTER	OPTPG	Res.	MER	PER	PG
			rw		rw	rc_w0		rw	rw	rw	rw		rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 13	Reserved			保留，始终读为 0。
12	EOPIE	rw	0x00	允许操作完成中断 (End of operation interrupt enable) 该位允许在 FLASH_SR 寄存器中的 EOP 位变为 ‘1’ 时产生中断。 0: 禁止产生中断 1: 允许产生中断
11	Reserved			保留，始终读为 0。
10	ERRIE	rw	0x00	允许错误状态中断 (Error interrupt enable) 该位允许在发生 FPEC 错误时产生中断 (当 FLASH_SR 寄存器中的 PGERR/WRPRTERR 置为 ‘1’ 时)。 0: 禁止产生中断 1: 允许产生中断
9	OPTWRE	rc_w0	0x00	允许写选项字节 (Option byte write enable) 当该位为 ‘1’ 时，允许对选项字节进行编程操作。当在 FLASH_OPTKEYR 寄存器写入正确的键序列后，该位被置为 ‘1’。 软件写 0 可清除此位。
8	Reserved			保留，始终读为 0。
7	LOCK	rw	0x01	锁 (Lock) 只能写 ‘1’。当该位为 ‘1’ 时表示 FPEC 和 FLASH_CR 被锁住。在检测到正确的解锁序列后，硬件自动清除此位为 ‘0’。 在一次不成功的解锁操作后，下次系统复位前，该位不能再被改变。
6	STRT	rw	0x00	开始 (Start) 当该位为 ‘1’ 时将触发一次擦除操作。该位只可由软件置为 ‘1’ 并在 BSY 变为 ‘1’ 时自动清 ‘0’。
5	OPTER	rw	0x00	擦除选项字节 (Option byte erase) 擦除选项字节。
4	OPTPG	rw	0x00	烧写选项字节 (Option byte programming) 对选项字节编程。
3	Reserved			保留，始终读为 0。
2	MER	rw	0x00	全擦除 (Mass erase) 选择擦除所有用户页。

Bit	Field	Type	Reset	Description
1	PER	rw	0x00	页擦除 (Page erase) 选择擦除页。
0	PG	rw	0x00	编程 (Programming) 选择编程操作。

2.6.6 闪存地址寄存器 (FLASH_AR)

地址偏移: 0x014

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FAR															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAR															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
31 : 0	FAR	w	0x0000 0000	用户选项字节 (Flash Address) 当进行编程时选择要编程的地址, 当进行页擦除时选择要擦除的页。 注意: 当 FLASH_SR 中的 BSY 位为 '1' 时, 不能写这个寄存器。

由硬件修改为当前/最后使用的地址。页擦除操作中, 必须修改这个寄存器以指定要擦除的页。

2.6.7 选项字节寄存器 (FLASH_OBR)

地址偏移: 0x1C

复位值: 0x03FF FC1C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						Data1						Data0			
						r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Data0						Reserved						nRST_STDBY	nRST_STOP	WDG_SW	RDPRT. OPTERR
r	r	r	r	r	r									r	r

Bit	Field	Type	Reset	Description
31 : 26	Reserved			保留, 始终读为 0。
25 : 18	Data1	r	0xFF	Data1
17 : 10	Data0	r	0xFF	Data0

Bit	Field	Type	Reset	Description
9 : 5	Reserved			保留
4	nRST_STDBY	r	0x01	进入待机模式时的复位事件 0: 当进入待机模式时产生复位 1: 进入待机模式时不产生复位
3	nRST_STOP	r	0x01	进入停机模式时的复位事件 0: 当进入停机 (STOP) 模式时产生复位 1: 进入停机 (STOP) 模式时不产生复位
2	WDG_SW	r	0x01	选择看门狗事件 0: 硬件看门狗 1: 软件看门狗
1	RDPRT	r	0	读保护 (Read protection level status) 当设置为 '1', 表示闪存存储器被读保护。 注: 该位为只读。
0	OPTERR	r	0x00	选项字节错误 (Option byte error) 当该位为 '1' 时表示选项字节和它的反码不匹配。 注意: 该位为只读。

这个寄存器的复位数值与写入选项字节中的数值相关, OPTERR 位的复位值与加载选项字节时对选项字节和它的反码进行比较的结果相关。

2.6.8 写保护寄存器 (FLASH_WRP)

地址偏移: 0x20

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												WRP			
												r	r	r	r

Bit	Field	Type	Reset	Description
31 : 4	Reserved			保留, 始终读为 0。
3 : 0	WRP	r	0x0F	写保护 (Write protect) 该寄存器包含由 OBL 加载的写保护选项字节。 0: 写保护生效 1: 写保护失效 注意: 这些位为只读。

3

循环冗余校验计算单元 (CRC)

循环冗余校验计算单元 (CRC)

3.1 CRC 简介

循环冗余校验 (CRC) 计算单元是根据固定的生成多项式得到任一 32 位全字的 CRC 计算结果。在其他的应用中, CRC 技术主要应用于核实数据传输或者数据存储的正确性和完整性。标准 EN/IEC60335-1 即提供了一种核实闪存存储器完整性的方法。CRC 计算单元可以在程序运行时计算出软件的标识, 之后与在连接时生成的参考标识比较, 然后存放在指定的存储器空间。

3.2 CRC 主要特征

- 支持 CRC-32(以太网) 多项式算法: $0x4C11DB7$
 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- CRC 计算时间: 3 个 AHB 时钟周期 (HCLK)
- 一个 32 位数据寄存器用于输入/输出。
- 8 位临时数据寄存器, 存放临时数据。

下图为 CRC 计算单元框图

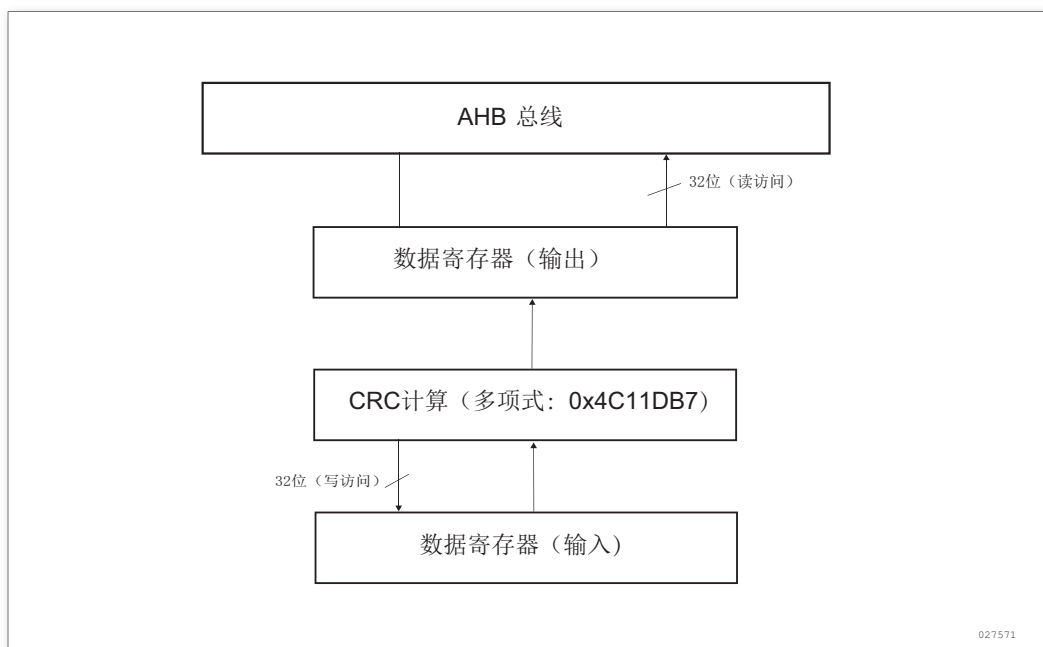


图 7. CRC 计算单元框图

3.3 CRC 功能介绍

CRC 计算单元含有 1 个 32 位数据寄存器:

- 对该寄存器进行写操作时，作为输入寄存器，可以输入要进行 CRC 计算的新数据。
- 对该寄存器进行读操作时，返回上一次 CRC 计算的结果。

每一次写入数据寄存器，其计算结果是前一次 CRC 计算结果和新计算结果的组合 (对整个 32 位字进行 CRC 计算，而不是逐字节地计算)。

在 CRC 计算期间会暂停写操作，因此可以对寄存器 CRC_DR 进行背靠背写入或者连续地写-读操作。

可以通过设置寄存器 CRC_CTRL 的 RESET 位来重置数据寄存器 CRC_DR 为 0xFFFF FFFF。该操作不影响寄存器 CRC_IDR 内的数据。

3.4 CRC 寄存器

CRC 计算单元包括了 2 个数据寄存器和一个控制寄存器。

表 32. CRC 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	CRC_DR	CRC 数据寄存器	0xFFFFFFFF	小节 3.4.1
0x04	CRC_IDR	CRC 独立数据寄存器	0x00000000	小节 3.4.2
0x08	CRC_CTRL	CRC 控制寄存器	0x00000000	小节 3.4.3

3.4.1 CRC 数据寄存器 (CRC_DR)

地址偏移: 0x00

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 0	DR	rw	0xFFFF FFFF	DR: 数据寄存器位 (Data register bits) 写入 CRC 计算器的新数据时，作为输入寄存器 读取时返回 CRC 计算结果

3.4.2 CRC 独立数据寄存器 (CRC_IDR)

地址偏移: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								IDR							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 8	Reserved			始终读为 0。
7 : 0	IDR	rw	0x00	IDR: 通用 8 位数据寄存器位 (General-purpose 8-bit data register bits) 可用于临时存放 1 字节的数据。 寄存器 CRC_CTRL 的 RESET 位产生的 CRC 复位对本寄存器没有影响。

注：此寄存器不参与 CRC 计算，可以存放任何数据。

3.4.3 CRC 控制寄存器 (CRC_CTRL)

地址偏移：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RESET	
															w

Bit	Field	Type	Reset	Description
31 : 1	Reserved			始终读为 0。
0	RESET	w	0x00	RESET: 复位 CRC 计算单元 (CRC reset) 设置数据寄存器为 0xFFFF FFFF。 只能对该位写 ‘1’，它由硬件自动清 ‘0’。

4

电源控制 (PWR)

电源控制 (PWR)

4.1 电源

芯片的工作电压 (V_{DD}) 为 2.0V ~ 5.5V。通过内置的电压调节器提供所需的内核电源。

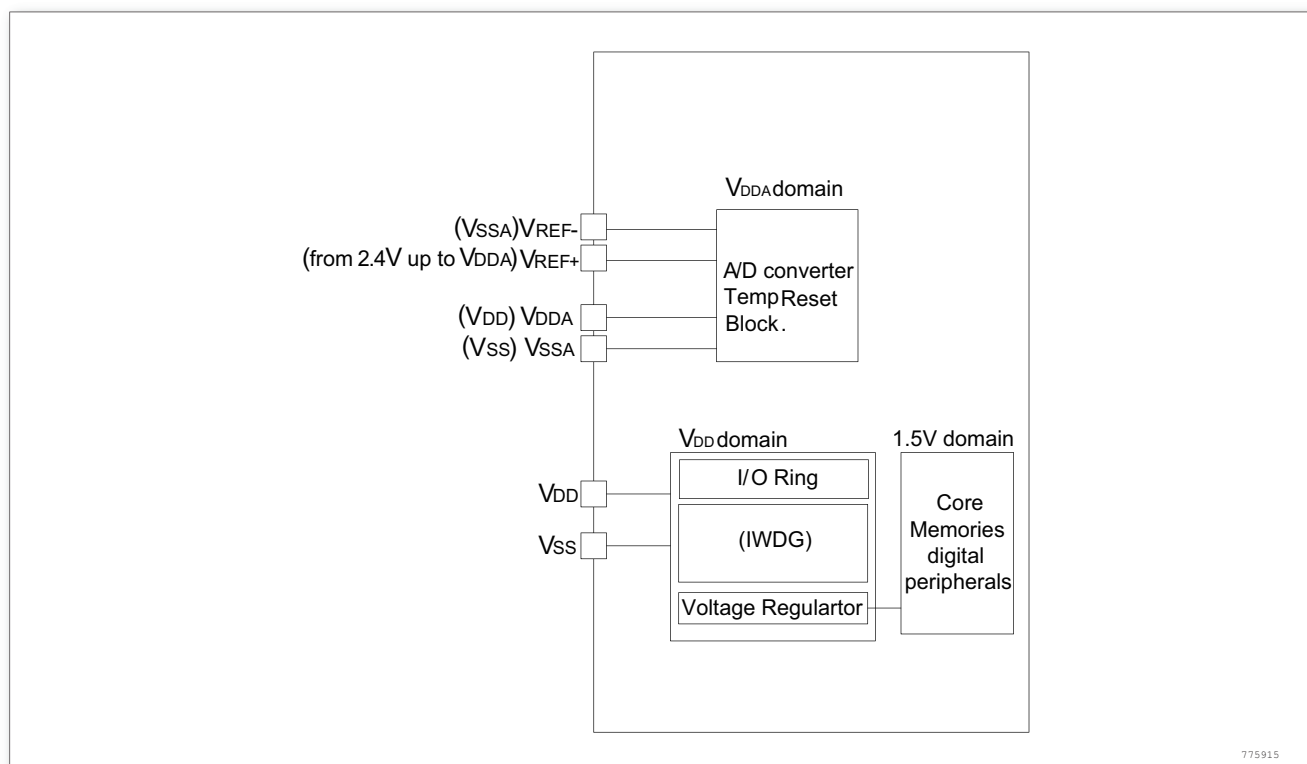


图 8. 电源框图

注： V_{DDA} 和 V_{SSA} 必须分别连到 V_{DD} 和 V_{SS} 。

4.1.1 独立的 A/D 转换器供电和参考电压

为了提高转换的精确度，ADC 使用一个独立的电源供电，过滤和屏蔽来自印刷电路板上的毛刺干扰。

- ADC 的电源引脚为 V_{DDA}
- 独立的电源地 V_{SSA}

如果有 V_{REF-} 引脚 (根据封装而定)，它必须连接到 V_{SSA} 。

4.1.2 电压调节器

复位后调节器总是使能的。根据应用方式它以 3 种不同的模式工作。

- 运转模式：调节器以正常功耗模式提供 1.5V 电源 (内核，内存和外设)。

- 停机模式：调节器以低功耗模式提供 1.5V 电源，以保存寄存器和 SRAM 的内容。
- 待机模式：调节器停止供电。寄存器和 SRAM 的内容全部丢失。

4.2 电源管理器

4.2.1 上电复位 (POR) 和掉电复位 (PDR)

芯片有一个完整的上电复位 (POR) 和掉电复位 (PDR) 电路，当供电电压达到 2.0V 时系统即能正常工作。

当 V_{DD}/V_{DDA} 低于指定的限位电压 V_{POR}/V_{PDR} 时，系统保持为复位状态，而无需外部复位电路。关于上电复位和掉电复位的细节请参考数据手册的电气特性部分。

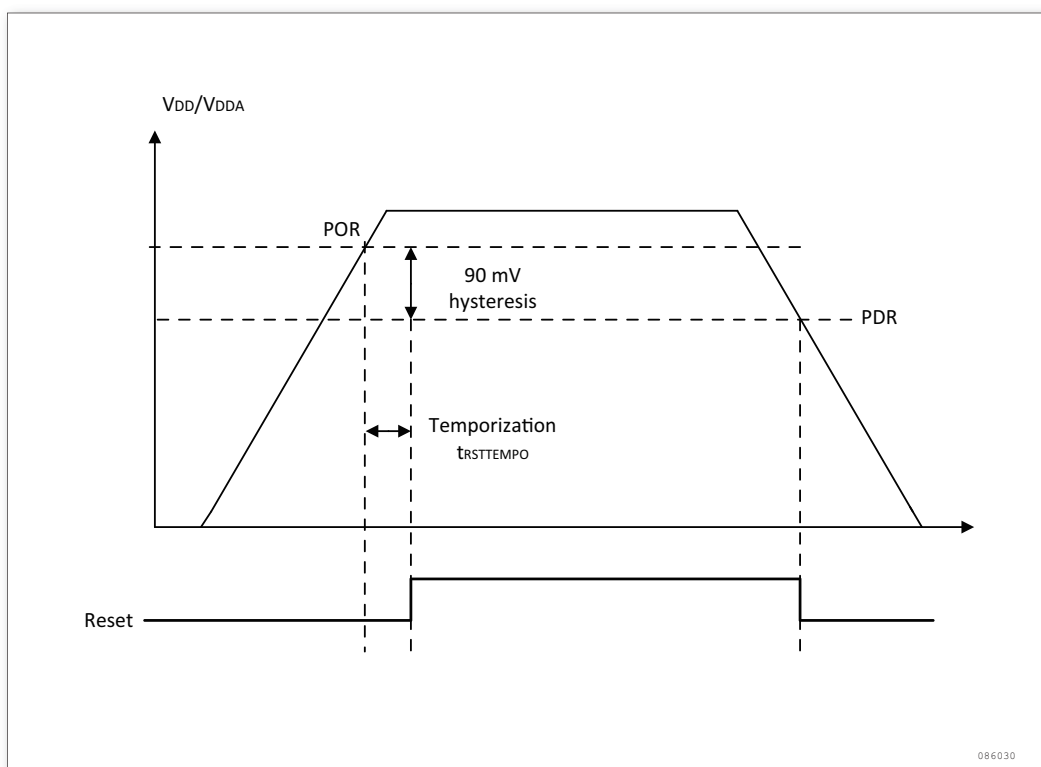


图 9. 上电复位和掉电复位的波形图

4.2.2 可编程电压监测器 (PVD)

用户可以利用 PVD 对 V_{DD} 电压与电源控制寄存器 (PWR_CR) 中的 PLS 位进行比较来监控电源，这几位选择监控电压的阈值。

通过设置 PVDE 位来使能 PVD。

电源控制/状态寄存器 (PWR_CSR) 中的 PVDO 标志用来表明 V_{DD} 是高于还是低于 PVD 的电压阈值。该事件在内部连接到外部中断的第 16 线，如果该中断在外部中断寄存器中是使能的，该事件就会产生中断。当 V_{DD} 下降到 PVD 阈值以下或当 V_{DD} 上升到 PVD 阈值之上时，根据外部中断第 16 线的上升/下降边沿触发设置，就会产生 PVD 中断 (也可以通过软件配置产生 PVD 复位)。例如，这一特性可用于用于执行紧急关闭任务。

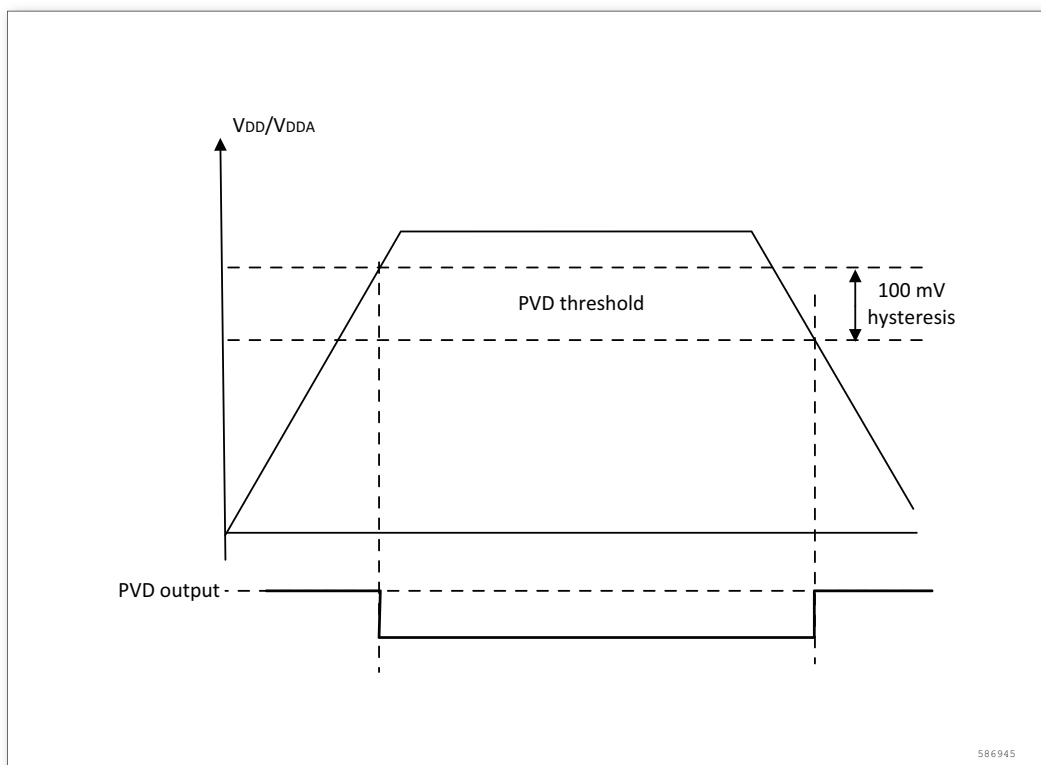


图 10. PVD 的阈值

4.3 低功耗模式

在系统或电源复位以后，微控制器处于运行状态。当 CPU 不需继续运行时，可以利用多种低功耗模式来节省功耗，例如等待某个外部事件时。用户需要根据最低电源消耗、最快速启动时间和可用的唤醒源等条件，选定一个最佳的低功耗模式。

芯片有三种低功耗模式：

- 睡眠模式: CPU 停止，所有外设包括 CPU 的外设，如 NVIC、系统时钟 (SysTick) 等仍在运行。
- 停机模式: 所有的时钟都已停止，寄存器和 SRAM 的内容依然保存。
- 待机模式: 内核电源关闭，寄存器和 SRAM 的内容全部丢失。

此外，在运行模式下，可以通过以下方式中的一种降低功耗：

- 降低系统时钟频率
- 关闭 APB 和 AHB 总线上未被使用的外设时钟

表 39. 低功耗模式一览

模式	进入	唤醒	对 1.5V 区域时钟的影响	对 V _{DD} 区域时钟的影响	电压调节器
睡眠 (SLEEP NOW 或 SLEEP ON EXIT)	WFI (Wait for Interrupt)	任一中断	CPU 时钟关, 对其他时钟和 ADC 时钟无影响	无	开
	WFE (Wait for Event)	唤醒事件			
停机	PDDS 位 SLEEPDEEP 位 WFI 或 WFE	任一外部中断 (在外部中断寄存器中设置)	所有使用 1.5V 的区域时钟都已关闭	HSI 和 HSE 的振荡器关闭	开
待机	PDDS 位 SLEEPDEEP 位 WFI 或 WFE	WKUP 引脚的上升沿、NRST 引脚上的外部复位、IWDG 复位			关

4.3.1 运行模式

降低系统时钟

在运行模式下, 通过对预分频寄存器进行编程, 可以降低任意一个系统时钟 (SYSCLK、HCLK、PCLK1) 的速度。进入睡眠模式前, 也可以利用预分频器来降低外设的时钟。

详见: 时钟配置寄存器 (RCC_CFGR)

外部时钟的控制

在运行模式下, 任何时候都可以通过停止为外设和内存提供时钟 (HCLK 和 PCLKx) 来减少功耗。为了在睡眠模式下更多地减少功耗, 可在执行 WFI 或 WFE 指令前关闭所有外设的时钟。

通过设置 AHB 外设时钟使能寄存器 (RCC_AHBENR) 和 APB1 外设时钟使能寄存器 (RCC_APB1ENR) 来开关各个外设模块的时钟。

4.3.2 睡眠模式

进入睡眠模式

通过执行 WFI 或 WFE 指令进入睡眠状态。根据 CPU 系统控制寄存器中的 SLEEPONEXIT 位的值, 有两种选项可用于选择睡眠模式进入机制:

- SLEEP-NOW: 如果 SLEEPONEXIT 位被清除, 当 WFI 或 WFE 被执行时, 微控制器立即进入睡眠模式。
- SLEEP-ON-EXIT: 如果 SLEEPONEXIT 位被置位, 系统从最低优先级的中断处理程序中退出时, 微控制器就立即进入睡眠模式。

在睡眠模式下, 所有的 I/O 引脚都保持它们在运行模式时的状态。

关于如何进入/退出睡眠模式, 更多的细节参考表 40 和表 41。

表 40. SLEEP NOW 模式

SLEEP NOW 模式	说明
进入	在以下条件下执行 WFI(Wait for Interrupt) 或 WFE(Wait for Event) 指令： - SLEEPDEEP = 0 - SLEEPONEXIT = 0 参考 CPU 系统控制寄存器。
退出	如果执行 WFI 进入睡眠模式：中断：参考中断向量表 如果执行 WFE 进入睡眠模式：唤醒事件：参考唤醒事件管理
唤醒延时	无

表 41. SLEEP ON EXIT 模式

SLEEP ON EXIT 模式	说明
进入	在以下条件下执行 WFI(Wait for Interrupt) 或 WFE(Wait for Event) 指令： - SLEEPDEEP = 0 - SLEEPONEXIT = 1 参考 CPU 系统控制寄存器。
退出	如果执行 WFI 进入睡眠模式：中断或清除 CPU 控制寄存器位 1 如果执行 WFE 进入睡眠模式：唤醒事件：参考唤醒事件管理
唤醒延时	无

4.3.3 停机模式

停机模式是在 CPU 的深睡眠模式基础上结合了外设的时钟控制机制，在停机模式下电压调节器可运行在正常模式。此时在 1.5V 供电区域的的所有时钟都被停止，HSI 和 HSE 振荡器的功能被禁止，SRAM 和寄存器内容被保留下来。在停机模式下，所有的 I/O 引脚都保持它们在运行模式时的状态。

进入停机模式

可以通过对独立的控制位进行编程，可选择以下功能：

- 独立看门狗 (IWDG)：可通过写入看门狗的键寄存器或硬件选择来启动 IWDG。
- 内部振荡器 (LSI 振荡器)：通过控制/状态寄存器 (RCC_CSR) 的 LSION 位来设置。

在停机模式下，如果在进入该模式前 ADC 没有被关闭，那么这些外设仍然消耗电流。通过设置寄存器 ADC_ADCFG 的 ADEN 位为 0 可关闭这个外设。其他没有使用的 GPIO 需要设置模拟输入，否则有电流消耗。

退出停机模式

当一个中断或唤醒事件导致退出停机模式时，HSI 振荡器被选为系统时钟。时钟频率为 HSI 的 6 分频。

当电压调节器处于正常功耗模式下，系统从停机模式退出时，将会有一段额外的启动延时。

关于如何进入/退出停机模式，详见表 42。

表 42. 停机模式

停机模式	说明
进入	在以下条件下执行 WFI(Wait for Interrupt) 或 WFE(Wait for Event) 指令： - 设置 CPU 系统控制寄存器中的 SLEEPDEEP 位 - 清除电源控制寄存器 (PWR_CR) 中的 PDDS 位 - 系统时钟切换至 LSI 或 HSI 注：为了进入停机模式，所有的外部中断的请求位 (挂起寄存器 (EXTI_PEND))
退出	标志都必须被清除，否则停机模式的进入流程将会被跳过，程序继续运行。 在以下条件下执行 WFI(Wait for Interrupt) 指令： 任一外部中断引线被设置为中断模式 (相应的外部中断向量在 NVIC 中必须使能)。 参见中断向量表 在以下条件下执行 WFE(Wait for Event) 指令： 任一外部中断引线被设置为事件模式。参见唤醒事件管理。
唤醒延时	LSI 或 HSI 的唤醒时间

4.3.4 待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。整个 1.5V 供电区域被断电。HSI 和 HSE 振荡器也被断电。SRAM 和寄存器内容丢失。待机电路维持供电。

进入待机模式

可以通过设置独立的控制位，选择以下待机模式的功能：

- 独立看门狗 (IWDG)：可通过写入看门狗的键寄存器或硬件选择来启动 IWDG。
- 内部振荡器 (LSI 振荡器)：通过控制/状态寄存器 (RCC_CSR) 的 LSION 位来设置。

退出待机模式

当一个外部复位 (NRST 引脚)、IWDG 复位或 WKUP 引脚上的上升沿，微控制器从待机模式退出。从待机唤醒后，除了电源控制/状态寄存器 (PWR_CSR)，所有寄存器被复位。

从待机模式唤醒后的代码执行等同于复位后的执行 (读取复位向量等)。电源控制/状态寄存器 (PWR_CSR) 将会指示内核由待机状态退出。

关于如何进入/退出待机模式，详见表 43。

表 43. 待机模式

待机模式	说明
进入	在以下条件下执行 WFI(Wait for Interrupt) 或 WFE(Wait for Event) 指令： - 设置 CPU 系统控制寄存器中的 SLEEPDEEP 位 - 设置电源控制寄存器 (PWR_CR) 中的 PDDS 位 - 清除电源控制/状态寄存器 (PWR_CSR) 中的 WUF 位
退出	WKUP 引脚的上升沿、NRST 引脚上外部复位、IWDG 复位。
唤醒延时	复位阶段时电压调节器的启动。

待机模式下的输入/输出端口状态

在待机模式下，所有的 I/O 引脚处于高阻态，除了以下的引脚：

- 复位引脚 (PA14)
在进入待机模式前，需要软件配置 GPIO 为浮空输入模式，RCC_SYSCFG 的 SFT_NRST_RMP 位设为 1，并外接上拉电阻，且要求低电平至少保持 4us。
- 唤醒引脚 (PA0)
若 EWUP 无效，PA0 为模拟口。
若 EWUP 有效，PA0 为浮空输入。

调试模式

默认情况下，如果在进行调试微处理器时，使微处理器进入停止或待机模式，将失去调试连接。这是因为 CPU 内核失去了时钟。

然而，通过设置 DBGMCU_CR 寄存器中的某些配置位，可以在使用低功耗模式下调试软件。更多的细节请参考：低功耗模式的调试支持。

4.4 电源控制寄存器

表 45. 电源控制寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	PWR_CR	电源控制寄存器	0x00000000	小节 4.4.1
0x04	PWR_CSR	电源控制/状态寄存器	0x00000000	小节 4.4.2

4.4.1 电源控制寄存器 (PWR_CR)

地址偏移：0x00

复位值：0x0000 0000(从待机模式唤醒时清除)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
Res.																	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Res.			PLS				Res.				PVDE	Res.			LPDS		
rw								w								rw	

Bit	Field	Type	Reset	Description
31 : 16	Reserved			始终读为 0。
15 : 14	STDBY _FS_WK	rw	0x00	STDBY_FS_WK: 快速唤醒 standby 模式选择位 00 = 9 个 LSI 周期唤醒 01 = 7 个 LSI 周期唤醒 10 = 5 个 LSI 周期唤醒 11 = 2 个 LSI 周期唤醒
13	Reserved			始终读为 0。

Bit	Field	Type	Reset	Description
12 : 9	PLS	rw	0x00	PVD 电平选择 (PVD level selection) 这些位用于选择电源电压监测器的电压阈值 0000: 1.8V 0100: 3.0V 1000: 4.2V 0001: 2.1V 0101: 3.3V 1001: 4.5V 0010: 2.4V 0110: 3.6V 1010: 4.8V 0011: 2.7V 0111: 3.9V 其他: 保留 注: 详细说明参见数据手册中的电气特性部分。
8:5	Reserved			始终读为 0
4	PVDE	rw	0x00	电源电压监测器 (PVD) 使能 (Power voltage detector enable) 1 = 开启 PVD 0 = 禁止 PVD
3	CSBF	w	0x00	清除待机位 (Clear standby flag) 始终读出为 0 1 = 清除 SBF 待机位 (写) 0 = 无功效
2	CWUF	w	0x00	清除唤醒位 (Clear wakeup flag) 始终读出为 0 1 = 2 个系统时钟周期后清除 WUF 唤醒位 (写) 0 = 无功效
1	PDDS	rw	0x00	掉电深睡眠 (Power down deepsleep) 1 = CPU 进入深睡眠时进入待机模式 0 = CPU 进入深睡眠时进入停机模式
0	LPDS	rw	0x00	深睡眠下的低功耗 PDDS = 0 时, 与 PDDS 位协同操作 1 = 进入停机模式时, 电压调节器处于低功耗模式 0 = 进入停机模式时, 电压调节器处于正常功耗模式 当进入停机模式时, LPDS = 1 时的电流小于 LPDS = 0 时的电流 详见该芯片对应的数据手册。

4.4.2 电源控制/状态寄存器 (PWR_CSR)

地址偏移: 0x04

复位值: 0x0000 0000(从待机模式唤醒时不被清除)

与标准的 APB 读相比, 读次寄存器需要额外的 APB 周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.													PVDO	Res.	
rw															

Bit	Field	Type	Reset	Description
31 : 9	Reserved			始终读为 0。
8	EWUP	rw	0x00	使能 WKUP 引脚 (Enable WKUP pin) 1 = WKUP 引脚用于将 CPU 从待机模式唤醒, WKUP 引脚被强置为输入下拉的配置 (WKUP 引脚上的上升沿将系统从待机模式唤醒) 0 = WKUP 引脚为通用 I/O。WKUP 引脚上的事件不能将 CPU 从待机模式唤醒 注: 在系统复位时清除这一位。
7:3	Reserved			始终读为 0
2	PVDO	rw	0x00	PVD 输出 (PVD output) 当 PVD 被 PVDE 位使能后该位才有效 1 = V_{DD}/V_{DDA} 低于由 PLS 选定的 PVD 阈值 0 = V_{DD}/V_{DDA} 高于由 PLS 选定的 PVD 阈值 注: 在待机模式下 PVD 被停止。因此, 待机模式后或复位后, 直到设置 PVDE 位之前, 该位为 0。
1	SBF	r	0x00	待机标志 (Standby flag) 该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置电源控制寄存器 (PWR_CR) 的 CSBF 位清除。 1 = 系统进入待机模式 0 = 系统不在待机模式
0	WUF	r	0x00	唤醒标志 (Wakeup flag) 该位由硬件设置, 并只能由 POR/PDR (上电/掉电复位) 或设置电源控制寄存器 (PWR_CR) 的 CWUF 位清除。 0 = 没有发生唤醒事件 注: 当 WKUP 引脚已经是高电平时, 在 (通过设置 EWUP 位) 使能 WKUP 引脚时, 会检测到一个额外的事件。

5

复位和时钟控制 (RCC)

复位和时钟控制 (RCC)

5.1 复位

支持两种复位形式，分别为系统复位、上电复位。

5.1.1 系统复位

除时钟控制寄存器 (RCC_CSR) 中的复位标志以及内部低速振荡器使能标志，电源控制寄存器 (PWR_CSR) 中的待机和唤醒标志，系统配置寄存器中的软件映射外部复位标志 (RCC_SYSCFG.SFT_NRST_RMP)，DBG 控制寄存器 (DBG_CR) 不受系统复位影响，其余寄存器都将被系统复位。

当以下事件中的一件发生时，产生一个系统复位：

1. nRST 管脚上的低电平 (外部复位)
2. 窗口看门狗计数终止 (WWDG 复位)
3. 独立看门狗计数终止 (IWDG 复位)
4. 软件复位 (SW 复位)
5. CPU 死锁复位
6. PVD 复位

可通过查看 RCC_CSR 控制状态寄存器中的复位状态标志位识别复位事件来源。

注：当 RCC_SYSCFG 的 SFT_NRST_RMP 位也设为 1 时，将 PA14 映射为 nRST 外部复位，且要求低电平至少 4us，系统复位后 nRST 的配置不受系统复位影响。

软件复位

通过将 CPU 中断应用与复位控制寄存器 (AIRCR) 中的 SYSRESETREQ 位置 ‘1’，可实现软件复位。

5.1.2 电源复位

当以下事件之一发生时，产生电源复位：

1. 上电/掉电复位 (POR/PDR 复位)
2. 从待机模式中返回

电源复位将复位所有寄存器。

图 11 复位源将最终作用于 RESET 管脚，并在复位过程中保持低电平。复位入口矢量被固定在地址 0x0000 0004。

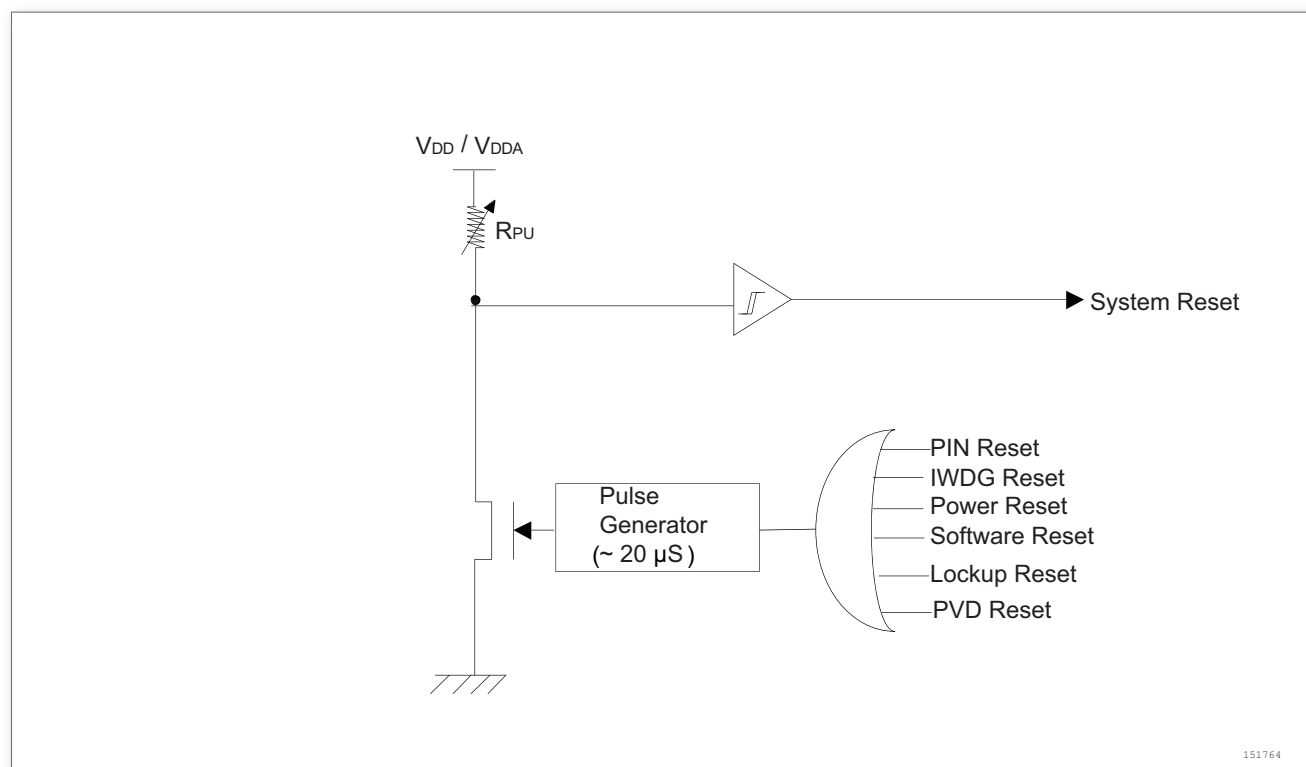


图 11. 复位电路

5.2 时钟

四种不同的时钟源可被用来驱动系统时钟 (SYSCLK):

- HSI 振荡器时钟
- HSE 振荡器时钟
- LSI 时钟
- HSI 振荡器 6 分频时钟

当不被使用时，任一个时钟源都可被独立地启动或关闭，由此优化系统功耗。

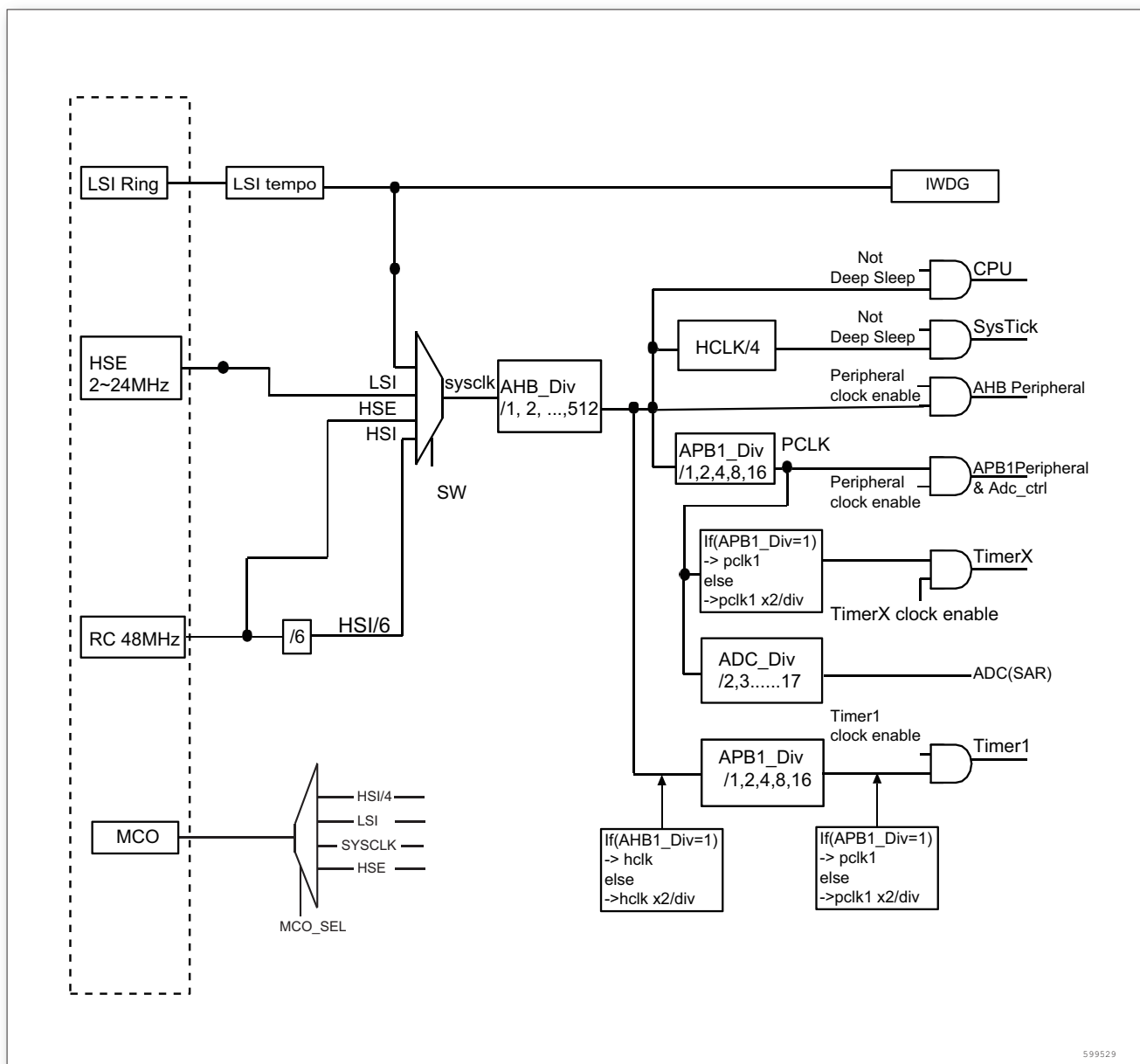


图 12. 时钟树

用户可通过多个预分频器配置 AHB 和低速 APB(APB1) 域的频率。AHB 和 APB1 域的最大频率是 48MHz。

RCC 通过 AHB 时钟 4 分频后供给 CPU 系统定时器的 (SysTick) 外部时钟。通过对 SysTick 控制与状态寄存器的设置，可选择上述时钟或 AHB 时钟作为 SysTick 时钟。ADC 时钟由 APB1 时钟分频后获得。

定时器时钟频率分配由硬件按以下 2 种情况自动设置：

1. 如果相应的 APB 预分频系数是 1，定时器的时钟频率与所在 APB 总线频率一致。
2. 否则，定时器的时钟频率被设为与其相连的 APB 总线频率的 2 倍。

FCLK 是 CPU 的自由运行时钟。

5.2.1 HSE 时钟

高速外部时钟信号 (HSE) 由以下两种时钟源产生：

- HSE 外部晶体/陶瓷谐振器
- HSE 用户外部时钟

为了减少时钟输出的失真和缩短启动稳定时间，晶体/陶瓷谐振器和负载电容器必须尽可能地靠近振荡器管脚。负载电容值必须根据所选择的振荡器来调整。

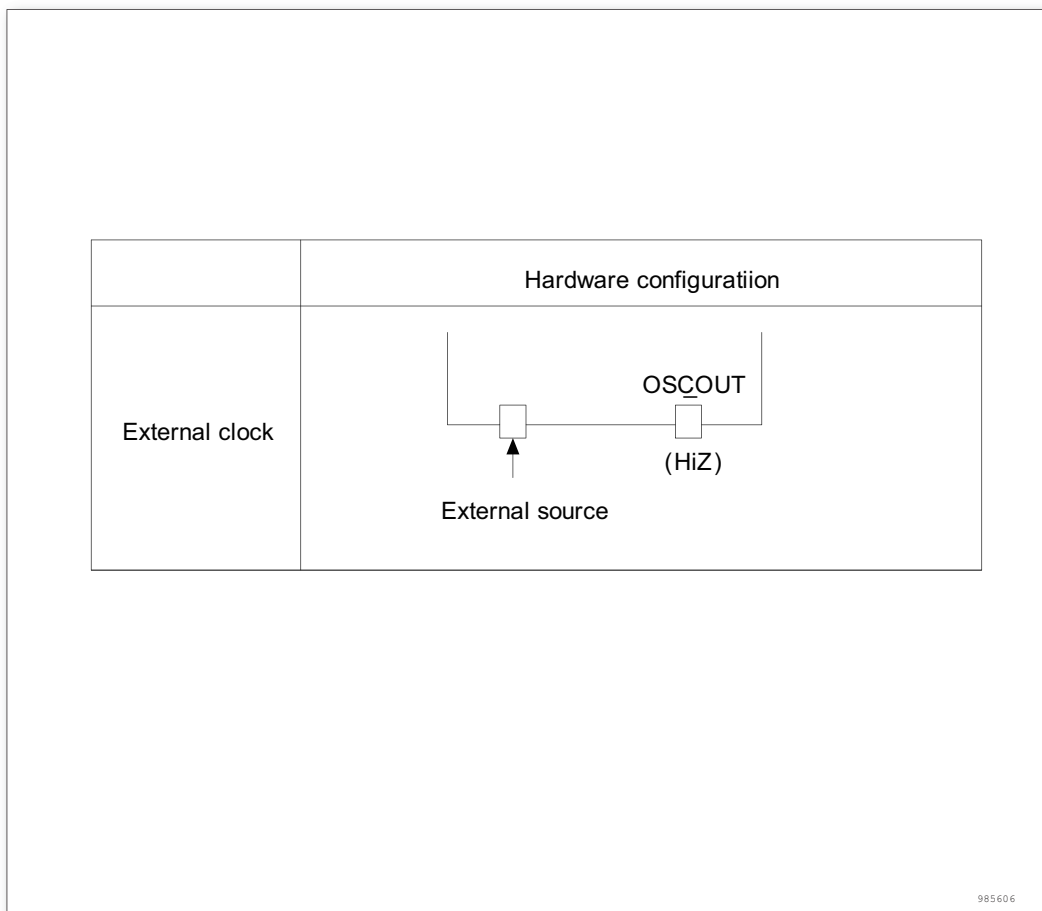


图 13. 时钟源

外部时钟源 (HSE 旁路)

在这个模式里，必须提供外部时钟。它的频率最高可达 24MHz。用户可通过设置在时钟控制寄存器中的 HSEBYP 和 HSEON 位来选择这一模式。外部时钟信号 (50% 占空比的方波、正弦波) 必须连到 OSC_IN 管脚，同时保证 OSC_OUT 管脚悬空。并且 PB0/PB1 必须设置为模拟口。

外部晶体/陶瓷谐振器 (HSE 晶体)

外部振荡器可为系统提供更为精确的主时钟。相关的硬件配置可参考图 13，进一步信息可参考数据手册的电气特性部分。

在时钟控制寄存器 RCC_CR 中的 HSERDY 位用来指示高速外部振荡器是否稳定。在启动时，直到这一位被硬件置 '1'，时钟才被释放出来。如果在时钟中断寄存器 RCC_CIR 中允许产生中断，将会产生相应中断。

HSE 晶体可以通过设置时钟控制寄存器里 RCC_CR 中的 HSEON 位被启动和关闭。

5.2.2 HSI 时钟

HSI 时钟信号由内部 HSI 振荡器产生，可直接作为系统时钟。HSI 振荡器能够在不需要任何外部器件的条件下提供系统时钟。它的启动时间比 HSE 晶体振荡器短。但是即使在校准之后它的时钟频率精度仍较差。

校准

制造工艺决定了不同芯片的振荡器频率会不同，这就是为什么每个芯片的 HSI 时钟频率在出厂前已经被校准到 1%(25°C) 的原因。系统复位时，工厂校准值被装载到时钟控制寄存器的 HSICAL 位。

时钟控制寄存器中的 HSIRDY 位用来指示 HSI 振荡器是否稳定。在时钟启动过程中，直到这一位被硬件置‘1’，HSI 振荡器输出时钟才被释放。HSI 振荡器可由时钟控制寄存器中的 HSION 位来启动和关闭。

如果 HSE 晶体振荡器失效，HSI 时钟会被作为备用时钟源，参考小节 5.2.5。

5.2.3 LSI 时钟

LSI 振荡器担当一个低功耗时钟源的角色，它可以在停机和待机模式下保持运行，为独立看门狗和自动唤醒单元提供时钟。LSI 时钟频率大约 40KHz。进一步信息请参考数据手册中有关电气特性部分。

LSI 振荡器可以通过控制/状态寄存器 (RCC_CSR) 里的 LSION 位来启动或关闭。在控制/状态寄存器 (RCC_CSR) 里的 LSIRDY 位指示低速内部振荡器是否稳定。在启动阶段，直到这个位被硬件设置为‘1’后，此时钟才被释放。如果在时钟中断寄存器 (RCC_CIR) 里被允许，将产生 LSI 中断请求。

5.2.4 系统时钟 (SYSCLK) 选择

系统复位后，HSI 振荡器 6 分频被选为系统时钟。当时钟源被直接作为系统时钟时，它不能被停止。

只有当目标时钟源准备就绪 (启动到稳定阶段的延迟)，从一个时钟源到另一个时钟源的切换才会发生。在被选择时钟源没有就绪时，系统时钟的切换不会发生。直至目标时钟源就绪，才发生切换。

在时钟配置寄存器 (RCC_CFGR) 里的状态位指示哪个时钟已经准备好了，哪个时钟目前被用作系统时钟。

5.2.5 时钟安全系统 (CSS)

时钟安全系统可以通过软件被激活。一旦其被激活，时钟监测器将在 HSE 振荡器启动延迟后被使能，并在 HSE 时钟关闭后关闭。

如果 HSE 时钟发生故障，HSE 振荡器被自动关闭，时钟失效事件将被送到高级定时器 TIM1 的刹车输入端，并产生时钟安全中断 CSS，允许软件完成营救操作。此 CSS 中断连接到 CPU 的 NMI 中断。

注：一旦 CSS 被激活，并且 HSE 时钟出现故障，CSS 中断就产生，并且 NMI 也自动产生。NMI 将被不断执行，直到 CSS 中断挂起位被清除。因此，在 NMI 的处理程序中必须通过设置时钟中断寄存器 (RCC_CIR) 里的 CSSC 位来清除 CSS 中断。

如果 HSE 振荡器被直接或间接地作为系统时钟，时钟故障将导致系统时钟自动切换到 HSI 振荡器，同时外部 HSE 振荡器被关闭。

5.2.6 看门狗时钟

如果独立看门狗已经由硬件选项或软件启动，LSI 振荡器将被强制在打开状态，在 LSI 振荡器稳定后，时钟供应给 IWDG。

5.2.7 时钟输出

微控制器允许输出时钟信号到外部 MCO 管脚。

相应的 GPIO 端口寄存器必须被配置为相应功能。以下 4 个时钟信号可被选作 MCO 时钟：

- SYSCLK
- HSI/4
- HSE
- LSI

时钟的选择由时钟配置寄存器 (RCC_CFGR) 中的 MCO[2: 0] 位控制。

5.3 RCC 寄存器堆与存储器映射描述

表 51. RCC 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	RCC_CR	时钟控制寄存器	0x0000XX01	小节 5.3.1
0x04	RCC_CFGR	时钟配置寄存器	0x00000000	小节 5.3.2
0x08	RCC_CIR	时钟中断寄存器	0x00000000	小节 5.3.3
0x10	RCC_APB1RSTR	APB1 外设复位寄存器	0x00000000	小节 5.3.4
0x14	RCC_AHBENR	AHB 外设时钟使能寄存器	0x00000014	小节 5.3.5
0x1C	RCC_APB1ENR	APB1 外设时钟使能寄存器	0x00000000	小节 5.3.6
0x24	RCC_CSR	控制状态寄存器	0x08000000	小节 5.3.7
0x28	RCC_AHBSTR	AHB 外设复位寄存器	0x00000000	小节 5.3.8
0x40	RCC_SYSCFG	系统配置寄存器	0x020F0003	小节 5.3.9

5.3.1 时钟控制寄存器 (RCC_CR)

地址偏移：0x00

复位值：0x0000 XX01

访问：无等待状态，字，半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.													HSERDY	HSEON	
													r	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.													HSIRDY	HSION	
													r	rw	

Bit	Field	Type	Reset	Description
31 : 20	Reserved			始终读为 0。
19	CSSON	rw	0x00	CSSON: 时钟安全系统使能 (Clock security system enable) 由软件置 ‘1’ 或清零以使能时钟监测器。 0: 时钟监测器关闭 1: 如果外部振荡器就绪, 时钟监测器开启
18	HSEBYP	rw	0x00	HSEBYP: 外部高速时钟旁路 (External high-speed clock bypass) 在调试模式下由软件置 ‘1’ 来旁路外部晶体振荡器。只有外部振荡器关闭的情况下, 才能写入该位。如果外部晶体振荡器未关闭的情况下操作该位, 当退出旁路模式时, HSE 时钟任然保持。 0: 外部振荡器没有旁路 1: 外部晶体振荡器被旁路
17	HSERDY	r	0x00	HSERDY: 外部高速时钟就绪标志 (External high-speed clock ready flag) 由硬件置 ‘1’ 来指示外部时钟已经稳定。 0: 外部时钟没有就绪 1: 外部时钟就绪
16	HSEON	rw	0x00	HSEON: 外部高速时钟使能 (External high-speed clock enable) 由软件置 ‘1’ 或清零。 当进入待机和停机模式时, 该位由硬件清零, 关闭外部时钟。当外部时钟被用作或被选择将要作为系统时钟时, 该位不能被清零。 0: HSE 振荡器关闭 1: HSE 振荡器开启
15: 3	Reserved			始终读为 0
2	HSITEN	rw	0x00	HSITEN: 内部高速时钟温度校准使能 由软件置 ‘1’ 或清零。 0: 内部 HSI 时钟不自动跟随温度校准 1: 内部 HSI 时钟自动跟随温度校准
1	HSIRDY	r	0x00	HSIRDY: 内部高速时钟就绪标志 (Internal high-speed clock ready flag) 由硬件置 ‘1’ 来指示内部时钟已经稳定。在 HSION 位清零后, 该位需要 3 个 AHB 时钟周期清零。 0: 内部高速时钟没有就绪 1: 内部高速时钟就绪

Bit	Field	Type	Reset	Description
0	HSION	rw	0x01	HSION: 内部高速时钟使能 (Internal high-speed clock enable) 由软件置 ‘1’ 或清零。 当从待机和停机模式返回或用作系统时钟的外部时钟发生故障时, 该位由硬件置 ‘1’ 来启动内部振荡器。当内部高速时钟被直接或间接地用作或被选择将要作为系统时钟时, 该位不能被清零。 0: 内部高速时钟关闭 1: 内部高速时钟开启

5.3.2 时钟配置寄存器 (RCC_CFGR)

地址偏移: 0x04

复位值: 0x0000 0000

访问: 无等待状态, 字, 半字和字节访问

只有当访问发生在时钟切换时, 才会插入 1 或 2 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					MCO			Reserved							
					rw	rw	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					PPRE1			HPRE			SWS		SW		
					rw	rw	rw	rw	rw	rw	rw	r	r	rw	rw

Bit	Field	Type	Reset	Description
31 : 27	Reserved			始终读为 0
26 : 24	MCO	rw	0x00	MCO: 微控制器时钟输出 (Microcontroller clock output) 由软件置 ‘1’ 或清零。 00x: 保留; 010: LSI 时钟输出; 011: 保留 100: 系统时钟 (SYSCLK) 输出; 101: HSI4 分频时钟输出; 110: HSE 时钟输出; 111: 保留 注意: 1. 该时钟输出在启动和切换 MCO 时钟源时可能会被截断。 2. 系统时钟作为输出至 MCO 管脚时, 请保证输出时钟频率不超过 50MHz (IO 口最高频率)
23 : 11	Reserved			始终读为 0

Bit	Field	Type	Reset	Description
10: 8	PPRE1	rw	0x00	PPRE1: APB1 预分频系数 由软件置 ‘1’ 或清 ‘0’ 来控制低速 APB1 时钟 (PCLK1) 预分频系数。 0xx: HCLK 不分频 100: HCLK 2 分频 101: HCLK 4 分频 110: HCLK 8 分频 111: HCLK 16 分频
7: 4	HPRE	rw	0x00	HPRE: AHB 预分频系数 由软件置 ‘1’ 或清 ‘0’ 来控制 AHB 时钟的预分频系数。 0xxx: SYSCLK 不分频 1000: SYSCLK 2 分频 1001: SYSCLK 4 分频 1010: SYSCLK 8 分频 1011: SYSCLK 16 分频 1100: SYSCLK 64 分频 1101: SYSCLK 128 分频 1110: SYSCLK 256 分频 1111: SYSCLK 512 分频 注: 当 AHB 时钟的预分频系数大于 1 时, 必须开启预取缓冲器。 详见读闪存存储器一节。
3: 2	SWS	r	0x00	SWS: 系统时钟选择状态 (System clock switch status) 00: HSI 6 分频作为系统时钟; 01: HSE 作为系统时钟; 10: HSI 作为系统时钟; 11: LSI 作为系统时钟;
1: 0	SW	rw	0x00	SW: 系统时钟开关 (System clock switch) 由软件置 ‘1’ 或清 ‘0’ 来选择系统时钟源。 在从停止或待机模式中返回时或直接或间接作为系统时钟的 HSE 出现故障时, 由硬件强制选择 HSI6 分频作为系统时钟 00: HSI 6 分频作为系统时钟; 01: HSE 作为系统时钟; 10: HSI 作为系统时钟。 11: LSI 作为系统时钟。

5.3.3 时钟中断寄存器 (RCC_CIR)

地址偏移: 0x08

复位值: 0x0000 0000

访问: 无等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								Reserved				HSE RDYC	HSI RDYC	Res.	LSI RDYC
												rc_w1	rc_w1	rc_w1	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				HSE RDYIE	HSI RDYIE	Res.	LSI RDYIE	Reserved				HSE RDYF	HSI RDYF	Res.	LSI RDYF
				rw	rw	rw						r	r	r	

Bit	Field	Type	Reset	Description
31 : 24	Reserved			始终读为 0
23	CSSC	rc_w1	0x00	CSSC: 清除时钟安全系统中断 (Clock security system interrupt clear) 由软件置 '1' 来清除 CSSF 安全系统中断标志位 CSSF。 0: 无作用 1: 清除 CSSF 安全系统中断标志位
22 : 20	Reserved			始终读为 0
19	HSERDYC	rc_w1	0x00	HSERDYC: 清除 HSE 就绪中断 (HSE ready interrupt clear) 由软件置 '1' 来清除 HSE 就绪中断标志位 HSERDYF。 0: 无作用 1: 清除 HSE 就绪中断标志位 HSERDYF
18	HSIRDYC	rc_w1	0x00	HSIRDYC: 清除 HSI 就绪中断 (HSI ready interrupt clear) 由软件置 '1' 来清除 HSI 就绪中断标志位 HSIRDYF。 0: 无作用 1: 清除 HSI 就绪中断标志位 HSIRDYF
17	Reserved			始终读为 0
16	LSIRDYC	rc_w1	0x00	LSIRDYC: 清除 LSI 就绪中断 (LSI ready interrupt clear) 由软件置 '1' 来清除 LSI 就绪中断标志位 LSIRDYF。 0: 无作用 1: 清除 LSI 就绪中断标志位 LSIRDYF
15: 12	Reserved			始终读为 0
11	HSERDYIE	rw	0x00	HSERDYIE: HSE 就绪中断使能 (HSE ready interrupt enable) 由软件置 '1' 或清 '0' 来使能或关闭外部振荡器就绪中断。 0: HSE 就绪中断关闭 1: HSE 就绪中断使能
10	HSIRDYIE	rw	0x00	HSIRDYIE: HSI 就绪中断使能 (HSI ready interrupt enable) 由软件置 '1' 或清 '0' 来使能或关闭内部振荡器就绪中断。 0: HSI 就绪中断关闭 1: HSI 就绪中断使能

Bit	Field	Type	Reset	Description
9	Reserved			始终读为 0
8	LSIRDYIE	rw	0x00	LSIRDYIE: LSI 就绪中断使能 (LSI ready interrupt enable) 由软件置 ‘1’ 或清 ‘0’ 来使能或关闭内部 40KHz 振荡器就绪中断。 0: LSI 就绪中断关闭 1: LSI 就绪中断使能
7	CSSF	r	0x00	CSSF: 时钟安全系统中断标志 (Clock security system interrupt flag) 在外部振荡器时钟出现故障时, 由硬件置 ‘1’。 由软件通过置 ‘1’ CSSC 位来清除。 0: 无 HSE 时钟失效产生的安全系统中断 1: HSE 时钟失效导致了时钟安全系统中断
6: 4	Reserved			始终读为 0
3	HSERDYF	r	0x00	HSERDYF: HSE 就绪中断标志 (HSE ready interrupt flag) 在外部低速时钟就绪时, 由硬件置 ‘1’。 由软件通过置 ‘1’ HSERDYC 位来清除。 0: 无外部振荡器产生的时钟就绪中断 1: 外部振荡器导致时钟就绪中断
2	HSIRDYF	r	0x00	HSIRDYF: HSI 就绪中断标志 (HSI ready interrupt flag) 在内部高速时钟就绪时, 由硬件置 ‘1’。 由软件通过置 ‘1’ HSIRDYC 位来清除。 0: 无内部 HSI 振荡器产生的时钟就绪中断 1: 内部 HSI 振荡器导致时钟就绪中断
1	Reserved			始终读为 0
0	LSIRDYF	r	0x00	LSIRDYF: LSI 就绪中断标志 (LSI ready interrupt flag) 在内部低速时钟就绪时, 由硬件置 ‘1’。 由软件通过置 ‘1’ LSIRDYC 位来清除。 0: 无内部 40KHz 振荡器产生的时钟就绪中断; 1: 内部 40KHz 振荡器导致时钟就绪中断。

5.3.4 APB1 外设复位寄存器 (RCC_APB1RSTR)

地址偏移: 0x10

复位值: 0x0000 0000

访问: 无等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	SYSCFG	DBGMCU	PWR	Reserved						I2C1	Reserved			USART2	USART1
	rw	rw	rw							rw				rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			SPI1	Res.		ADC1	Reserved					TIM14	TIM1	TIM3	Res.
			rw			rw						rw	rw	rw	

Bit	Field	Type	Reset	Description
31	Reserved			始终读为 0
30	SYSCFG	rw	0x00	SYSCFG: 系统配置寄存器复位 (System configuration register reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 SYSCFG
29	DBGMCU	rw	0x00	DBGMCU: DBGMCU 复位 (DBGMCU reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 DBGMCU
28	PWR	rw	0x00	PWR: 电源接口复位 (Power interface reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位电源接口
27 : 22	Reserved			始终读为 0
21	I2C1	rw	0x00	I2C1: I2C1 复位 (I2C1 reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 I2C1
20 : 18	Reserved			始终读为 0
17	UART2	rw	0x00	UART2: UART2 复位 (UART2 reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 UART2
16	UART1	rw	0x00	UART1: UART1 复位 (UART1 reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 UART1
15 : 13	Reserved			始终读为 0
12	SPI1	rw	0x00	SPI1: SPI1 复位 (SPI1 reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 SPI1
11	WWDG	rw	0x00	WWDG: 窗口看门狗复位 (Window watchdog reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位窗口看门狗
10	Reserved			始终读为 0
9	ADC1	rw	0x00	ADC1: ADC1 接口复位 (ADC1 interface reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 ADC1 接口

Bit	Field	Type	Reset	Description
8 : 4	Reserved			始终读为 0
3	TIM14	rw	0x00	TIM14: 定时器 14 复位 (Timer14 reset) 由软件置 ‘1’ 或清 ‘0’。 0: 无作用 1: 复位 TIM14 定时器
2	TIM1	rw	0x00	TIM1: 定时器 1 复位 (Timer1 reset) 由软件置 ‘1’ 或清 ‘0’。 0: 无作用 1: 复位 TIM1 定时器
1	TIM3	rw	0x00	TIM3: 定时器 3 复位 (Timer3 reset) 由软件置 ‘1’ 或清 ‘0’。 0: 无作用 1: 复位 TIM3 定时器
0	Reserved			始终读为 0

5.3.5 AHB 外设时钟使能寄存器 (RCC_AHBENR)

地址偏移: 0x14

复位值: 0x0000 0014

访问: 无等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													GPIOB	GPIOA	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									CRC	Res.	FLASH	Res.	SRAM	Reserved	
									rw		rw		rw		

Bit	Field	Type	Reset	Description
31 : 19	Reserved			始终读为 0
18	GPIOB	rw	0x00	GPIOB: GPIOB 时钟使能 (GPIOB clock enable) 0: GPIOB 时钟关闭 1: GPIOB 时钟开启
17	GPIOA	rw	0x00	GPIOA: GPIOA 时钟使能 (GPIOA clock enable) 0: GPIOA 时钟关闭 1: GPIOA 时钟开启
16 : 7	Reserved			始终读为 0
6	CRC	rw	0x00	CRC: CRC 时钟使能 (CRC clock enable) 由软件置 ‘1’ 或清 ‘0’。 0: CRC 时钟关闭 1: CRC 时钟开启
5	Reserved			始终读为 0

Bit	Field	Type	Reset	Description
4	FLASH	rw	0x01	FLASH: FLASH 时钟使能 (FLASH clock enable) 0: FLASH 时钟关闭 1: FLASH 时钟开启
3	Reserved			始终读为 0
2	SRAM	rw	0x01	SRAM: SRAM 时钟使能 (SRAM interface clock enable) 0: SRAM 时钟关闭 1: SRAM 时钟开启
0 : 1	Reserved			始终读为 0

5.3.6 APB1 外设时钟使能寄存器 (RCC_APB1ENR)

地址偏移: 0x1C

复位值: 0x0000 0000

访问: 无等待周期, 字, 半字和字节访问

注: 当外设时钟没有启动时, 软件不能读出外设寄存器的数值

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Res.	SYSCFG	DBGMCU	PWR	Reserved							I2C1	Reserved			USART2	USART1
rw		rw	rw								rw				rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved			SPI1	Reserved		ADC1	Reserved					TIM14	TIM1	TIM3	Res.	
			rw			rw						rw	rw	rw		

Bit	Field	Type	Reset	Description
31	Reserved			始终读为 0
30	SYSCFG	rw	0x00	SYSCFG: 系统配置寄存器时钟使能 (System configuration register enable) 由软件置 '1' 或清 '0'。 0: 系统配置寄存器时钟关闭 1: 系统配置寄存器时钟开启
29	DBGMCU	rw	0x00	DBGMCU 时钟使能 (DBGMCU enable) 由软件置 '1' 或清 '0'。 0: 禁用 1: 开启
28	PWR	rw	0x00	PWR: 电源接口时钟使能 (Power interface enable) 由软件置 '1' 或清 '0'。 0: 电源接口时钟关闭 1: 电源接口时钟开启
27 : 22	Reserved			始终读为 0

Bit	Field	Type	Reset	Description
21	I2C1	rw	0x00	I2C1: I2C1 时钟使能 (I2C1 enable) 由软件置 ‘1’ 或清 ‘0’。 0: I2C1 时钟关闭 1: I2C1 时钟开启
20 : 18	Reserved			始终读为 0
17	UART2	rw	0x00	UART2: UART2 时钟使能 (UART2 enable) 由软件置 ‘1’ 或清 ‘0’。 0: UART2 时钟关闭 1: UART2 时钟开启
16	UART1	rw	0x00	UART1: UART1 时钟使能 (UART1 enable) 由软件置 ‘1’ 或清 ‘0’。 0: UART1 时钟关闭 1: UART1 时钟开启
15 : 13	Reserved			始终读为 0
12	SPI1	rw	0x00	SPI1: SPI1 时钟使能 (SPI1 enable) 由软件置 ‘1’ 或清 ‘0’。 0: SPI1 时钟关闭 1: SPI1 时钟开启
11	WWDG	rw	0x00	WWDG: 窗口看门狗时钟使能 (Window watchdog enable) 由软件置 ‘1’ 或清 ‘0’。 0: 窗口看门狗时钟关闭 1: 窗口看门狗时钟开启
10	Reserved			始终读为 0
9	ADC1	rw	0x00	ADC1: ADC1 接口时钟使能 (ADC1 interface enable) 由软件置 ‘1’ 或清 ‘0’。 0: ADC1 接口时钟关闭 1: ADC1 接口时钟开启
8 : 4	Reserved			始终读为 0
3	TIM14	rw	0x00	TIM14: 定时器 14 时钟使能 (Timer14 enable) 由软件置 ‘1’ 或清 ‘0’。 0: TIM14 定时器时钟关闭 1: TIM14 定时器时钟开启
2	TIM1	rw	0x00	TIM1: 定时器 1 时钟使能 (Timer1 enable) 由软件置 ‘1’ 或清 ‘0’。 0: TIM1 定时器时钟关闭 1: TIM1 定时器时钟开启
1	TIM3	rw	0x00	TIM3: 定时器 3 时钟使能 (Timer3 enable) 由软件置 ‘1’ 或清 ‘0’。 0: TIM3 定时器时钟关闭 1: TIM3 定时器时钟开启
0	Reserved			始终读为 0

5.3.7 控制状态寄存器寄存器 (RCC_CSR)

地址偏移: 0x24

复位值: 0x0800 0000

访问: 0 ~ 3 等待周期, 字, 半字和字节访问

当连续对该寄存器进行访问时, 将插入等待状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved	IWDG RSTF	SFT RSTF	POR RSTF	PIN RSTF	Res.	RMVF	LOCK UPF	PVD RSTF	Reserved						
	r	r	r	r		w	r	r							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								LOCK UPEN	PVD RSTEN	Reserved			LSIRDY	LSION	
								rw	rw				r	rw	

Bit	Field	Type	Reset	Description
31	Reserved			始终读为 0
30	WWDGRSTF	r	0x00	WWDGRSTF : 窗口看门狗复位标志 (Window watchdog reset flag) 在窗口看门狗复位发生时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无窗口看门狗复位发生 1: 发生窗口看门狗复位
29	IWDGRSTF	r	0x00	IWDGRSTF : 独立看门狗复位标志 (Independent watchdog reset flag) 在独立看门狗复位发生在 VDD 区域时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无独立看门狗复位发生 1: 发生独立看门狗复位
28	SFTRSTF	r	0x00	SFTRSTF : 软件复位标志 (Software reset flag) 在软件复位发生时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无软件复位发生 1: 发生软件复位
27	PORRSTF	r	0x01	PORRSTF : 上电/掉电复位标志 (POR/PDR reset flag) 在上电/掉电复位发生时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无上电/掉电复位发生 1: 发生上电/掉电复位
26	PINRSTF	r	0x00	PINRSTF : nRST 管脚复位标志 (PIN reset flag) 在 nRST 管脚复位发生时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无 nRST 管脚复位发生 1: 发生 nRST 管脚复位

Bit	Field	Type	Reset	Description
25	Reserved			始终读为 0
24	RMVF	w	0x00	RMVF: 清除复位标志 (Remove reset flag) 由软件置 ‘1’ 来清除复位标志。 0: 无作用 1: 清除复位标志
23	LOCKUPF	r	0x00	LOCKUPF: CPU 死锁复位标志 (CPU lockup reset flag) 在 CPU 发生死锁复位时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无 CPU 死锁复位发生 1: 发生 CPU 死锁复位
22	PVDRSTF	r	0x00	PVDRSTF: PVD 复位标志 (PVD reset flag) 在 PVD 复位发生时由硬件置 ‘1’, 且只能由电源复位清除或由软件通过写 RMVF 位清除。 0: 无 PVD 复位发生 1: 发生 PVD 复位
21 : 8	Reserved			始终读为 0
7	LOCKUPEN	rw	0x00	LOCKUPEN: CPU 死锁复位使能 (CPU lockup reset enable) 0: 禁止 CPU 死锁复位 1: 使能 CPU 死锁复位
6	PVDRSTEN	rw	0x00	PVDRSTEN: PVD 复位使能 (PVD reset enable) 0: 禁止 PVD 产生复位 1: 使能 PVD 产生复位
5 : 2	Reserved			始终读为 0
1	LSIRDY	r	0x00	LSIRDY: 内部低速时钟就绪 (Internal low-speed oscillator ready) 由硬件置 ‘1’ 或清 ‘0’ 来指示内部 40KHz 振荡器是否就绪。 在 LSION 清零后, 3 个 AHB 时钟后 LSIRDY 被清零。 0: 内部 40KHz 振荡器时钟未就绪 1: 内部 40KHz 振荡器时钟就绪
0	LSION	rw	0x00	LSION: 内部低速振荡器使能 (Internal low-speed oscillator enable) 由软件置 ‘1’ 或清 ‘0’, 或由电源复位清除。 0: 内部 40KHz 振荡器关闭 1: 内部 40KHz 振荡器开启

5.3.8 AHB 外设复位寄存器 (RCC_AHBRSTR)

地址偏移: 0x28

复位值: 0x0000 0000

访问: 0 ~ 3 等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													GPIOB	GPIOA	Res.
													rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

Bit	Field	Type	Reset	Description
31: 19	Reserved			始终读为 0
18	GPIOB	rw	0x00	GPIOB: GPIOB 复位 (GPIOB reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 GPIOB
17	GPIOA	rw	0x00	GPIOA: GPIOA 复位 (GPIOA reset) 由软件置 '1' 或清 '0'。 0: 无作用 1: 复位 GPIOA
16: 0	Reserved			始终读为 0

5.3.9 系统配置寄存器 (RCC_SYSCFG)

地址偏移: 0x40

复位值: 0x020F 0003

访问: 0 ~ 3 等待周期, 字, 半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													SFT_NRST_RMP	Sector_1K_CFG	PROG_CHECK_EN
													rw	rw	r

Bit	Field	Type	Reset	Description
31: 15	Reserved			保留。
14	OSC_LPF_EN	rw	0x00	OSC_LPF_EN: 外接晶振低通滤波使能 0: 禁止 1: 使能
13: 3	Reserved			保留。

Bit	Field	Type	Reset	Description
2	SFT_NRST_RMP	rw	0x00	SFT_NRST_RMP: 软件映射 nRST。 该位只能由电源复位所清除或由软件置 0 清除。 1: 将 PA14 映射为 nRST 0: 无效果 注: 当 RCC_SYSCFG 的 SFT_NRST_RMP 位设为 1 时, 将 PA14 映射为 nRST 外部复位, 且要求低电平至少 4us。
1	SECTOR_1K_CFG	rw	0x01	SECTOR_1K_CFG: Flash 页擦除时擦除的大小。 1: 1K 字节 0: 512 字节
0	PROG_CHECK_EN	r	0x01	PROG_CHECK_EN: 写 Flash 时是否检查 Flash 内的数据是否是 FF。(硬件固定为 1) 1: 检查 0: 不检查

6

通用功能 I/O(GPIO)

通用功能 I/O(GPIO)

6.1 GPIO 功能描述

GPIO 端口的每个位可以由软件分别配置成多种模式。

- 输入浮空
- 输入上拉
- 输入下拉
- 模拟输入
- 开漏输出
- 推挽式输出
- 推挽式复用功能
- 开漏复用功能

每个 I/O 端口可以自由编程，然而必须按照 32 位字访问 I/O 端口寄存器 (不允许半字或字节访问)。

GPIOx_BSRR 和 GPIOx_BRR 寄存器允许对任何 GPIO 寄存器进行读/更改的独立访问；这样，在读更改访问之间产生 IRQ 不会发生危险。

下图给出了一个 I/O 端口位的基本结构。

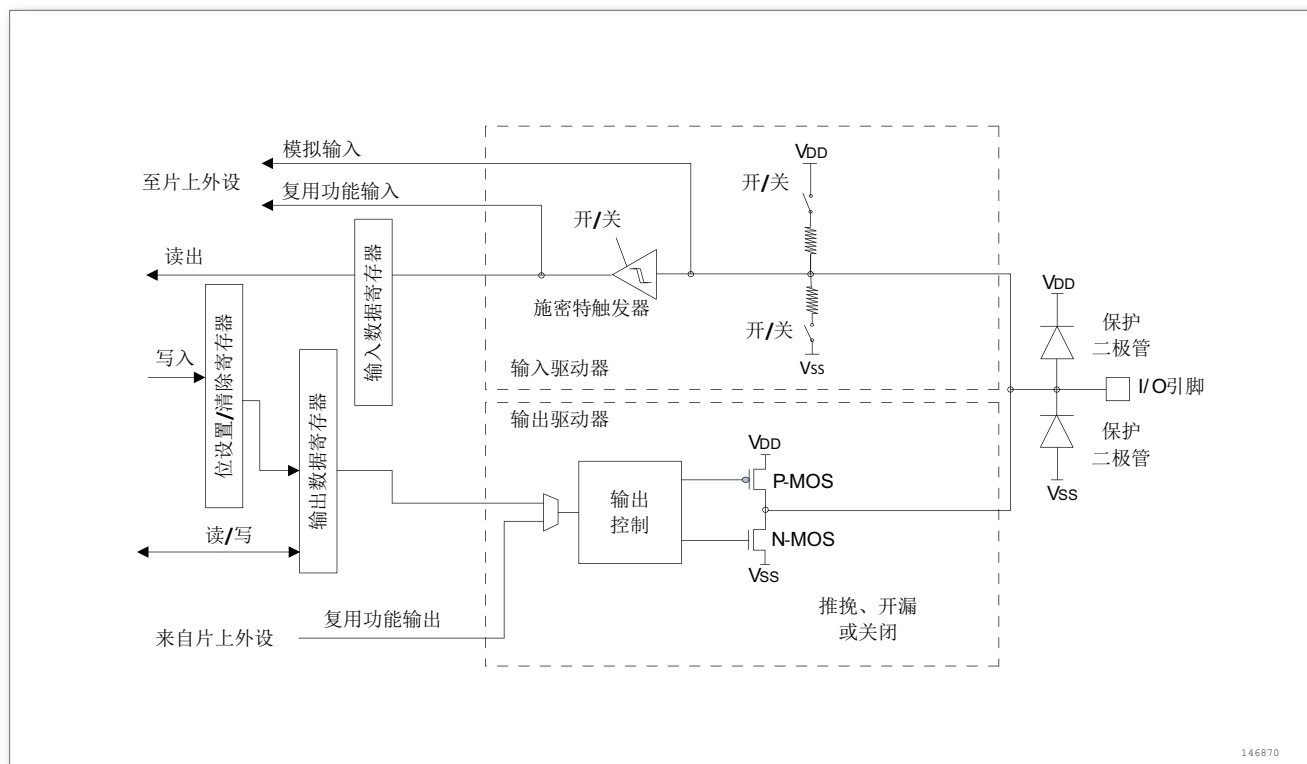


图 14. I/O 端口位的基本结构

表 62. 端口位配置表

配置模式		CNF1	CNF0	MODE1	MODE0	PxODR 寄存器		
通用输出	推挽 (Push-Pull)	0	0	01		0 或 1		
	开漏 (Open-Drain)		1			0 或 1		
复用功能输出	推挽 (Push-Pull)	1	0			不使用		
	开漏 (Open-Drain)		1			不使用		
输入	模拟输入	0	0	00		不使用		
	浮空输入		1			不使用		
	下拉输入	1	0			0		
	上拉输入					1		

表 63. 输出模式位

MODE[1: 0]	意义
00	输入
01	输出

6.1.1 通用 I/O(GPIO)

复位期间和刚复位后, 复用功能未开启, I/O 端口被配置成浮空输入模式 (CNF_x[1: 0] = 01, MODEx[1: 0] = 00)。

复位后, SWD 引脚被置于输入上拉或下拉模式:

- PA14: SWCLK 置于下拉模式
- PA13: SWDIO 置于上拉模式

复位后, 调试口外的 GPIO 全部置为浮空状态。

当作为输出配置时, 写到输出数据寄存器上的值 (GPIO_x_ODR) 输出到相应的 I/O 引脚。可以以推挽模式或者开漏模式 (当输出 0 时, 只有 N-MOS 被打开) 使用输出驱动器。

所有 GPIO 引脚有一个内部弱上拉和弱下拉, 当配置为输入时, 他们可以被激活也可以被断开。

6.1.2 单独的位设置或位清除

当 GPIO_x_ODR 的个别位编程时, 软件不需要禁止中断:

这是通过对‘置位/复位寄存器’ (GPIO_x_BSRR, 复位是 GPIO_x_BRR) 中想要更改的位写‘1’来实现的, 没被选择的位将不被更改。

6.1.3 外部中断/唤醒线

所有端口都有外部中断能力。为了使用外部中断线, 端口必须配置成输入模式。更多的关于外部中断的信息, 参考 6.3 节: 外部中断/事件控制器 (EXTI)。

6.1.4 复用功能

使用默认复用功能前必须对端口位配置寄存器编程。

- 对于复用的输入功能, 端口必须配置成输入模式 (浮空、上拉或下拉) 且输入管脚必须由

外部驱动。

注：也可以通过软件来模拟复用功能输入管脚，这种模拟可以通过对 GPIO 控制器编程来实现。此时，端口应当被设置为复用功能输出模式。显然，这时相应的管脚不再由外部驱动，而是通过 GPIO 控制器由软件来驱动。

- 对于复用输出功能，端口必须配置成复用功能输出模式 (推挽或开漏)。
- 对于双向复用功能，端口位必须配置复用功能输出模式 (推挽或开漏)。这时，输入驱动器被配置成浮空输入模式。

如果把端口配置成复用输出功能，则引脚和输出寄存器断开，并和片上外设的输出信号连接。如果软件把一个 GPIO 脚配置成复用输出功能，但是外设没有被激活，它的输出将不确定。

6.1.5 软件重新映射 I/O 复用功能

这时，复用功能就不再映射到它们的原始引脚上。

6.1.6 GPIO 锁定机制

锁定机制允许冻结 IO 配置。当在一个端口位上执行了锁定 (LOCK) 程序，在下次复位之前，将不能再更改端口位的配置。

6.1.7 输入配置

当 I/O 端口配置为输入时：

- 输出缓冲器被禁止
- 施密特触发输入被激活
- 根据输入配置 (上拉，下拉或浮动) 的不同，弱上拉和下拉的电阻被连接
- 对输入数据寄存器的读访问可得到 I/O 状态

下图给出了 I/O 端口位的输入配置：

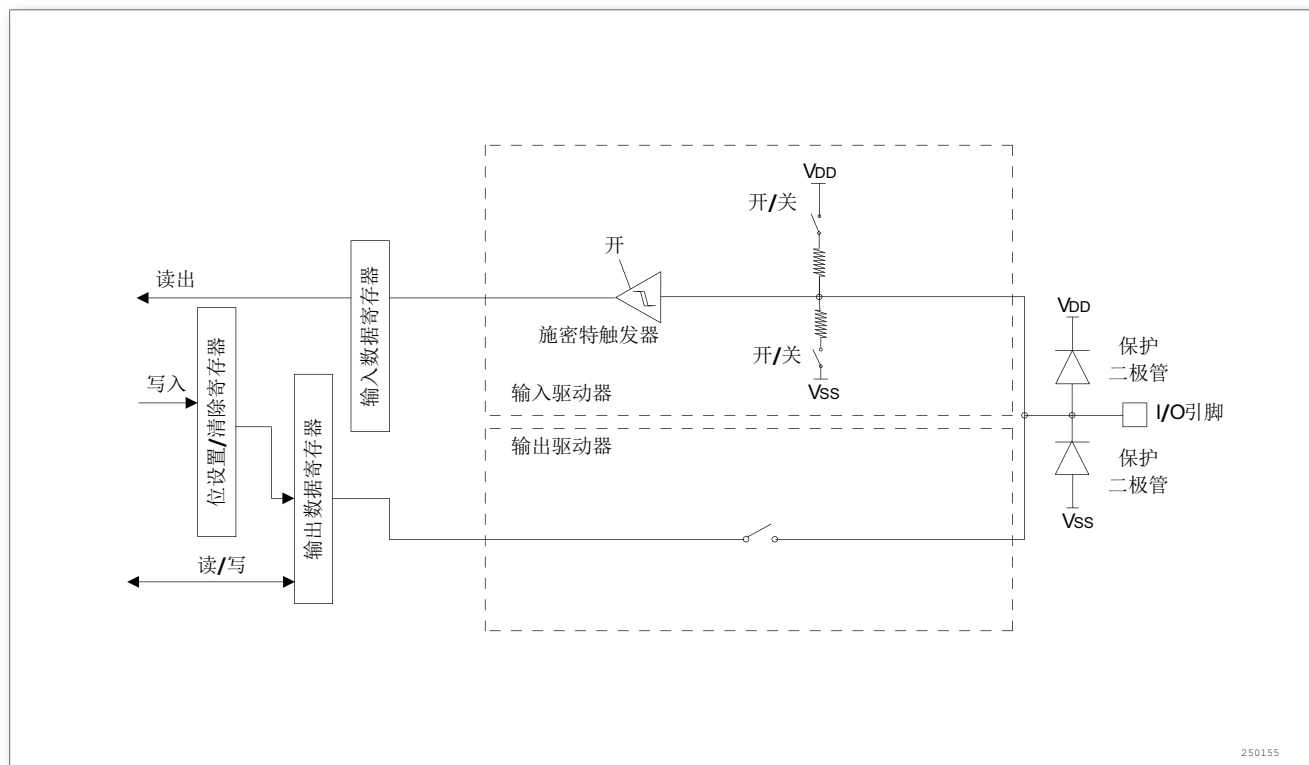


图 15. 输入浮空/上拉/下拉配置

6.1.8 输出配置

当 I/O 端口被配置为输出时：

- 输出缓冲器被激活
 - 开漏模式：输出寄存器上的 ‘0’ 激活 N-MOS，而输出寄存器上的 ‘1’ 将端口置于高阻状态 (P-MOS 从不被激活)
 - 推挽模式：输出寄存器上的 ‘0’ 激活 N-MOS，而输出寄存器上的 ‘1’ 将激活 P-MOS
- 施密特输入被激活
- 弱上拉和下拉电阻被禁止
- 在开漏模式时，对输入数据寄存器的访问可得到 I/O 状态
- 在推挽模式时，可对输出数据寄存器的读访问得到最后一次写的值。

下图给出了 I/O 端口位的输出配置：

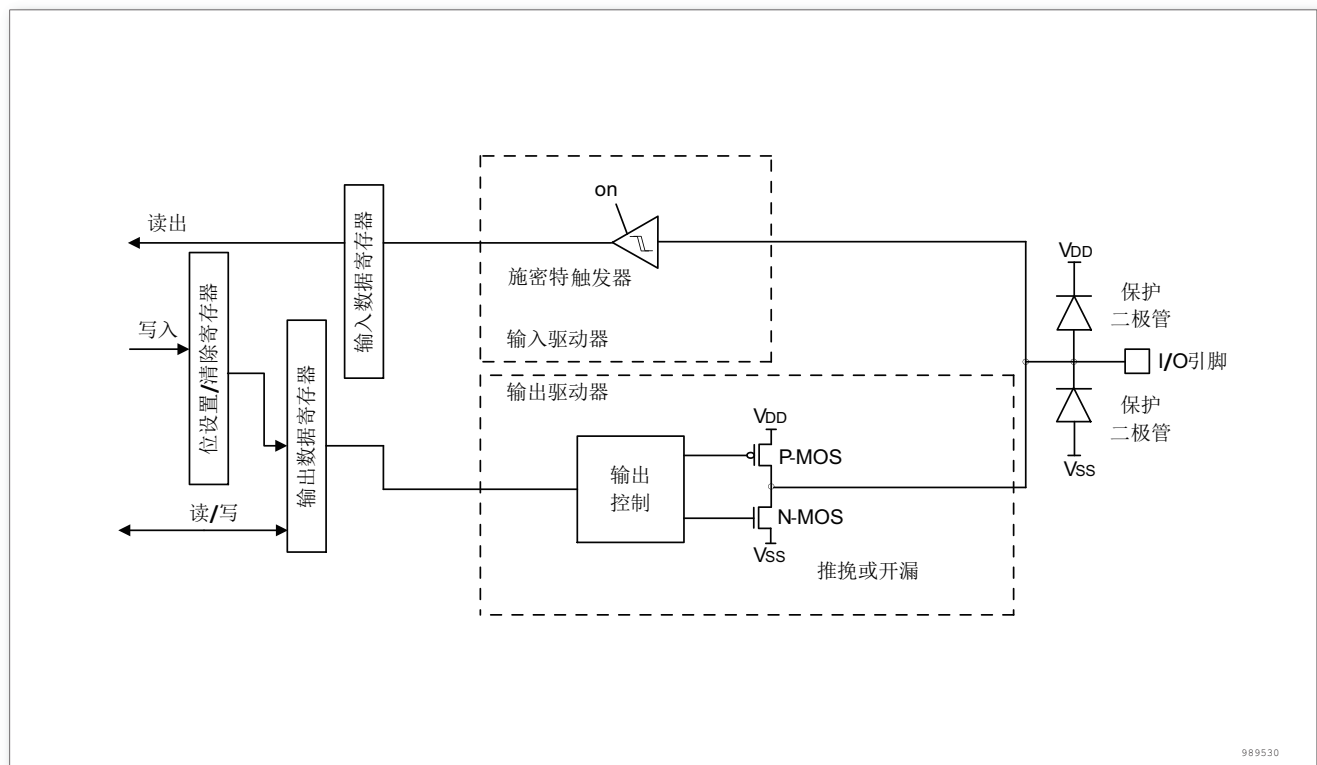


图 16. 输出配置

6.1.9 复用功能配置

当 I/O 端口被配置为复用功能时：

- 在开漏或推挽式配置中，输出缓冲器被打开
- 内置外设的信号驱动输出缓冲器 (复用功能输出)
- 施密特触发输入被激活
- 弱上拉和下拉电阻被禁止
- 开漏模式时，读输入数据寄存器时可得到 I/O 口状态
- 在推挽模式时，读输出数据寄存器时可得到最后一次写的值

下图给出了 I/O 端口为复用功能的配置。详见 AFIO 寄存器描述。

一组复用功能 I/O 寄存器允许用户把一些复用功能重新映射到不同的引脚。

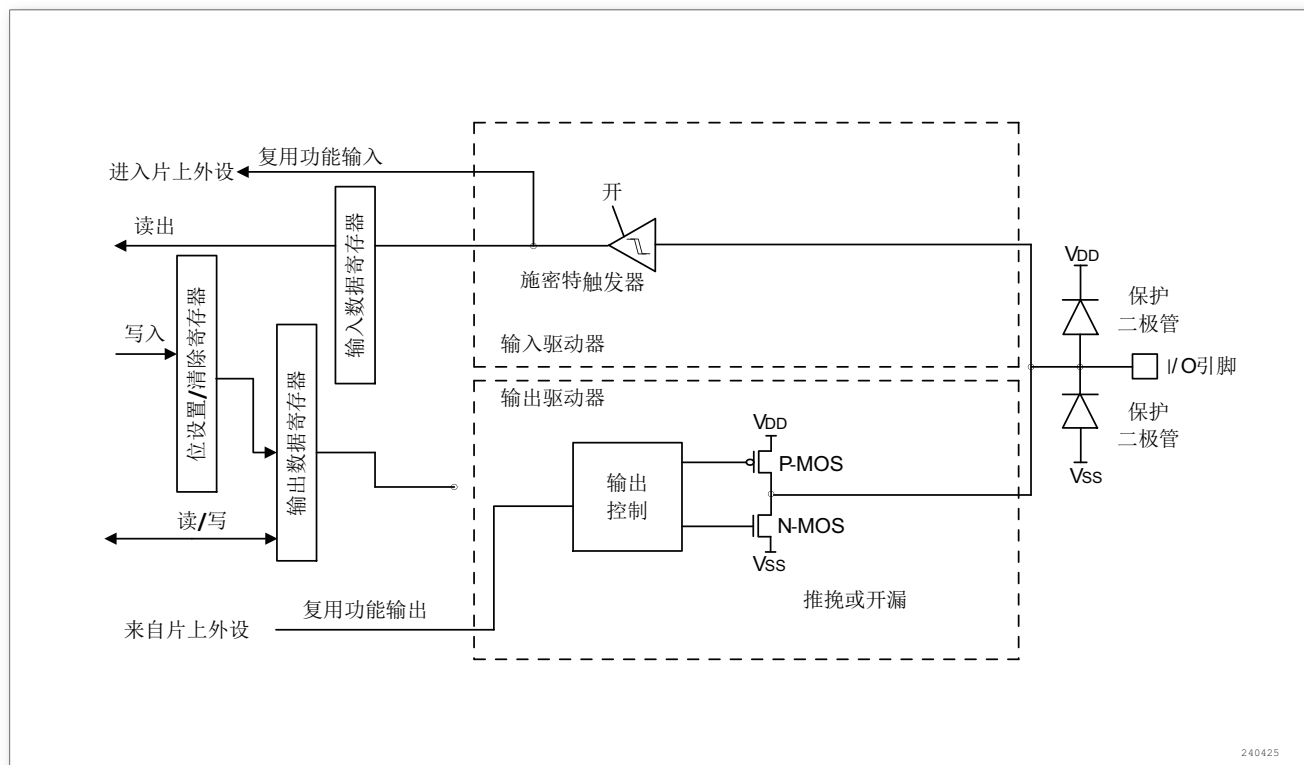


图 17. 复用功能配置

6.1.10 模拟输入配置

当 I/O 端口被配置成模拟输入配置时：

- 输出缓冲器禁止
- 禁止施密特触发输入，实现了每个模拟 I/O 引脚上的零消耗。施密特触发输出值被强制为 '0'
- 弱上拉和下拉电阻被禁止
- 读取输入数据寄存器时数值为 '0'

下图给出了 I/O 端口位的高阻抗输入配置：

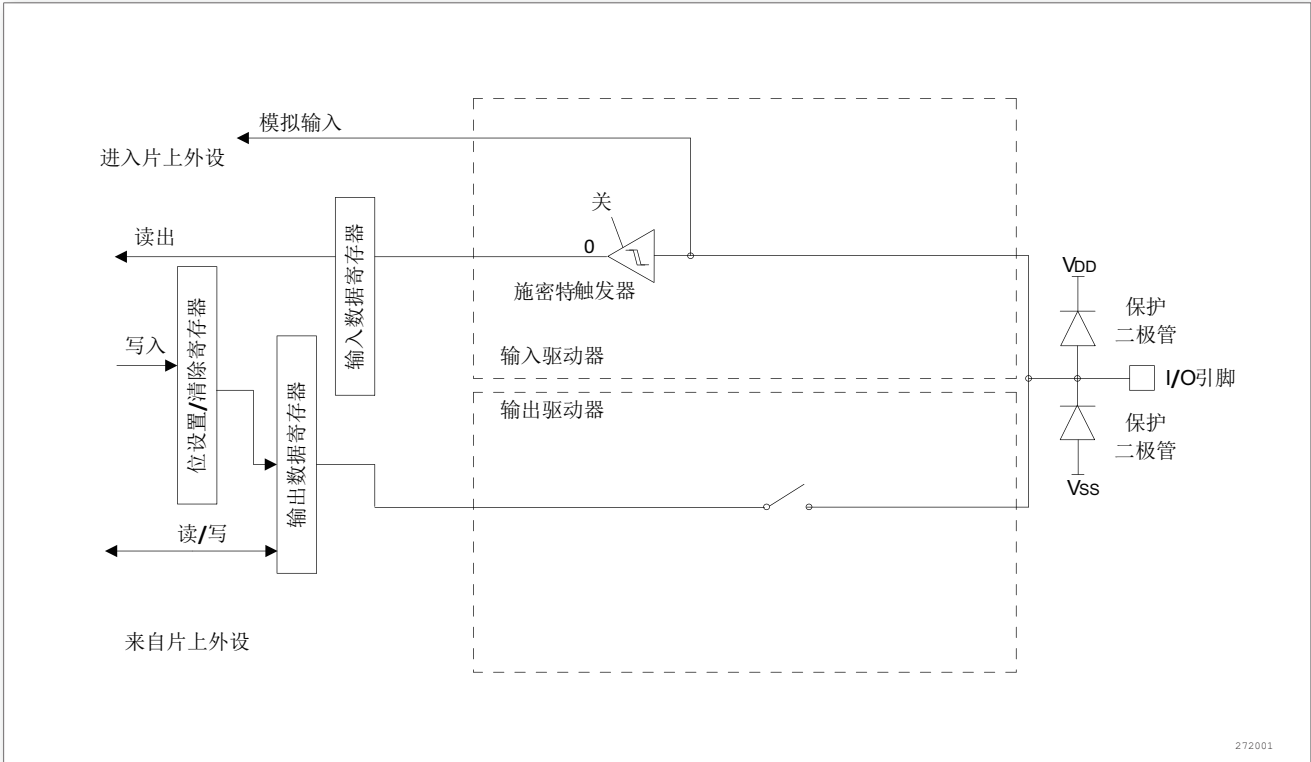


图 18. 高阻抗的模拟输入配置

6.1.11 外设的 GPIO 配置

下列表格列出了各个外设的引脚配置：

表 64. 高级定时器 TIM1

TIM1 引脚	配置	GPIO 配置
TIM1_CHx	输入捕获通道 x	浮空输入
	输出比较通道 x	推挽复用输出
TIM1_CHxN	互补输出通道 x	推挽复用输出
TIM1_BKIN	刹车输入	浮空输入

表 65. 通用/基本定时器 TIM3/14

TIM3/14 引脚	配置	GPIO 配置
TIM3/14_CHx	输入捕获通道 x	浮空输入
	输出比较通道 x	推挽复用输出

表 66. UART

UART 引脚	配置	GPIO 配置
UARTx_TX	串口发送	推挽复用输出
UARTx_RX	串口接收	浮空输入或带上拉输入

表 67. SPI

SPI 引脚	配置	GPIO 配置
SPIx_SCK	主模式	推挽复用输出
	从模式	浮空输入
SPIx_MOSI	全双工模式/主模式	推挽复用输出
	全双工模式/从模式	浮空输入或带上拉输入
SPIx_MISO	全双工模式/主模式	浮空输入或带上拉输入
	全双工模式/从模式	推挽复用输出
SPIx_NSS	硬件主/从模式	浮空输入或带上拉输入或带下拉输入
	硬件主模式/NSS 输出使能	推挽复用输出
	软件模式	未用，可作为通用 I/O

表 68. I2C

I2C 引脚	配置	GPIO 配置
I2Cx_SCL	I2C 时钟	开漏复用输出
I2Cx_SDA	I2C 数据	开漏复用输出

表 69. ADC

ADC 引脚	GPIO 配置
ADC	模拟输入

表 70. 其他 I/O 引脚

引脚	配置	GPIO 配置
MCO	时钟输出	推挽复用输出
EXTI 输入线	外部中断输入	浮空输入或带上拉输入或下拉输入

6.2 复用功能 I/O 和调试配置

为了优化外设数目,可以把一些复用功能重新映射到其他引脚上。设置复用功能寄存器 (AFR) 实现引脚的重新映射。这时, 复用功能不再映射到它们的原始分配上。

6.2.1 OSC_IN/OSC_OUT

外部振荡器引脚 OSC_IN/OSC_OUT 可以用作 GPIO 的 PB0/PB1, 需先关闭 OSC 使能位, 再通过设置复用功能寄存器 (AFR) 实现。

PB0/PB1 用作 OSC_IN/OSC_OUT 时, 必须设置为模拟口或者关闭 GPIOB 时钟

注: 外部中断/事件功能没有被重映射。

6.2.2 SWD 复用功能重映射

SWD 调试接口信号被映射到 GPIO 端口上, 如下表所示

表 72. SWD 调试接口信号

复用功能	GPIO 端口
SWDIO	PA13
SWCLK	PA14

为了在调试期间可以使用更多 GPIOs，通过设置复用重映射和复用功能寄存器，可以改变上述重映射配置。

6.3 GPIO 寄存器描述

表 74. GPIO 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	GPIOx_CRL	端口配置低寄存器	0x44444444	小节 6.3.1
0x04	GPIOx_CRH	端口配置高寄存器	0x44444444	小节 6.3.2
0x08	GPIOx_IDR	端口输入数据寄存器	0x0000XXXX	小节 6.3.3
0x0C	GPIOx_ODR	端口输出数据寄存器	0x00000000	小节 6.3.4
0x10	GPIOx_BSRR	端口设置/清除寄存器	0x00000000	小节 6.3.5
0x14	GPIOx_BRR	端口位清除寄存器	0x00000000	小节 6.3.6
0x18	GPIOx_LCKR	端口配置锁定寄存器	0x00000000	小节 6.3.7
0x1C	GPIOx_DCR	端口输出开漏控制寄存器	0x00000000	小节 6.3.8
0x20	GPIOx_AFR1	端口复用功能低位寄存器	0xFFFFFFFF	小节 6.3.9
0x24	GPIOx_AFRH	端口复用功能高位寄存器	0xFFFFFFFF	小节 6.3.10

6.3.1 端口配置低寄存器 (GPIOx_CRL)(x = A..B)

偏移地址: 0x00

复位值: 0x4444 4444

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF7	MODE7	CNF6	MODE6	CNF5	MODE5	CNF4	MODE4								
rw	rw	rw	rw	rw	rw	rw	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF3	MODE3	CNF2	MODE2	CNF1	MODE1	CNF0	MODE0								
rw	rw	rw	rw	rw	rw	rw	rw								

Bit	Field	Type	Reset	Description
31: 30	CNFy	rw	0x01	端口 x 配置位 (0...7)(Port x configuration bits)
27: 26				软件通过这些位配置相应的 I/O 端口, 请参考表 62 端口位配置表
23: 22				在输入模式 (MODE = 00):
19: 18				00: 模拟输入模式
15: 14				01: 浮空输入模式
11: 10				10: 上拉/下拉输入模式
7: 6				11: 保留
3: 2				在输出模式 (MODE > 00):
				00: 通用推挽输出模式
				01: 通用开漏输出模式
				10: 复用功能推挽输出模式
				11: 复用功能开漏输出模式
29: 28	MODEy	rw	0x00	端口 x 的模式位 (y = 0...7)(Port x mode bits)
25: 24				软件通过这些位配置相应的 I/O 端口, 请参考表 62 端口位配置表
21: 20				00: 输入模式 (复位后的状态)
17: 16				01: 输出模式
13: 12				10: 保留
9: 8				11: 保留
5: 4				
1: 0				

6.3.2 端口配置高寄存器 (GPIOx_CRH)(x = A..B)

偏移地址: 0x04

复位值: 0x4444 4444

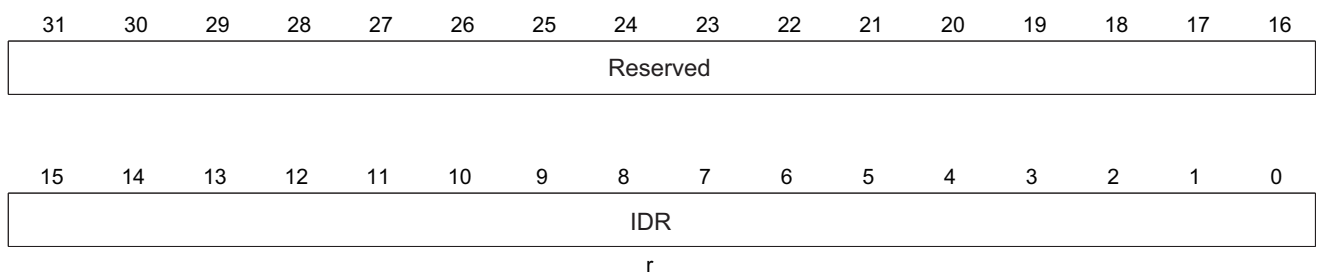
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNF15		MODE15		CNF14		MODE14		CNF13		MODE13		CNF12		MODE12	
rw		rw		rw		rw		rw		rw		rw		rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNF11		MODE11		CNF10		MODE10		CNF9		MODE9		CNF8		MODE8	
rw		rw		rw		rw		rw		rw		rw		rw	

Bit	Field	Type	Reset	Description
31: 30	CNFy	rw	0x01	端口 x 配置位 (8…15)(Port x configuration bits)
27: 26				软件通过这些位配置相应的 I/O 端口, 请参考表 62 端口位配置表
23: 22				在输入模式 (MODE = 00):
19: 18				00: 模拟输入模式
15: 14				01: 浮空输入模式
11: 10				10: 上拉/下拉输入模式
7: 6				11: 保留
3: 2				在输出模式 (MODE[1: 0] > 00):
				00: 通用推挽输出模式
				01: 通用开漏输出模式
				10: 复用功能推挽输出模式
				11: 复用功能开漏输出模式
29: 28	MODEy	rw	0x00	端口 x 的模式位 (y = 8…15)(Port x mode bits)
25: 24				软件通过这些位配置相应的 I/O 端口, 请参考表 62 端口位配置表
21: 20				00: 输入模式 (复位后的状态)
17: 16				01: 输出模式
13: 12				10: 保留
9: 8				11: 保留
5: 4				
1: 0				

6.3.3 端口输入数据寄存器 (GPIOx_IDR)(x = A..B)

偏移地址: 0x08

复位值: 0x0000 XXXX



Bit	Field	Type	Reset	Description
31: 16	Reserved			始终读为 0。
15: 0	IDRy	r	0xFFFF	端口输入数据 (y = 0..15)(Port input data) 这些位为只读只能以字 (16 位) 的形式读出, 读出的值为对应的 I/O 口的状态。

6.3.4 端口输出数据寄存器 (GPIOx_ODR)(x = A..B)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ODR															
rw															

Bit	Field	Type	Reset	Description
31: 16	Reserved			始终读为 0。
15: 0	ODRy	rw	0x0000	端口输出数据 (y = 0..15)(Port output data) 这些位为可读并只能以字 (16 位) 的形式操作。 注: 对 GPIOx_BSRR(x = A .. B), 可以分别地对各个 ODR 位进行独立的设置/清除。

6.3.5 端口设置/清除寄存器 (GPIOx_BSRR)(x = A..B)

偏移地址: 0x10

复位值: 0x0000 0000

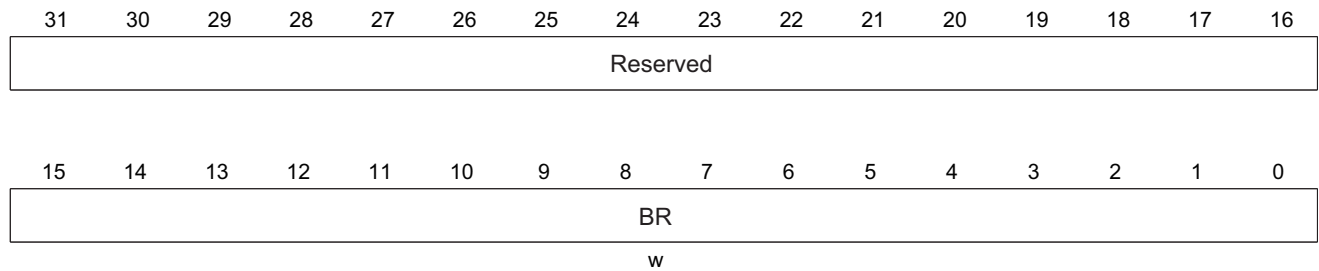
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
31: 16	BRy	w	0x0000	清除端口 x 的位 y(y = 0...15)(Port x Reset bit y) 这些位只能写入并只能以字 (32 位) 的形式操作。 0: 对对应的 ODRy 位不产生影响 1: 清除对应的 ODRy 位为 0
15: 0	BSy	w	0x0000	设置端口 x 的位 y(y = 0..15)(Port x Set bit y) 这些位只能写入并只能以字 (32 位) 的形式操作。 0: 对应的 ODRy 位不产生影响 1: 设置对应的 ODRy 位为 1

6.3.6 端口位清除寄存器 (GPIOx_BRR)(x = A..B)

偏移地址: 0x14

复位值: 0x0000 0000



Bit	Field	Type	Reset	Description
31: 16	Reserved			始终读为 0
15: 0	BRy	w	0x0000	清除端口 x 的位 y(y = 0…15)(Port x Reset bit y) 这些位只能写入并只能以字 (16 位) 的形式操作。 0: 对应的 ODRy 位不产生影响 1: 清除对应的 ODRy 位为 0

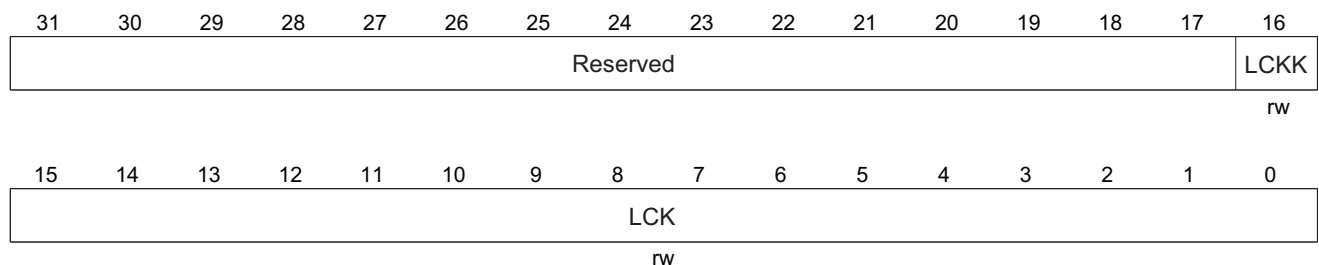
6.3.7 端口配置锁定寄存器 (GPIOx_LCKR)(x = A..B)

当执行正确的写序列设置了位 16(LCKK) 时, 该寄存器用来锁定端口位的配置。位 [15:0] 用于锁定 GPIO 端口的配置。在规定的写入操作期间, 不能改变 LCKR[15:0]。当对响应的端口位执行了 LOCK 序列后, 在下次系统复位之前将不能再更改端口位的配置。

每个锁定位锁定控制寄存器 (CRL, CRH) 中相应的 4 个位。

地址偏移: 0x18

复位值: 0x0000 0000



Bit	Field	Type	Reset	Description
31: 17	Reserved			始终读为 0
16	LCKK	rw	0x00	锁键 (Lock key) 该位可随时读出, 它只可通过锁键写入序列修改。 0: 端口配置锁键位激活 1: 端口配置锁键位被激活, 下次系统复位前 GPIOx_LCKR 寄存器被锁住 锁键的写入序列: 写 1-> 写 0-> 写 1-> 读 0-> 读 1 最后一个读可省略, 但可以用来确认锁键已被激活。 注: 在操作锁键的写入序列时, 不能改变 LCK 的值。操作锁键写入序列中的任何错误将不能激活锁键。

Bit	Field	Type	Reset	Description
15: 0	LCKy	rw	0x00	端口 x 的锁位 y(y = 0…15)(Port x Lock bit y) 这些位可读可写但只能在 LCKK 位为 0 时写入。 0: 不锁定端口的配置 1: 锁定端口的配置

6.3.8 端口输出开漏控制寄存器 (GPIOx_DCR)(x = A..B)

偏移地址: 0x1C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PX15	PX14	PX13	PX12	PX11	PX10	PX9	PX8								
rw	rw	rw	rw	rw	rw	rw	rw								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PX7	PX6	PX5	PX4	PX3	PX2	PX1	PX0								
rw	rw	rw	rw	rw	rw	rw	rw								

Bit	Field	Type	Reset	Description
31: 2	PX15-PX1	rw	0x00	见 PX0
1: 0	PX0	rw	0x00	PX0[1: 0]: 11: 开漏输出模式下, 端口上拉 01: 开漏输出模式下, 端口下拉 x0: 开漏输出模式下, 端口无上下拉

6.3.9 端口复用功能低位寄存器 (GPIOx_AFRL)(x = A..B)

偏移地址: 0x20

复位值: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR7	AFR6	AFR5	AFR4												
rw	rw	rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR3	AFR2	AFR1	AFR0												
rw	rw	rw	rw												

Bit	Field	Type	Reset	Description
31: 0	AFRy	rw	0xFFFF FFFF	端口 x 的位 y(y = 0…7) 的复用功能选择 这些位能软件写入配置 IO 复用功能。 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: 保留 0110: 保留 0111: 保留

6.3.10 端口复用功能高位寄存器 (GPIOx_AFRH)(x = A..B)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFR15				AFR14				AFR13				AFR12			
rw				rw				rw				rw			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFR11				AFR10				AFR9				AFR8			
rw				rw				rw				rw			

Bit	Field	Type	Reset	Description
31: 0	AFRy	rw	0x0000 0000	端口 x 的位 y(y = 8…15) 的复用功能选择 这些位能软件写入配置 IO 复用功能。 0000: AF0 0001: AF1 0010: AF2 0011: AF3 0100: AF4 0101: 保留 0110: 保留 0111: 保留

7

中断和事件 (EXTI)

中断和事件 (EXTI)

7.1 嵌套向量中断控制器

特征

- 中断都可屏蔽 (除了 NMI)
- 16 个可编程的优先等级 (使用了 4 位中断优先级)
- 低延迟的异常和中断处理
- 电源管理控制
- 系统控制寄存器的实现

嵌套向量中断控制器 (NVIC) 和处理器核的接口紧密相连, 可以实现低延迟的中断处理和高效地处理晚到的中断。

嵌套向量中断控制器管理着包括核异常等中断。关于更多的异常和 NVIC 编程的说明请参考 CPU 技术参考手册。

7.1.1 系统嘀嗒 (SysTick) 校准值寄存器

系统嘀嗒校准值固定为 6000, 当系统嘀嗒时钟设定为 6MHz(HCLK/4, HCLK = 24MHz), 产生 1ms 时间基准。

7.1.2 中断和异常向量

下表列出了本系列产品的向量表。

表 86. 本系列产品的向量表

位置	优先级	优先级类型	名称	说明	地址
	-	-	-	保留	0x0000_0000
	-3	固定	Reset	复位	0x0000_0004
	-2	固定	NMI	不可屏蔽中断 RCC 时钟安全系统 (CSS) 联接 到 NMI 向量	0x0000_0008
	-1	固定	硬件失效 (HardFault)	所有类型的失效	0x0000_000C
	0	可设置	存储管理 (MemManage)	存储器管理	0x0000_0010
	1	可设置	总线错误 (BusFault)	预取指失败, 存储器访问失败	0x0000_0014
	2	可设置	错误应用 (UsageFault)	未定义的指令或非法状态	0x0000_0018
					0x0000_001C
	-	-	-	保留	~ 0x0000_002B

位置	优先级	优先级类型	名称	说明	地址
	3	可设置	SVCall	通过 SWI 指令的系统服务调用	0x0000_002C
	4	可设置	调试监控 (DebugMonitor)	调试监控器	0x0000_0030
	-	-	-	保留	0x0000_0034
	5	可设置	PendSV	可挂起的系统服务	0x0000_0038
	6	可设置	SysTick	系统嘀嗒定时器	0x0000_003C
0	7	可设置	WWDG_IWDG / EXTI17	窗口看门狗与独立看门狗中断 EXTI 线 [17] 中断	0x0000_0040
1	8	可设置	PVD	连到 EXTI16 的电源电压检测 (PVD) 中断	0x0000_0044
2	9	可设置	-	保留	0x0000_0048
3	10	可设置	FLASH	闪存全局中断	0x0000_004C
4	11	可设置	RCC	RCC 全局中断	0x0000_0050
5	12	可设置	EXTI0_1	EXTI 线 [1:0] 中断	0x0000_0054
6	13	可设置	EXTI2_3	EXTI 线 [3:2] 中断	0x0000_0058
7	14	可设置	EXTI4_15	EXTI 线 [15:4] 中断	0x0000_005C
8	15	可设置	-	保留	0x0000_0060
9	16	可设置	-	保留	0x0000_0064
10	17	可设置	-	保留	0x0000_0068
11	18	可设置	-	保留	0x0000_006C
12	19	可设置	ADC1	ADC1 中断	0x0000_0070
13	20	可设置	TIM1_BRK_UP_TRG_COM	TIM1 刹车、更新、触发、COM 中断	0x0000_0074
14	21	可设置	TIM1_CC	TIM1 捕捉比较中断	0x0000_0078
15	22	可设置	-	保留	0x0000_007C
16	23	可设置	TIM3	TIM3 全局中断	0x0000_0080
17	24	可设置	-	保留	0x0000_0084
18	25	可设置	-	保留	0x0000_0088
19	26	可设置	TIM14	TIM14 全局中断	0x0000_008C
20	27	可设置	-	保留	0x0000_0090
21	28	可设置	-	保留	0x0000_0094
22	29	可设置	-	保留	0x0000_0098
23	30	可设置	I2C1	I2C1 全局中断	0x0000_009C
24	31	可设置	-	保留	0x0000_00A0
25	32	可设置	SPI1	SPI1 全局中断	0x0000_00A4
26	33	可设置	-	保留	0x0000_00A8
27	34	可设置	UART1	UART1 全局中断	0x0000_00AC
28	35	可设置	UART2	UART2 全局中断	0x0000_00B0
29	36	可设置	-	保留	0x0000_00B4
30	37	可设置	-	保留	0x0000_00B8

7.2 外部中断/事件控制器 (EXTI)

外部中断和事件控制器 (EXTI) 管理外部和内部异步事件/中断，并生成相应的事件请求到 CPU/中断控制器和到电源管理的唤醒请求。

能产生事件/中断请求的边沿检测器。每个输入线可以独立地配置输入类型 (脉冲或挂起) 和对应的触发事件 (上升沿或下降沿或者双边沿都触发)。每个输入线都可以独立地被屏蔽。挂起寄存器保持着状态线的中断请求。

7.2.1 主要特征

EXTI 控制器的主要特性如下：

- 每个中断/事件都有独立的触发和屏蔽
- 每个中断线都有专用的状态位
- 支持软件的中断/事件请求
- 检测脉冲宽度低于 APB1 时钟宽度的外部信号。参见数据手册中电气特性部分的相关参数。

7.2.2 框图

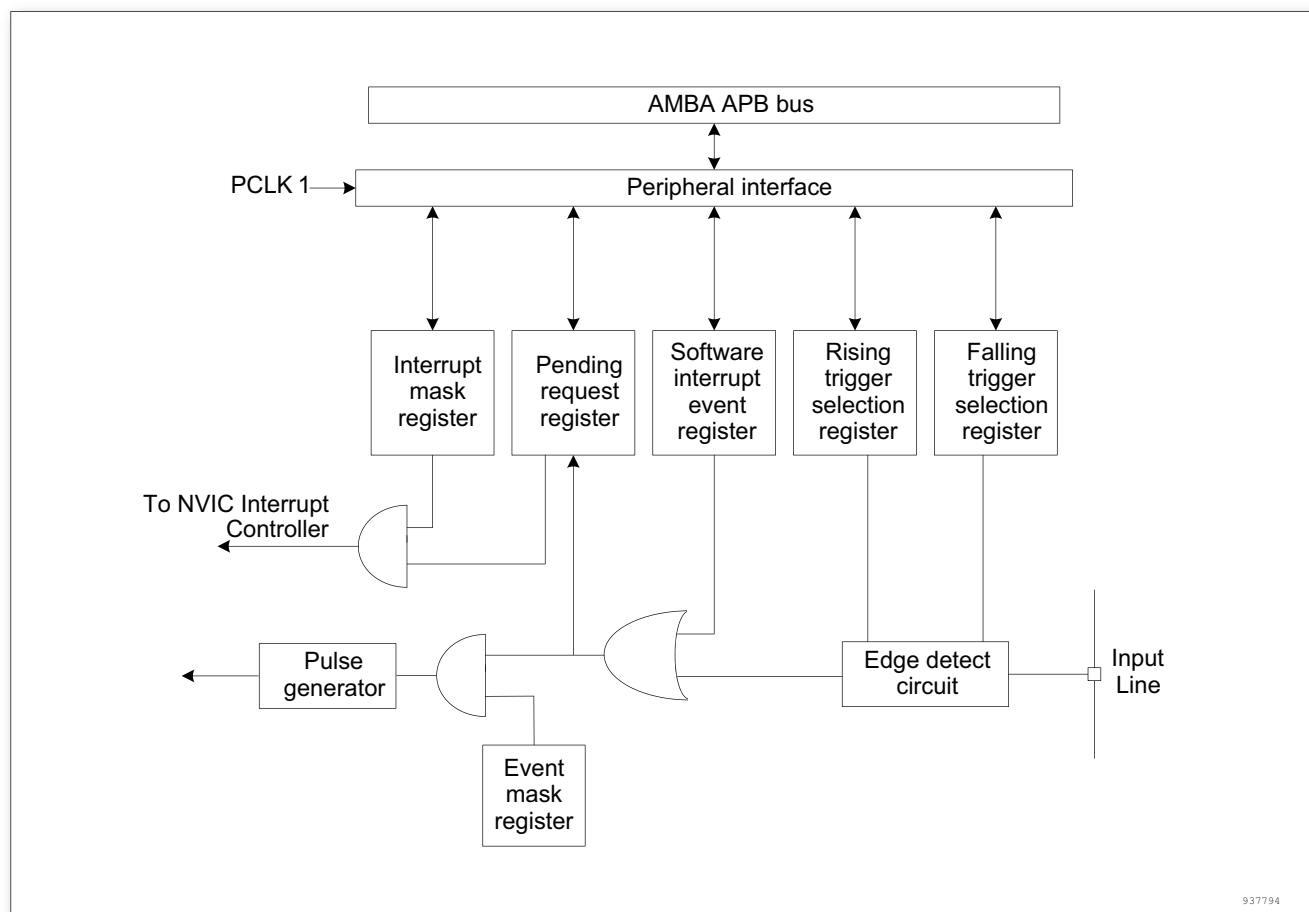


图 19. 外部中断/事件控制器框图

7.2.3 唤醒事件管理

可以处理外部或内部事件来唤醒内核 (WFE)。唤醒事件可以通过下述配置产生：

- 在外设的控制寄存器使能一个中断，但不在 NVIC 中使能，同时在 CPU 的系统控制寄存

器中使能 SEVONPEND 位。

当 CPU 从 WFE 恢复后，需要清除相应外设的中断挂起位和外设 NVIC 中断通道挂起位 (在 NVIC 中断清除挂起寄存器中)。

- 配置一个外部或内部 EXTI 线为事件模式，当 CPU 从 WFE 恢复后，因为对应事件线的挂起位没有被置位，不必清除相应外设的中断挂起位或 NVIC 中断通道挂起位。

使用外部 I/O 端口作为唤醒事件，请参见下节的功能说明。

7.2.4 功能说明

要产生中断，必须先配置好并使能中断线。根据需要的边沿检测设置 2 个触发寄存器，同时在中断屏蔽寄存器的相应位写 ‘1’ 允许中断请求。当外部中断线上发生了期待的边沿时，将产生一个中断请求，对应的挂起位也随之被置 ‘1’。在挂起寄存器的对应位写 ‘1’，将清除该中断请求。

如果需要产生事件，必须先配置好并使能事件线。根据需要的边沿检测通过设置 2 个触发寄存器，同时在事件屏蔽寄存器的相应位写 ‘1’ 允许事件请求。当事件线上发生了需要的边沿时，将产生一个事件请求脉冲，对应的挂起位不被置 ‘1’。

通过在软件中断/事件寄存器写 ‘1’，也可以通过软件产生中断/事件请求。

硬件中断选择

通过下面的过程来配置多个线路做为中断源：

- 配置中断线的屏蔽位 (EXTI_IMR)
- 配置所选中断线的触发选择位 (EXTI_RTISR 和 EXTI_FTSR)
- 配置对应到外部中断控制器 (EXTI) 的 NVIC 中断通道的使能和屏蔽位，使得中断线中的请求可以被正确地响应

硬件事件选择

通过下面的过程，可以配置多个线路为事件源：

- 配置事件线的屏蔽位 (EXTI_EMR)
- 配置事件线的触发选择位 (EXTI_RTISR 和 EXTI_FTSR)

软件中断/事件的选择

多个线路可以被配置成软件中断/事件线。下面是产生软件中断的过程：

- 配置中断/事件线屏蔽位 (EXTI_IMR, EXTI_EMR)
- 设置软件中断寄存器的请求位 (EXTI_SWIER)

7.2.5 外部中断/事件线路映像

通用 I/O 端口以下图的方式连接到 16 个外部中断/事件线上：

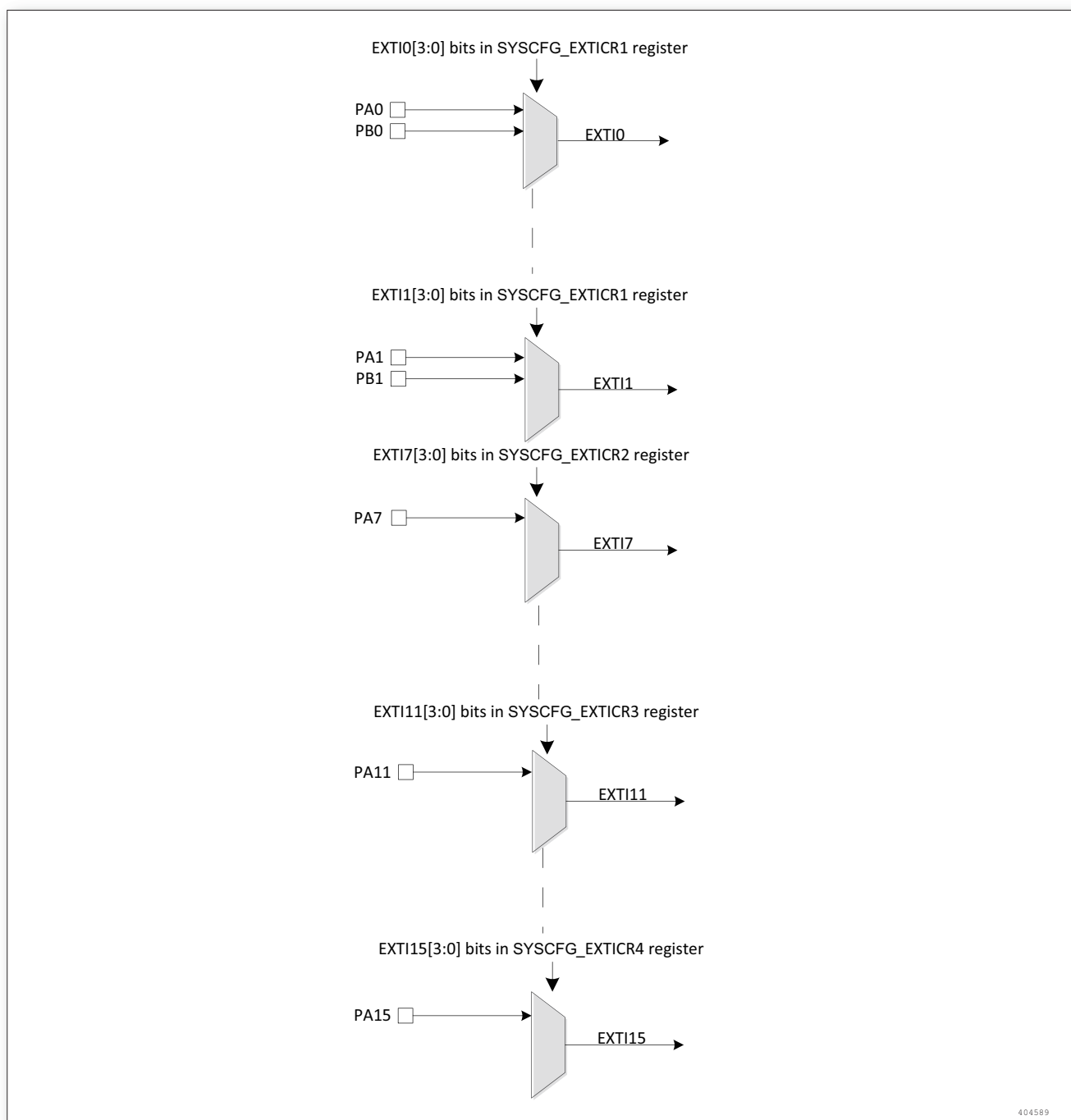


图 20. 外部中断通用 I/O 映像

注：上图对应的 GPIO 可能因实际芯片封装出现差异，以实际芯片为准。

另外其他的外部中断/事件控制器的连接如下：

- EXTI 线 16 连接到 PVD 输出
- EXTI 线 17 连接到 IWDG 中断

7.3 EXTI 寄存器描述

表 89. EXTI 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	EXTI_IMR	中断屏蔽寄存器	0x00000000	小节 7.3.1
0x04	EXTI_EMR	事件屏蔽寄存器	0x00000000	小节 7.3.2
0x08	EXTI_RTSR	上升沿触发选择寄存器	0x00000000	小节 7.3.3
0x0C	EXTI_FTSR	下降沿触发选择寄存	0x00000000	小节 7.3.4
0x10	EXTI_SWIER	软件中断事件寄存器	0x00000000	小节 7.3.5
0x14	EXTI_PR	软件中断事件寄存	0x00000000	小节 7.3.6

7.3.1 中断屏蔽寄存器 (EXTI_IMR)

偏移地址: 0x00

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														IMR17	IMR16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 18	Reserved			始终读为 0。
17 : 0	IMRx	rw	0x00	线 x 上的中断屏蔽 (Interrupt Mask on line x) 1 = 开放来自线 x 上的中断请求 0 = 屏蔽来自线 x 上的中断请求

7.3.2 事件屏蔽寄存器 (EXTI_EMR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														EMR17	EMR16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EMR15	EMR14	EMR13	EMR12	EMR11	EMR10	EMR9	EMR8	EMR7	EMR6	EMR5	EMR4	EMR3	EMR2	EMR1	EMR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 18	Reserved			始终读为 0。

Bit	Field	Type	Reset	Description
17 : 0	EMRx	rw	0x00	线 x 上的事件屏蔽 (Event Mask on line x) 1 = 开放来自线 x 上的中断请求 0 = 屏蔽来自线 x 上的中断请求

7.3.3 上升沿触发选择寄存器 (EXTI_RTSR)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														TR17	TR16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 18	Reserved			始终读为 0。
17 : 0	TRx	rw	0x00	线 x 上的上升沿触发事件配置位 (Rising trigger event configuration bit of line x) 1 = 允许输入线 x 上的上升沿触发 (中断和事件) 0 = 禁止输入线 x 上的上升沿触发 (中断和事件)

7.3.4 下降沿触发选择寄存器 (EXTI_FTSR)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														TR17	TR16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR15	TR14	TR13	TR12	TR11	TR10	TR9	TR8	TR7	TR6	TR5	TR4	TR3	TR2	TR1	TR0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
23 : 18	Reserved			始终读为 0。
17 : 0	TRx	rw	0x00	线 x 上的下降沿触发事件配置位 (Falling trigger event configuration bit of line x) 1 = 允许输入线 x 上的下降沿触发 (中断和事件) 0 = 禁止输入线 x 上的下降沿触发 (中断和事件)

7.3.5 软件中断事件寄存器 (EXTI_SWIER)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														SWIER17	SWIER16
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWIER15	SWIER14	SWIER13	SWIER12	SWIER11	SWIER10	SWIER9	SWIER8	SWIER7	SWIER6	SWIER5	SWIER4	SWIER3	SWIER2	SWIER1	SWIER0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
23 : 18	Reserved			始终读为 0。
17 : 0	SWIERx	rw	0x00	线 x 上的软件中断 (Software interrupt on line x) 当该位为 ‘0’ 时, 写 ‘1’ 将设置 EXTI_PR 中相应的挂起位。如果在 EXTI_INTMASK 和 EXTI_EVTMASK 中允许产生该中断, 则此时将产生一个中断。 注: 通过清除 EXTI_PEND 的对应位 (写入 ‘1’), 可以清除该位为 ‘0’。

7.3.6 软件中断事件寄存器 (EXTI_PR)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														PR17	PR16
														rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PR15	PR14	PR13	PR12	PR11	PR10	PR9	PR8	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

Bit	Field	Type	Reset	Description
23 : 18	Reserved			始终读为 0。
17 : 0	PRx	rc_w1	0x00	挂起位 (Pending bit) 1 = 发生了选择的触发请求 0 = 没有发生触发请求 当在外部中断线上发生了选择的边沿事件, 该位被置 ‘1’。 在该位中写入 ‘1’ 可以清除它, 也可以通过改变边沿检测的极性清除。

8

模拟/数字转换 (ADC)

模拟/数字转换 (ADC)

8.1 ADC 介绍

12 位 ADC 是逐次逼近式的模拟—数字转换器 (SAR A/D 转换器)。

A/D 转换器支持多种工作模式: 单次转换和连续转换模式, 并且可以选择通道自动扫描。A/D 转换的启动方式有软件设定、外部引脚触发以及各个定时器启动。

窗口比较器 (模拟看门狗) 允许应用程序检测输入电压是否超出了用户设定的高/低阈值。

ADC 的输入时钟不得超过 15MHz, 它是由 PCLK1 经分频产生。

8.2 ADC 主要特征

- 最高 12 位可编程分辨率的 SAR ADC, 多达 8 路外部输入通道和 1 路内部通道
- 高达 1Msps 转换速率
- 支持普通工作模式:
 - 单次转换模式: A/D 转换在指定通道完成一次转换
 - 单周期扫描模式: A/D 转换在所有指定通道 (从低序号通道到高序号通道, 或从高序号通道到低序号通道) 完成一个周期转换
 - 连续扫描模式: A/D 转换连续执行单周期扫描模式直到软件停止 A/D 转换。若需中途修改转换通道只能停止 A/D 转换, 配置完相关寄存器再重新开启转换。
- 支持任意通道工作模式:
 - 单次转换模式: A/D 转换在指定通道完成一次转换
 - 单周期扫描模式: A/D 转换在所有指定通道 (可按照任意顺序) 完成一个周期转换
 - 连续扫描模式: A/D 转换连续执行单周期扫描模式直到软件停止 A/D 转换。若想修改转换通道, 不必停止转换, 可配置相应寄存器, 在下一个扫描周期开始将进行新的通道转换。
- 通道采样时间、分辨率可软件配置
- A/D 转换开始条件:
 - 软件启动
 - 外部触发启动, 且软件可配置外部触发延时
 - Timer1/3 匹配或 TRGO 信号, 外部 EXTI 信号源
- 模拟看门狗, 转换结果可和指定的值相比较, 当转换值和设定值相匹配时, 用户可设定是否产生中断请求

8.3 系统框图

ADC 系统框图如下:

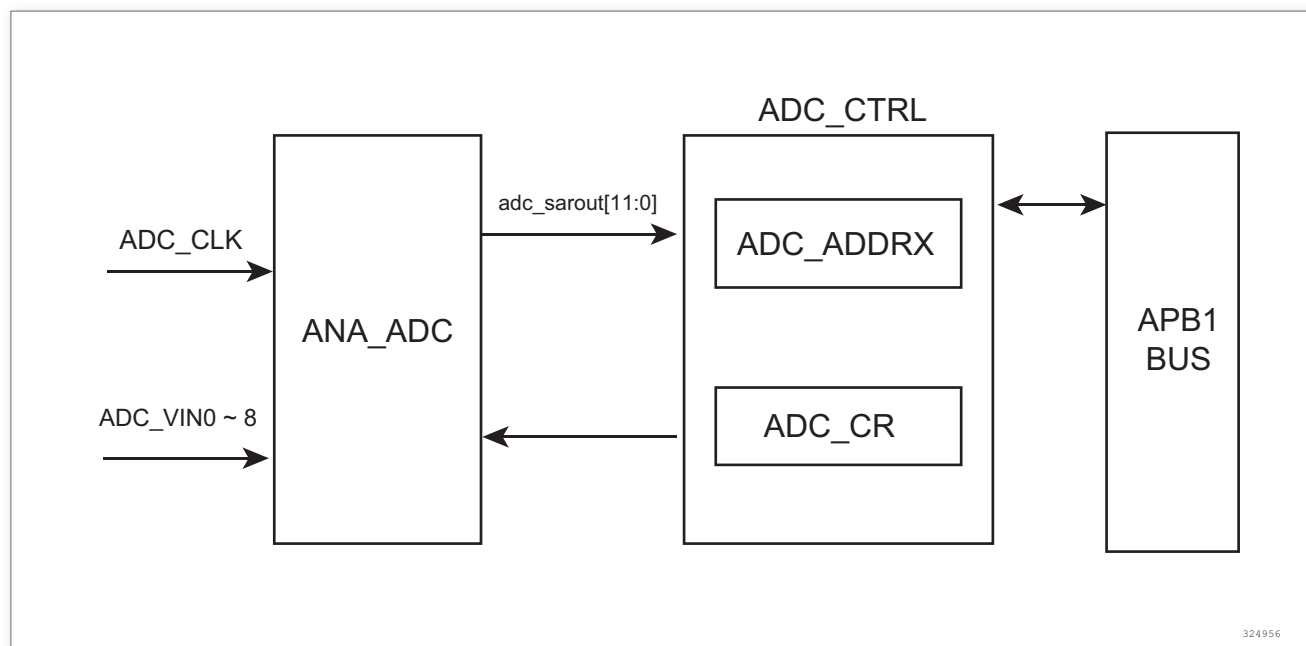


图 21. ADC 系统框图

8.4 ADC 功能描述

下图显示了 ADC 框图

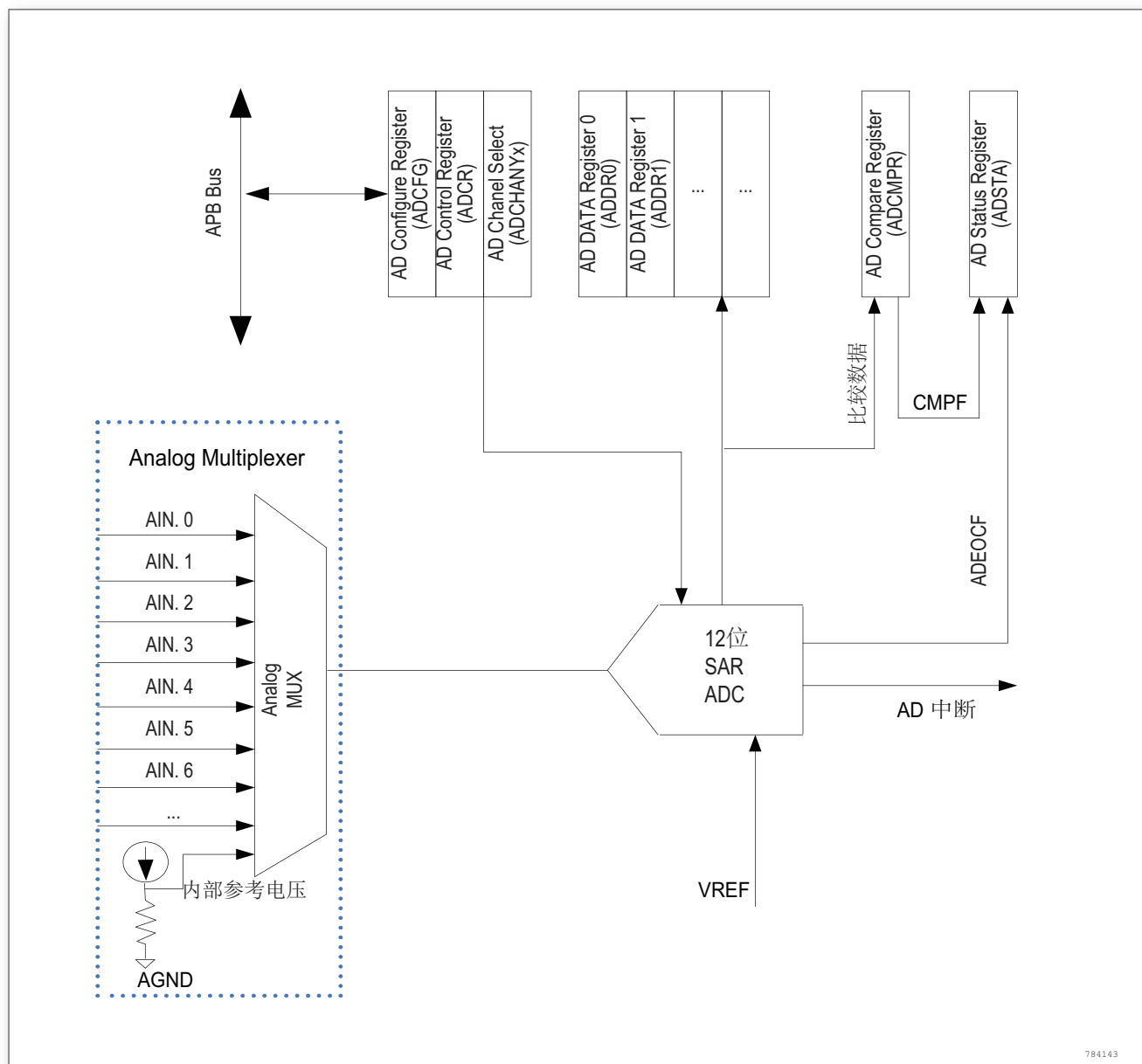


图 22. ADC 框图

注: V SENSOR(内部参考电压)通道在 ADC 的 AIN8 通道。

8.4.1 ADC 开关控制

通过设置 ADCFG 寄存器的 ADEN 位可给 ADC 上电。当第一次设置 ADEN 位时，它将 ADC 从断电状态下唤醒。

ADC 上电延迟一段时间后 (大约 200ns), 设置 ADCR 寄存器的 ADST 位开始进行转换。

通过清除 ADST 位可以停止转换，清除 ADEN 位可置于断电模式。

8.4.2 通道选择

ADC1 有 8 路外部输入通道和内部 1.2V 参考电压通道。每个外部输入通道都有独立的使能位，可通过设置 CHANY_NUM、ADC_CHANY0、ADC_CHANY1 来设置。

8.5 任意通道工作模式

8.5.1 单次转换模式

在单次转换模式下，A/D 转换相应通道上只执行一次，具体流程如下：

- 软件设置寄存器 ADC_ANY_CFG, ADC_CHANY0, ADC_CHANY1, 设置转换通道，置位 CHANY_MDEN。(单次转换模式，只需设置 CHANY_SEL0)
- 通过软件、外部触发输入及定时器溢出置位 ADCR 寄存器的 ADST，开始 A/D 转换。
- A/D 转换完成时，A/D 转换的数据值将存储于数据寄存器 ADDATA 和 ADDRn 中。
- A/D 转换完成时，状态寄存器 ADSTA 的 ADIF 位置 1。若此时控制寄存器 ADCR 的 ADIE 位置 1，将产生 AD 转换结束中断请求。
- A/D 转换期间，ADST 位保持为 1。A/D 通道采样结束后，ADST 位自动清 0，A/D 转换器进入空闲模式。
- 若在 A/D 转换过程中，软件更新 ADC_ANY_CFG, ADC_CHANY0, ADC_CHANY1，硬件不会立即更新这些配置，只会在当前设置的通道都转换结束时更新，然后等待下一次软件置位 ADST。

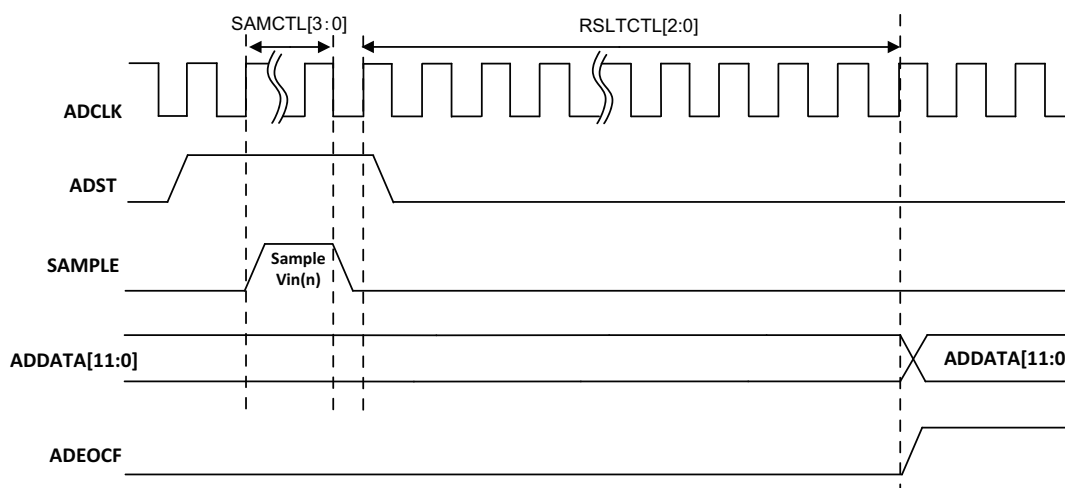


图 23. 单次转换模式，通道转换时序图

8.5.2 单周期扫描模式

在单周期扫描模式下，A/D 转换通道依软件配置执行一遍，具体流程如下：

- 软件设置寄存器 ADC_ANY_CFG, ADC_CHANY0, ADC_CHANY1, 将需要转换的通道、数量设置好，然后置位 CHANY_MDEN。
- 通过软件、外部触发置位 ADCR 寄存器的 ADST，外部触发可软件配置触发延时，A/D 转换方向从 CHANY_SEL0 到 CHANY_SEL8，转换通道数量由 CHANY_NUM 配置，且 CHANY_SEL0 到 CHANY_SEL8 是任意配置的，可以完全相同，或完全不相同。
- 每路 A/D 转换完成时，A/D 转换的数据值将有序装载到相应通道的数据寄存器中，ADIF 转换结束标志被设置，若此时控制寄存器 ADCR 的 ADIE 位置 1，将产生 AD 转换结束中断请求。

- A/D 最后一个通道采样结束后，ADST 位自动清 0，A/D 转换器进入空闲模式。
- 若在 A/D 转换过程中，软件更新 ADC_ANY_CFG, ADC_CHANY0, ADC_CHANY1，硬件不会立即更新这些配置，只会在当前设置的通道都转换结束时更新，然后等待下一次软件置位 ADST。

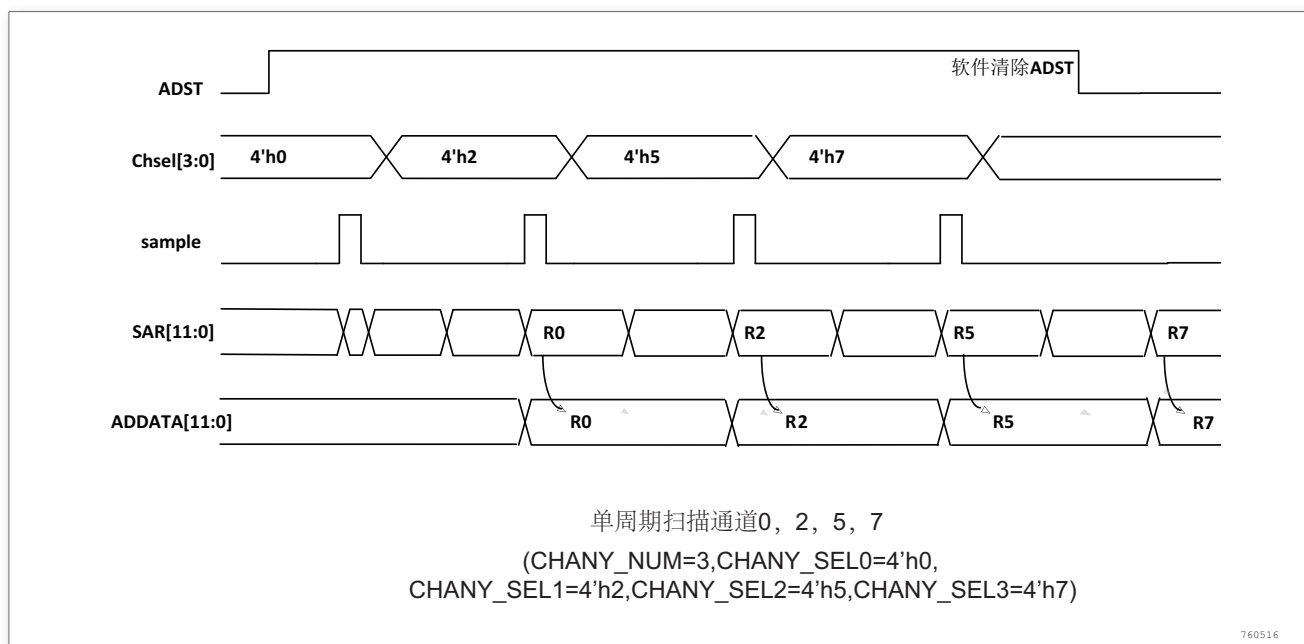
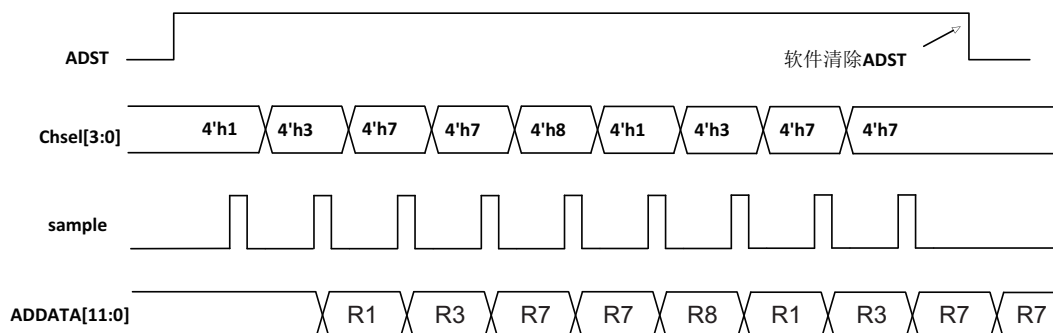


图 24. 单周期扫描下通道转换时序图

8.5.3 连续扫描模式

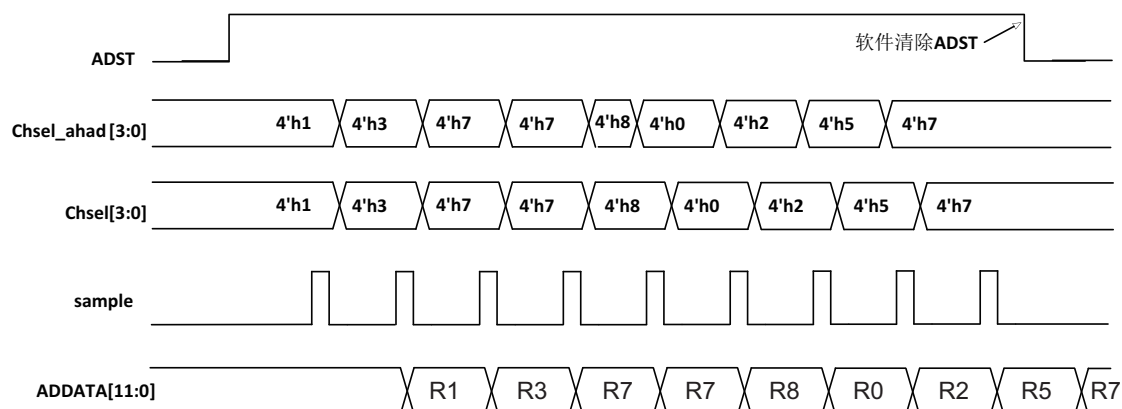
在连续扫描模式下，A/D 转换通道依软件配置一直执行，直到软件禁止。具体流程如下：

- 软件设置寄存器 ADC_ANY_CFG, ADC_CHANY0, ADC_CHANY1，将需要转换的通道、数量设置好，然后置位 CHANY_MDEN
- 通过软件、外部触发置位 ADCR 寄存器的 ADST，外部触发可软件配置触发延时，A/D 转换方向从 CHANY_SEL0 到 CHANY_SEL8，转换通道数量由 CHANY_NUM 配置，且 CHANY_SEL0 到 CHANY_SEL8 是任意配置的，可以完全相同，或完全不相同。
- 每路 A/D 转换完成时，A/D 转换的数据值将有序装载到相应通道的数据寄存器中，ADIF 转换结束标志被设置，若此时控制寄存器 ADCR 的 ADIE 位置 1，将产生 AD 转换结束中断请求。
- 只要 ADST 位保持为 1，持续进行 A/D 转换。当 ADST 位被清 0，当前 A/D 转换完成后停止，A/D 转换器进入空闲状态。
- 若在 A/D 转换过程中，软件更新 ADC_ANY_CFG, ADC_CHANY0, ADC_CHANY1，硬件不会立即更新这些配置，只会在当前设置的通道都转换结束时更新，即下一个扫描周期开始新的通道转换。



918119

图 25. 连续扫描模式，通道转换时序图



429524

图 26. 连续扫描模式，动态更新配置时序图

8.6 数据对齐

ADCR 寄存器中的 ALIGN 位选择转换后数据储存的对齐方式。数据可以左对齐或右对齐，如下图所示。

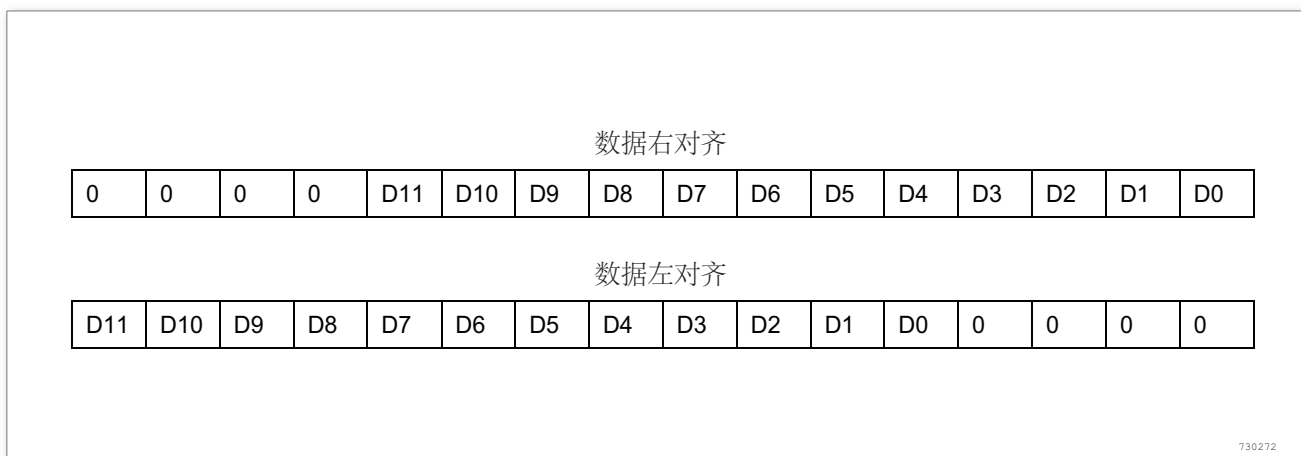


图 27. 数据对齐方式

8.7 可编程分辨率

ADC 转换有效位数可通过 ADC_CFG 寄存器中的 RSLTCTL[2: 0] 位更改，以便加快数据转换速率，有效数据位是在 12 位数据高位对齐。

8.8 可编程采样时间

ADC 的时钟 ADCLK 由 PCLK 1 分频得到，分频系数可通过设置 ADCFG 寄存器的 AD-CPRE 位来确定，即 $PCLK\ 1 / (N + 2)$ 分频后作为 ADC 时钟。ADC 使用若干个 ADC_CLK 周期对输入电压采样，采样周期数目可以通过 ADCFG 寄存器中的 SAMCTL[3:0] 位更改。

设置 ADC 分辨率为 n 位 (n=8,9,10,11,12)，每个通道采样周期为 m。

采样频率采样时间计算如下：

$$F_{\text{sample}} = F_{\text{ADCLK}} / (m + n + 0.5)。$$

假设分辨率配置为 12Bit，每个通道采样周期为 2.5T，则 $F_{\text{sample}} = F_{\text{ADCLK}} / 15。$

总转换时间如下计算：

$$T_{\text{CONV}} = \text{采样时间} + 12.5 \text{ 个转换周期}$$

例如：

当 ADCCLK = 15MHz，采样时间为 2.5 周期

$$T_{\text{CONV}} = 2.5 + 12.5 = 15，\text{总转换时间} = 1\mu\text{s}$$

8.9 外部触发转换

ADC 转换可以由外部事件触发 (例如定时器捕获，EXTI 线)。

在触发信号产生后，延时 N 个 PCLK1 的时钟周期再开始采样。如果是触发扫描模式，只有第一个通道采样被延时，其余通道是在上一个采样结束后立即开始。

如果设置了 ADCR 寄存器的 TRGEN 位，就可以使用外部事件触发转换。通过设置 TRGSEL 位可以选择外部触发源。

具体的外部触发源选择情况，可以参考 AD 控制寄存器 (ADCR.TRGSEL) 相关位的描述。

外部触发可设置延时控制，具体参考 AD 控制寄存器 (ADCR.TRGSHIFT) 相关位的描述。

8.10 内部基准参考电压

ADC 的内部信号源通道连接了一个内部基准参考电压，大小为 1.2V，此通道把 1.2V 的参考电压输出转换为数字值。

内部参考电压有单独的始能位，可通过设置寄存器的相应位开启或关闭。

8.11 窗口比较器模式下 AD 转换结果监控

比较模式下提供了上限和下限两个比较寄存器。可通过软件设定 CMPCH 位选择监控通道。

当 $CPMHDATA \geq CPMLDATA$ 时，比较结果大于或等于 ADCMPR 寄存器的 CPMHDATA 指定值或者小于 CMPLDATA 指定值，状态寄存器 ADSTA 的 ADWIF 位置 1。

当 $CPMHDATA < CPMLDATA$ 时，比较结果如果等于 CPMHDATA 指定值或者处于两个指定值之间，则状态寄存器 ADSTA 的 ADWIF 位置 1。

如果控制寄存器 ADCR 的 ADWIE 置位，将产生中断请求。

8.12 ADC 寄存器描述

表 108. ADC 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	ADC_ADDATA	A/D 数据寄存器	0x00000000	小节 8.12.1
0x04	ADC_ADCFG	A/D 配置寄存器	0x00000000	小节 8.12.2
0x08	ADC_ADCR	A/D 控制寄存器	0x00000000	小节 8.12.3
0x10	ADC_ADCMPR	A/D 窗口比较寄存器	0x00000000	小节 8.12.4
0x14	ADC_ADSTA	A/D 状态寄存器	0x00000000	小节 8.12.5
0x18~0x38	ADC_ADDR 0 ~ 8	A/D 数据寄存器	0x00000000	小节 8.12.6
0x5C	ADC_CHANY0	A/D 任意通道通道选择寄存器 0	0x00000000	小节 8.12.7
0x60	ADC_CHANY1	A/D 任意通道通道选择寄存器 1	0x00000000	小节 8.12.8
0x64	ADC_ANY_CFG	A/D 任意通道配置寄存器	0x00000000	小节 8.12.9
0x68	ADC_ANY_CR	A/D 任意通道控制寄存器	0x00000000	小节 8.12.10

8.12.1 A/D 数据寄存器 (ADC_ADDATA)

地址偏移：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										VALID	OVER RUN	CHANNELSEL			
										r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31 : 22	Reserved			保留，始终读为 0。
21	VALID	r	0x00	有效标志位 (只读)(Valid flag) 1 = DATA[11: 0] 位数据有效 0 = DATA[11: 0] 位数据无效 相应模拟通道转换完成后，将该位置位，读 ADDATA 寄存器后，该位由硬件清除。
20	OVERRUN	r	0x00	数据覆盖标志位 (只读)(Overrun flag) 1 = DATA[11: 0] 数据被覆盖 0 = DATA[11: 0] 数据最近一次转换结果 新的转换结果装载至寄存器之前，若 DATA[11: 0] 的数据没有被读取，OVERRUN 将置 1。读 ADDATA 寄存器后，该位由硬件清除。
19 : 16	CHANNELSEL	r	0x00	该 4 位显示当前数据所对应的通道 (Channel selection) 0000 = 通道 0 的转换数据 0001 = 通道 1 的转换数据 0010 = 通道 2 的转换数据 0011 = 通道 3 的转换数据 0100 = 通道 4 的转换数据 0101 = 通道 5 的转换数据 0110 = 通道 6 的转换数据 0111 = 通道 7 的转换数据 1000 = 内部参考电压的转换数据 其他：无效
15 : 0	DATA	r	0x00	12 位 A/D 转换结果 (Transfer data) 根据设置左对齐或者右对齐。

8.12.2 A/D 配置寄存器 (ADC_ADCFG)

地址偏移：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	ADCPRE	SAMCTL				RSLTCTL			ADCPRE			VSEN	Res.	ADWEN	ADEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

Bit	Field	Type	Reset	Description
31 : 15	Reserved			保留，始终读为 0。
14	ADCPRE	rw	0x00	ADC 预分频 (ADC prescaler) 作为 ADCPRE[3:0] 的最低位，与 Bit[6:4] 合用

Bit	Field	Type	Reset	Description
13 : 10	SAMCTL	rw	0x00	选择通道 x 的采样时间 (Channel x Sample time selection) 这些位用于独立地选择每个通道的采样时间。在采样周期中通道选择位必须保持不变。 0000: 2.5 周期 0100: 42.5 周期 0001: 8.5 周期 0101: 56.5 周期 0010: 14.5 周期 0110: 72.5 周期 0011: 29.5 周期 0111: 240.5 周期 1000: 3.5 周期 1001: 4.5 周期 1010: 5.5 周期 1011: 6.5 周期 1100: 7.5 周期 其他: 保留
9 : 7	RSLTCTL	rw	0x00	选择 ADCx 转换数据分辨率 (resolution) 000: 12 位有效 001: 11 位有效 010: 10 位有效 011: 9 位有效 100: 8 位有效
6 : 4	ADCPRE	rw	0x00	ADC 预分频 (ADC prescaler) 由软件置 ‘1’ 或清 ‘0’ 来确定 ADC 时钟频率。 PCLK1 的 $(([6:4],[14]) + 2)$ 分频作为 ADC 时钟
3	VSEN	rw	0x00	内部参考电压使能 (Voltage Sensor enable) 1: 内部电压传感器使能 0: 内部电压传感器禁用
2	Reserved			保留, 始终读为 0。
1	ADWEN	rw	0x00	A/D 窗口比较器使能 (ADC window comparison enable) 1 = A/D 窗口比较器使能 0 = A/D 窗口比较器禁用
0	ADEN	rw	0x00	A/D 转换使能 (ADC enable) 1 = 使能 0 = 禁用

8.12.3 A/D 控制寄存器 (ADC_ADCR)

地址偏移: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved						TRG_EDGE	Reserved	TRGSHIFT			TRGSEL		Res.		
						rw	rw				rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMPCH				ALIGN	ADMD	ADST	Res.	TRGSEL			Res.	TRGEN	ADWIE	ADIE	
rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 26	Reserved			保留, 始终读为 0。

Bit	Field	Type	Reset	Description
25 : 24	TRG_EDGE	rw	0x00	触发边沿选择 00: 双沿触发 01: 下沿触发 10: 上沿触发 11: 屏蔽触发
23 : 22	Reserved			保留, 始终读为 0。
21 : 19	TRGSHIFT	rw	0x00	外部触发延时采样 (External trigger shift sample) 在触发信号产生后, 延时 N 个 PCLK1 的时钟周期再开始采样。 如果是触发扫描模式, 其他通道是在上一个采样结束后立即开始。 0: 不延时 1: 4 个周期 2: 16 个周期 3: 32 个周期 4: 64 个周期 5: 128 个周期 6: 256 个周期 7: 512 个周期
18 : 17	TRGSEL	rw	0x00	外部触发源选择 (External trigger selection) 与 Bit[6:4] 合用
16	Reserved			保留, 始终读为 0。
15 : 12	CMPCH	rw	0x00	窗口比较通道选择 (Window comparison channel selection) selection) 0000 = 选择比较通道 0 转换结果 0001 = 选择比较通道 1 转换结果 0010 = 选择比较通道 2 转换结果 0011 = 选择比较通道 3 转换结果 0100 = 选择比较通道 4 转换结果 0101 = 选择比较通道 5 转换结果 0110 = 选择比较通道 6 转换结果 0111 = 选择比较通道 7 转换结果 1000 = 选择比较内部参考电压转换结果 1111 = 所有扫描通道 其他: 无效
11	ALIGN	rw	0x00	数据对齐 (Data alignment) 0: 右对齐 1: 左对齐
10 : 9	ADMD	rw	0x00	A/D 转换模式 (ADC mode) 00: 单次转换 01: 单周期扫描 10: 连续扫描 当改变转换模式时, 软件要先禁用 ADST 位。

Bit	Field	Type	Reset	Description
8	ADST	rw	0x00	A/D 转换开始 (ADC start) 1 = 转换开始 0 = 转换结束或进入空闲状态 ADST 置位有下列两种方式: 在单次模式或者单周期模式下, 转换完成后, ADST 将被硬件自动清除。 在连续扫描模式下, A/D 转换将一直进行, 直到软件写 ‘0’ 到该位或系统复位。
7	Reserved			保留, 始终读为 0。
6 : 4	TRGSEL	rw	0x00	外部触发源选择 (External trigger selection), 位 [18:17,6:4] 选择外部触发源 00101: TIM1_CC4 和 CC5 00000: TIM1_CC1 00001: TIM1_CC2 00010: TIM1_CC3 00011: Reserved 00100: TIM3_TRGO 00101: Reserved 00110: TIM3_CC1 00111: EXTI 线 11 01000: TIM1_TRGO 01001: Reserved 01010: Reserved 01001: Reserved 01100: TIM3_CC4 01101: Reserved 01110: Reserved 01111: EXTI 线 15 10000: TIM1_CC4 10001: TIM1_CC5 其他: 无效
3	Reserved			保留, 始终读为 0。
2	TRGEN	rw	0x00	外部硬件触发源 (External trigger enable) 1 = 使用外部触发信号启动 A/D 转换 0 = 不用外部触发信号启动 A/D 转换
1	ADWIE	rw	0x00	A/D 窗口比较器中断使能 (ADC window comparator interrupt enable) 1 = 使能 A/D 窗口比较器中断 0 = 禁用 A/D 窗口比较器中断

Bit	Field	Type	Reset	Description
0	ADIE	rw	0x00	A/D 中断使能 (ADC interrupt enable) 1 = 使能 A/D 中断 0 = 禁用 A/D 中断 如果 ADIF 置位, A/D 转换结束后产生中断请求。

8.12.4 A/D 窗口比较寄存器 (ADC_ADCMPR)

地址偏移: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				CMPHDATA											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				CMPLDATA											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 28	Reserved			保留, 始终读为 0。
27 : 16	CMPHDATA	rw	0x00	比较数值上限 (Compare data high limit) 该 12 位数值将和指定通道的转换结果相比较。
15 : 12	Reserved			保留, 始终读为 0。
11 : 0	CMPLDATA	rw	0x00	比较数值下限 (Compare data low limit) 该 12 位数值将和指定通道的转换结果相比较。

8.12.5 A/D 状态寄存器 (ADC_ADSTA)

地址偏移: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Reserved			OVERRUN									Reserved			VALID	
			r	r	r	r	r	r	r	r	r					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
VALID								CHANNEL				Res.	BUSY	ADWIF	ADIF	
r			r	r	r	r	r	r	r	r	r	r			rc w1	rc w1

Bit	Field	Type	Reset	Description
31 : 29	Reserved			保留, 始终读为 0。
28 : 20	OVERRUN	r	0x00	通道 0 ~ 8 的数据覆盖标志位 (Overrun flag) 只读。 通道 8 为电压传感器通道

Bit	Field	Type	Reset	Description
19 : 17	Reserved			保留, 始终读为 0。
16 : 8	VALID	r	0x00	通道 0 ~ 8 的有效标志位 (Valid flag) 只读。通道 8 为电压传感器通道
7 : 4	CHANNEL	r	0x00	当前转换通道 (Current conversion channel) 该 4 位在 BUSY = 1 时表示进行转换中的通道。BUSY = 0 时表示可进行下次转换的通道。
3	Reserved			保留, 始终读为 0。
2	BUSY	r	0x00	忙/空闲 (Busy) 1 = A/D 转换器忙碌 0 = A/D 转换器空闲
1	ADWIF	rc_w1	0x00	比较标志位 (ADC window comparator interrupt flag) 当 CPMHDATA ≥ CPMLDATA 时, 选择的 A/D 转换通道比较结果大于或等于 ADCMPR 寄存器的 CMPHDATA 指定值或者小于 CMPLDATA 指定值, 状态寄存器 ADSTA 的 ADWIF 位置 1。 当 CPMHDATA < CPMLDATA 时, 选择的 A/D 转换通道比较结果如果等于 CPMHDATA 指定值或者处于两个指定值之间, 则状态寄存器 ADSTA 的 ADWIF 位置 1。 该标志位写 ‘1’ 清零。
0	ADIF	rc_w1	0x00	A/D 转换结束标志位 (ADC convert complete flag) 该位由硬件在通道组转换结束时设置, 由软件清除。 1 = A/D 转换完成 0 = A/D 转换未完成 该标志位写 ‘1’ 清零。

8.12.6 A/D 数据寄存器 (ADC_ADDR0 ~ 8)

地址偏移: 0x18 – 0x38

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved										VALID	OVER RUN	Reserved			
										r	r				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31 : 22	Reserved			保留, 始终读为 0。

Bit	Field	Type	Reset	Description
21	VALID	r	0x00	有效标志位 (只读)(Valid flag) 1 = DATA[11: 0] 位数据有效 0 = DATA[11: 0] 位数据无效 相应模拟通道转换完成后, 将该位置位, 读 ADDATA 寄存器后, 该位由硬件清除。
20	OVERRUN	r	0x00	数据覆盖标志位 (只读)(Overrun flag) 1 = DATA [11: 0] 数据被覆盖 0 = DATA [11: 0] 数据最近一次转换结果 新的转换结果装载至寄存器之前, 若 DATA[11: 0] 的数据没有被读取, OVERRUN 将置 '1', 读 ADDATA 寄存器后, 该位由硬件清除。
19 : 16	Reserved			保留, 始终读为 0。
15 : 0	DATA	r	0x00	通道的 12 位 A/D 转换结果 (Transfer data) 根据设置左对齐或者右对齐。

8.12.7 A/D 任意通道通道选择寄存器 0(ADC_CHANY0)

地址偏移: 0x5C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CHANY_SEL7				CHANY_SEL6				CHANY_SEL5				CHANY_SEL4			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHANY_SEL3				CHANY_SEL2				CHANY_SEL1				CHANY_SEL0			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 28	CHANY_SEL7	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
27 : 24	CHANY_SEL6	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
23 : 20	CHANY_SEL5	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
19 : 16	CHANY_SEL4	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
15 : 12	CHANY_SEL3	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
11 : 8	CHANY_SEL2	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
7 : 4	CHANY_SEL1	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。
3 : 0	CHANY_SEL0	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。

注: 单周期扫描或连续扫描模式下, 硬件会启动 ADC_CHANY0 影子寄存器, 在 ADC 未开始工作时, 软件写 ADC_CHANY0 的话, 也会写到其影子寄存器; 在 ADC 工作期间, 若更改 ADC_CHANY0 的值, 只会更新其影子寄存器, 且当 ADC 开始转换最后一个通道时, 影子寄存器的值会更新至 ADC_CHANY0, 这样即可完成动态切换通道。

8.12.8 A/D 任意通道通道选择寄存器 1(ADC_CHANY1)

地址偏移: 0x60

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CHANY_SEL8			
												rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 4	Reserved			保留, 始终读为 0。
3 : 0	CHANY_SEL8	rw	0x00	可配置为通道 0 ~ 通道 8 中的任意通道。

注: 单周期扫描或连续扫描模式下, 硬件会启动 ADC_CHANY1 影子寄存器, 在 ADC 未开始工作时, 软件写 ADC_CHANY1 的话, 也会写到其影子寄存器; 在 ADC 工作期间, 若更改 ADC_CHANY1 的值, 只会更新其影子寄存器, 且当 ADC 开始转换最后一个通道时, 影子寄存器的值会更新至 ADC_CHANY1, 这样即可完成动态切换通道。

8.12.9 A/D 任意通道配置寄存器 (ADC_ANY_CFG)

地址偏移: 0x64

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CHANY_NUM			
												rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 4	Reserved			保留, 始终读为 0。
3 : 0	CHANY_NUM	rw	0x00	通道数配置: 0: 0 通道 1: 0 ~ 1 通道 2: 0 ~ 2 通道 ... 7: 0 ~ 7 通道 8: 0 ~ 8 通道

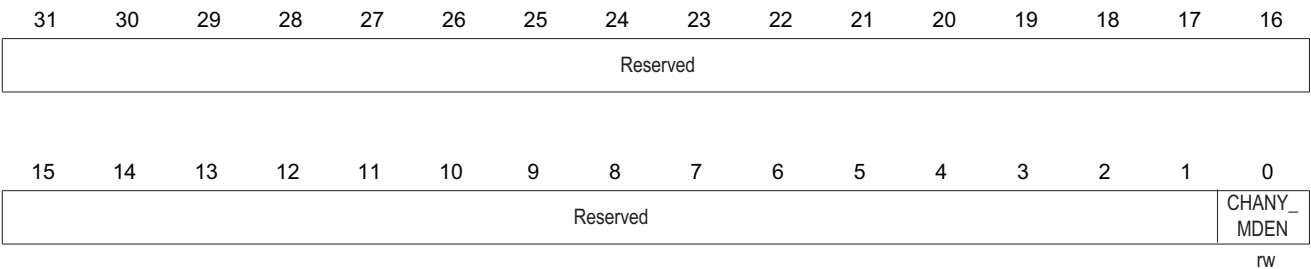
注: 单周期扫描或连续扫描模式下, 硬件会启动 ADC_NUM 影子寄存器, 在 ADC 未开始工作时, 软件写 ADC_NUM 的话, 也会写到其影子寄存器; 在 ADC 工作期间, 若更改 ADC_NUM 的值, 只会

更新其影子寄存器，且当 ADC 开始转换最后一个通道时，影子寄存器的值会更新至 ADC_NUM，这样即可完成动态切换通道。

8.12.10 A/D 任意通道控制寄存器 (ADC_ANY_CR)

地址偏移：0x68

复位值：0x0000 0000



Bit	Field	Type	Reset	Description
31 : 1	Reserved			保留，始终读为 0。
0	CHANY_MDEN	rw	0x00	任意通道配置模式使能位： 1: 使能 0: 禁止 在使能后，配置 ADC 通道功能发生变化。由两部分共同控制，CHANY_NUM 是配置通道 0 ~ 通道 8 中的通道数，然后通道 0 ~ 通道 8 分别由 CHANY_SEL0 ~ CHANY_SEL8 配置为任意 ADC 通道。

注：在任意通道模式，且单周期/连续扫描模式下，关闭 ADC 时，必须先禁止 ADC_ADCR 的 ADST 位，然后判断 ADC_ADSTA 的 BUSY 位是否为 0，即等到 ADC 转换完成，再禁止 ADC_ANY_CR 的 CHANY_MDEN 位。

9

高级控制定时器 (TIM1)

高级控制定时器 (TIM1)

9.1 TIM1 简介

高级控制定时器 (TIM1) 由一个 16 位的自动装载计数器组成，它由一个可编程的预分频器驱动。

它适合多种用途，包含测量输入信号的脉冲宽度 (输入捕获)，或者产生输出波形 (输出比较、PWM、嵌入死区时间的互补 PWM 等)。

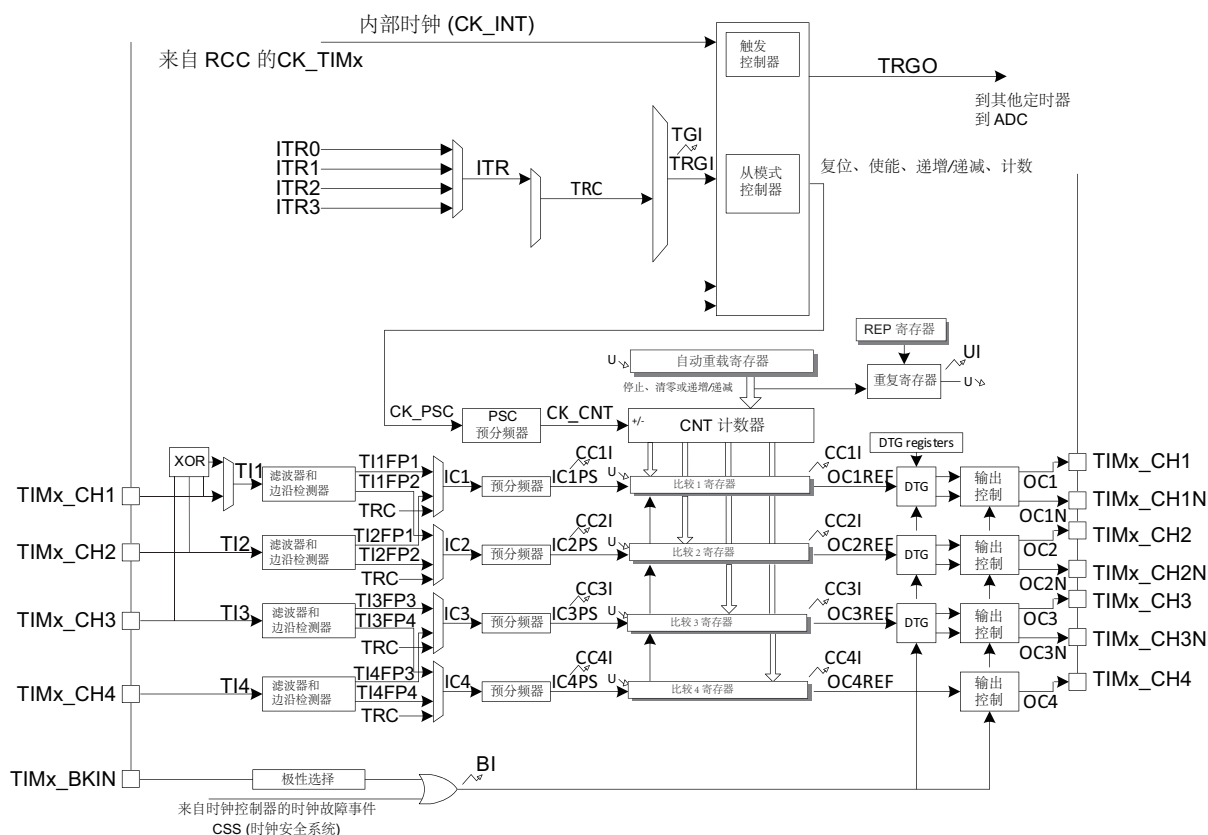
使用定时器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

高级控制定时器 (TIM1) 和通用定时器 (TIMx) 是完全独立的，它们不共享任何资源。它们可以同步操作，具体描述参看通用定时器同步的章节。

9.2 主要特征

TIM1 定时器的功能包括：

- 16 位向上、向下、向上/下自动装载寄存器
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 多达 4 个独立通道
 - 输入捕获
 - 输出比较
 - PWM 生成 (边缘或中间对齐模式)
 - 单脉冲模式输出
- 死区时间可编程的互补输出
- 使用外部信号控制定时器和定时器互联的同步电路
- 允许在指定数目的计数器周期之后更新定时器寄存器的重复计数器
- 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- 支持针对定位的增量 (正交) 编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理



注: **Reg** 根据控制位, 在发生 U 事件后, 预装载寄存器内容转移到有效寄存器

$U \ni$ 事件

中断输出

273662

图 28. 高级控制定时器框图

9.3 功能描述

9.3.1 时基单元

可编程高级控制定时器的主要部分是一个 **16 位** 计数器和与其相关的自动装载寄存器。这个计数器可以向上计数、向下计数或者向上向下双向计数。此计数器时钟由预分频器分频得到。

计数器、自动装载寄存器和预分频器寄存器可以由软件读写，即使计数器还在运行读写仍然有效。

时基单元包含：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)

- 自动装载寄存器 (TIMx_ARR)
- 重复次数寄存器 (TIMx_RCR)

自动装载寄存器是预先装载的，写或读自动重载寄存器将访问预装载寄存器。根据在 TIMx_CR1 寄存器中的自动装载预装载使能位 (ARPE) 的设置，预装载寄存器的内容被立即或在每次发送更新事件 UEV 时传送到影子寄存器。当计数器达到溢出条件 (向下计数时的下溢条件) 并当 TIMx_CR1 寄存器中的 UDIS 位等于 0 时，产生更新事件。更新事件也可以由软件产生。随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 CK_CNT 驱动，仅当设置了计数器 TIMx_CR1 寄存器中的计数器使能位 (CEN) 时，CK_CNT 才有效。(更多有关使能计数器的细节，请参见控制器的从模式描述)。

注：在设置了 TIMx_CR 寄存器的 CEN 位的一个时钟周期后，计数器开始计数。

预分频器描述

预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。它是基于一个 (TIMx_PSC 寄存器中的)16 位寄存器控制的 16 位计数器。因为这个控制寄存器带有缓冲器，它能够在运行时被改变。新的预分频器的参数在下次更新事件到来时被采用。

下面两个图分别给出了在预分频器运行时，更改计数器参数的例子。

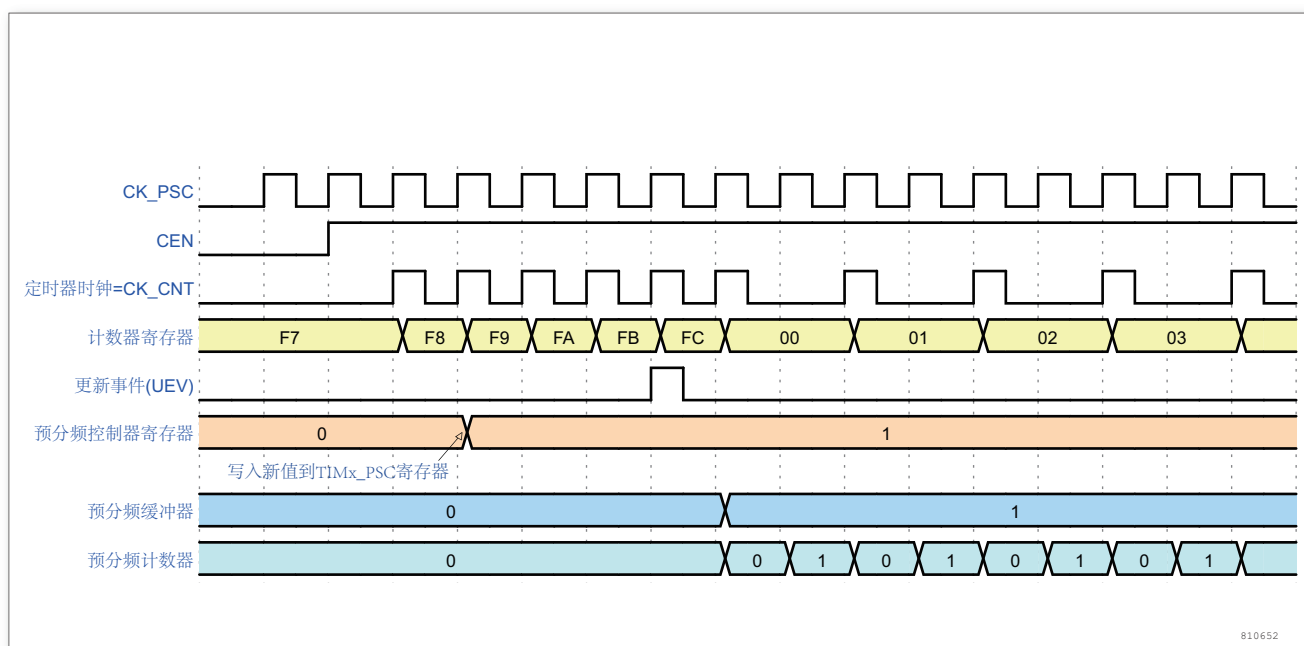


图 29. 当预分频器的参数从 1 变到 2 时，计数器的时序图

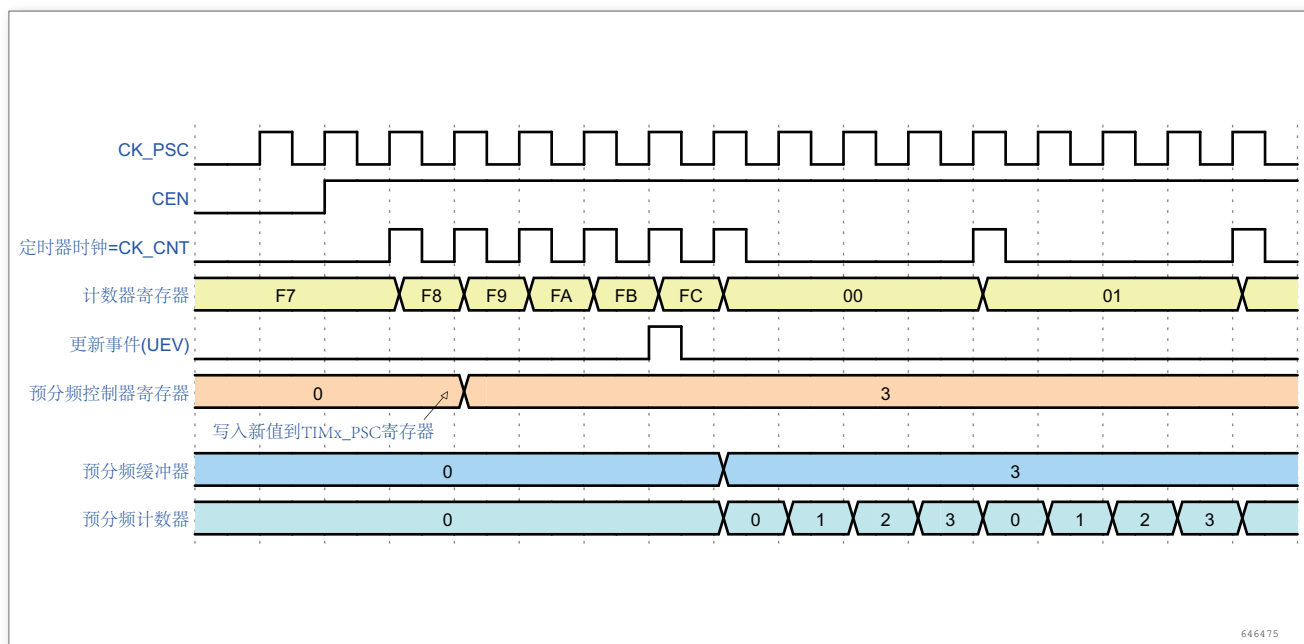


图 30. 当预分频器的参数从 1 变到 4 时，计数器的时序图

9.3.2 计数模式

向上计数模式

在向上计数模式中，计数器从 0 计数到自动加载值 (TIMx_ARR 计数器的内容)，然后重新从 0 开始计数并且产生一个计数器溢出事件。

如果使用了重复计数器功能，在向上计数达到设置的重复计数次数 (TIMx_RCR) 时，产生更新事件 (UEV)；否则每次计数器溢出时才产生更新事件。

在 TIMx_EGR 寄存器中设置 UG 位 (通过软件方式或者使用从模式控制器) 也同样可以产生一个更新事件。

设置 TIMx_CR1 寄存器中的 UDIS 位，可以禁止更新事件；这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。在 UDIS 位被清 0 之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清 0，同时预分频器的计数也被清 0 (但预分频器的数值不变)。此外，如果设置了 TIMx_CR1 寄存器中的 URS 位 (选择更新请求)，设置 UG 位将产生一个更新事件 UEV，但硬件不设置 UIF 标志 (即不产生中断)。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件时，所有的寄存器都被更新，硬件同时 (依据 URS 位) 设置更新标志位 (TIMx_SR 寄存器中的 UIF 位)。

- 重复计数器被重新加载为 TIMx_RCR 寄存器的内容。
- 自动装载影子寄存器被重新置入预装载寄存器的值 (TIMx_ARR)。
- 预分频器的缓冲区被置入预装载寄存器的值 (TIMx_PSC 寄存器的内容)。

下图给出一些例子，当 TIMx_ARR = 0x36 时计数器在不同时钟频率下的动作。

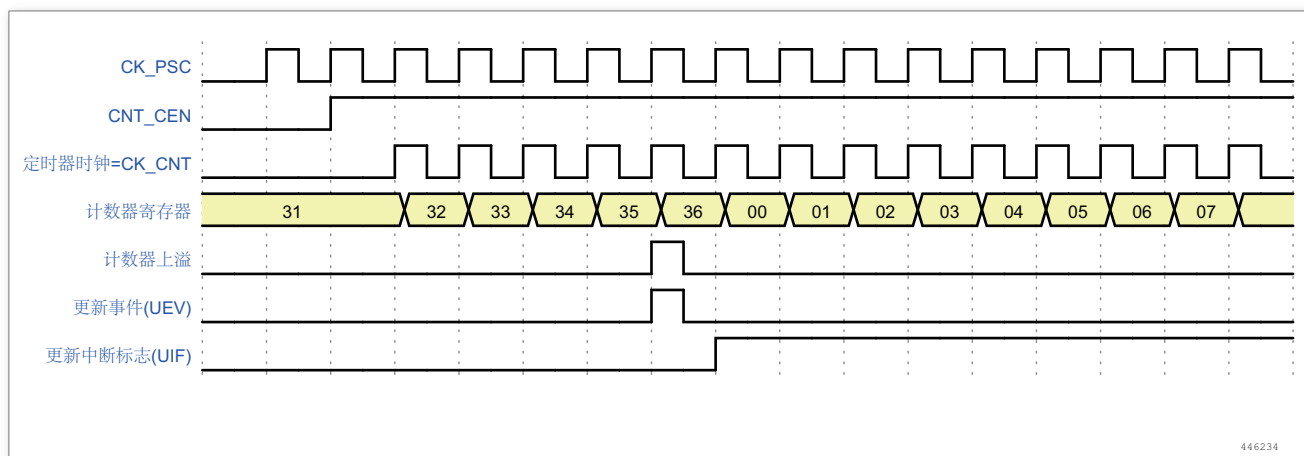


图 31. 计数器时序图, 内部时钟分频因子为 1

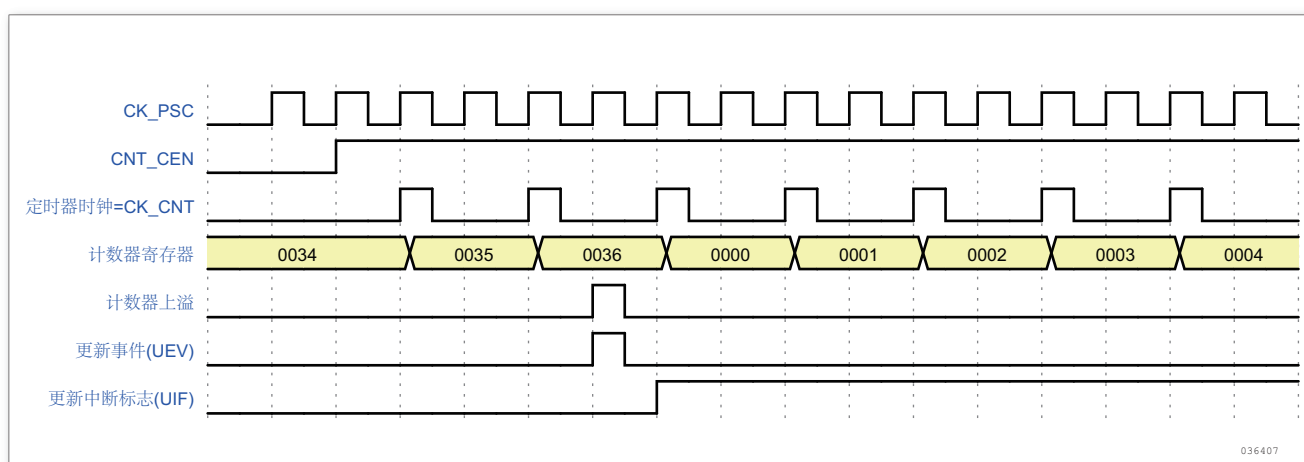


图 32. 计数器时序图, 内部时钟分频因子为 2

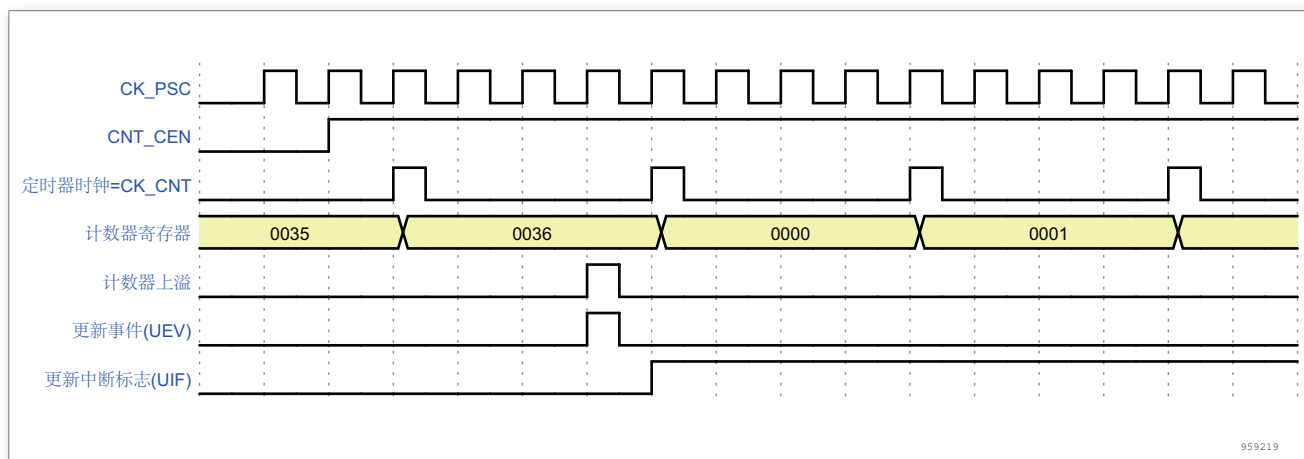


图 33. 计数器时序图, 内部时钟分频因子为 4

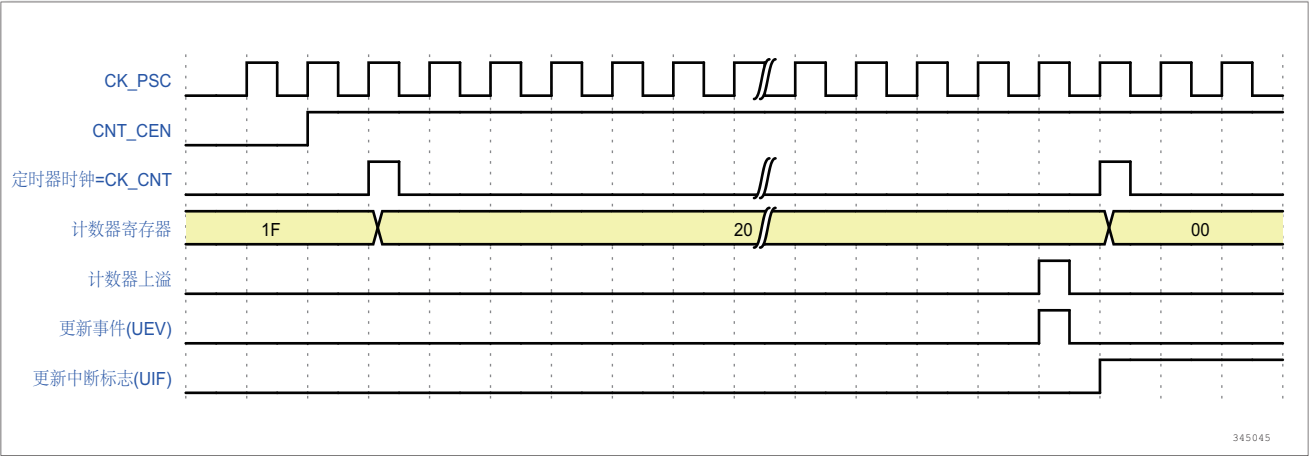


图 34. 计数器时序图，内部时钟分频因子为 N

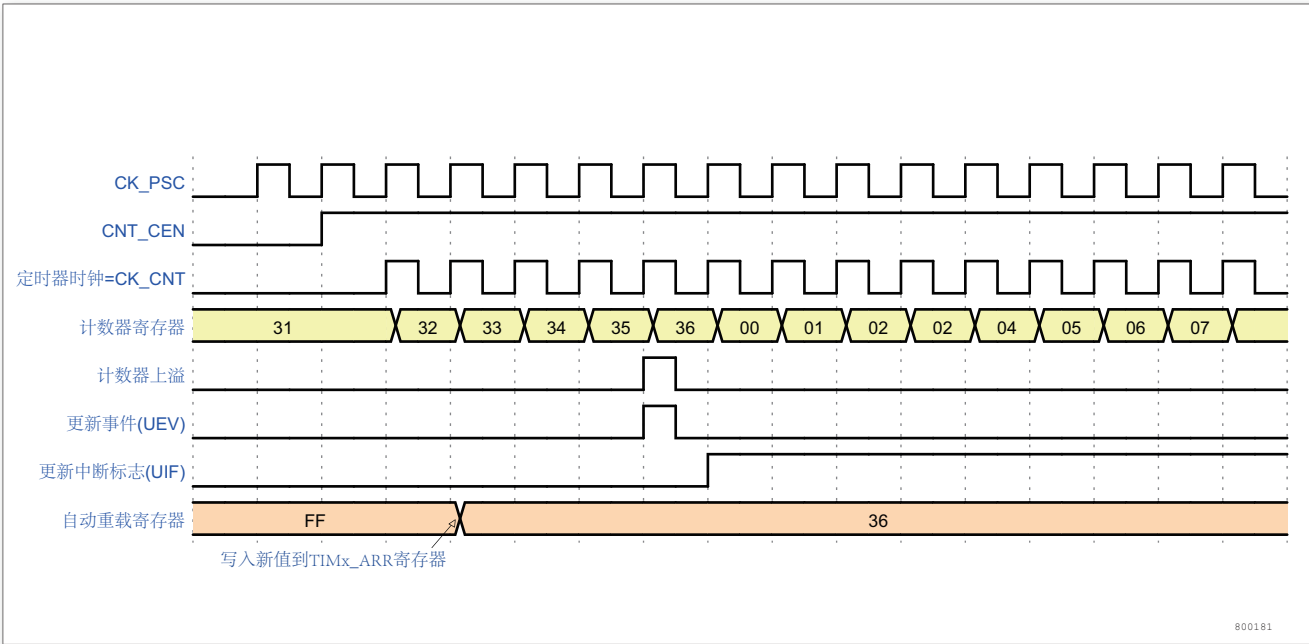


图 35. 计数器时序图，当 ARPE = 0 时的更新事件 (TIMx_ARR 没有预装入)

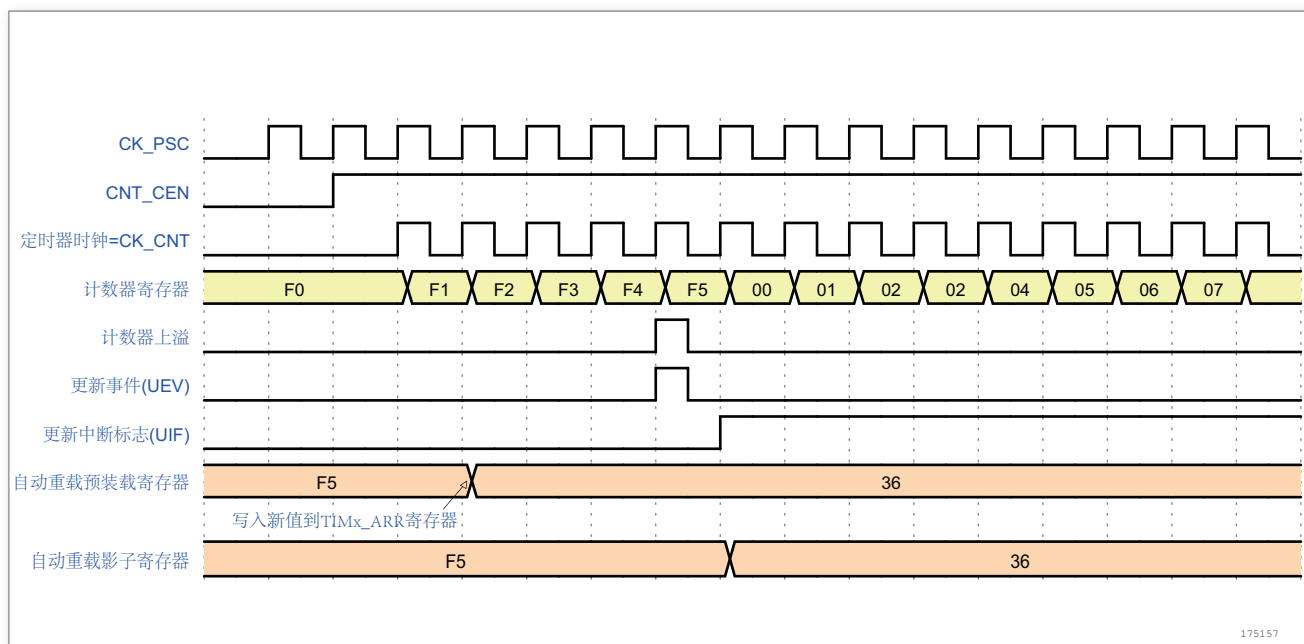


图 36. 计数器时序图, 当 ARPE = 1 时的更新事件 (预装入了 TIMx_ARR)

向下计数模式

在向下模式中, 计数器从自动装入的值 (TIMx_ARR 计数器的值) 开始向下计数到 0, 然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

如果使用了重复计数器, 当向下计数重复了重复计数寄存器 (TIMx_RCR) 中设定的次数后, 将产生更新事件 (UEV), 否则每次计数器下溢时才产生更新事件。

在 TIMx_EGR 寄存器中设置 UG 位 (通过软件方式或者使用从模式控制器) 也同样可以产生一个更新事件。

设置 TIMx_CR1 寄存器中的 UDIS 位可以禁止 UEV 事件。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。因此 UDIS 位被清为 0 之前不会产生更新事件。然而, 计数器仍会从当前自动加载值重新开始计数, 并且预分频器的计数器重新从 0 开始 (但预分频器的速率不能被修改)。

此外, 如果设置了 TIMx_CR1 寄存器中的 URS 位 (选择更新请求), 设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志 (因此不产生中断), 这是为了避免在发生捕获事件并清除计数器时, 同时产生更新和捕获中断。

当发生更新事件时, 所有的寄存器都被更新, 并且 (根据 URS 位的设置) 更新标志位 (TIMx_SR 寄存器中的 UIF 位) 也被设置。

- 重复计数器被重置为 TIMx_RCR 寄存器中的内容。
- 预分频器的缓存器被加载为预装载的值 (TIMx_PSC 寄存器的值)。
- 当前的自动加载寄存器被更新为预装载值 (TIMx_ARR 寄存器中的内容)。

注: 自动装载在计数器重载入之前被更新, 因此下一个周期将是预期的值。

以下是一些当 TIMx_ARR = 0x36 时, 计数器在不同时钟频率下的操作例子。

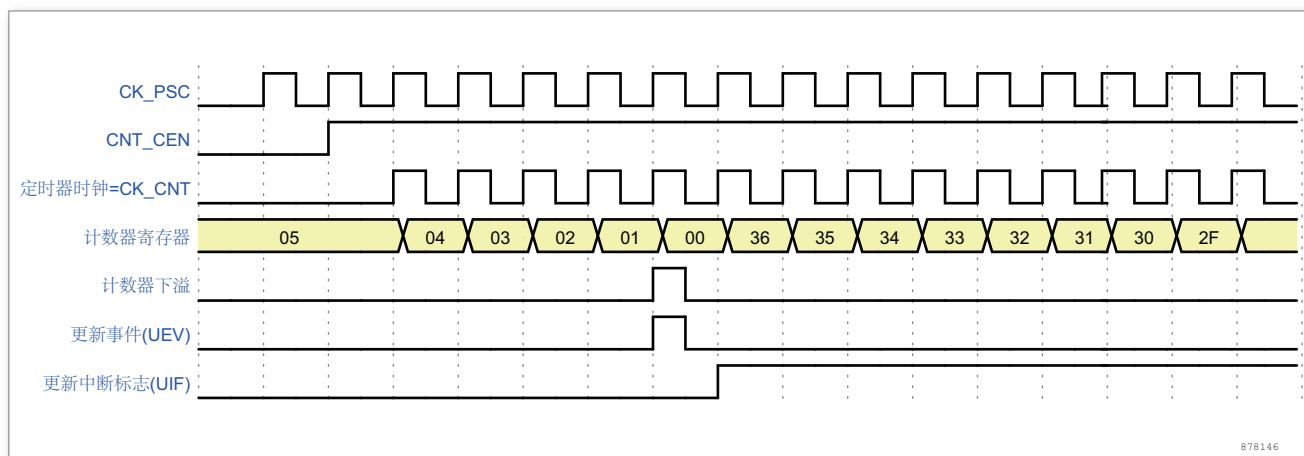


图 37. 计数器时序图，内部时钟分频因子为 1

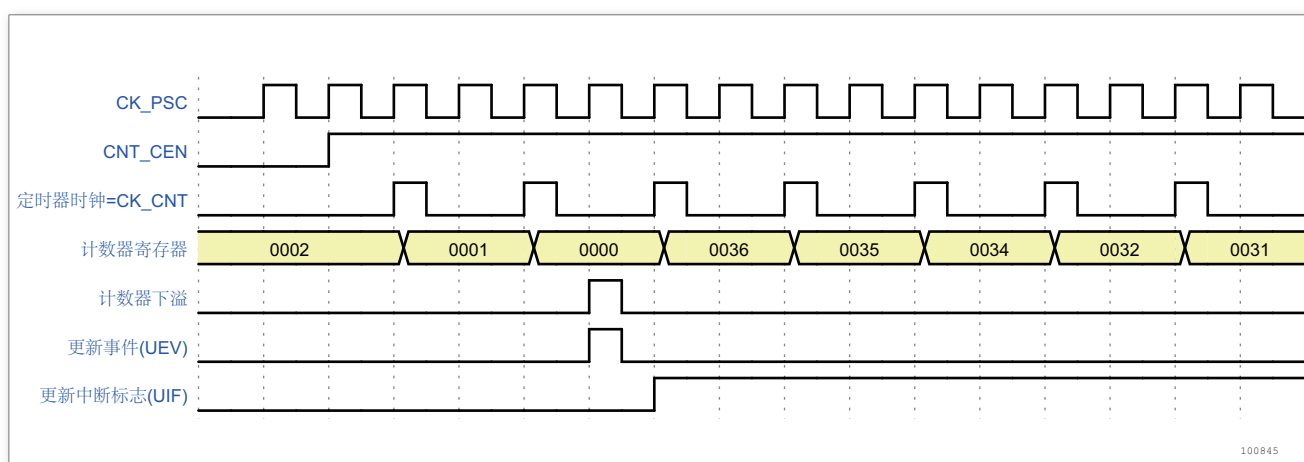


图 38. 计数器时序图，内部时钟分频因子为 2

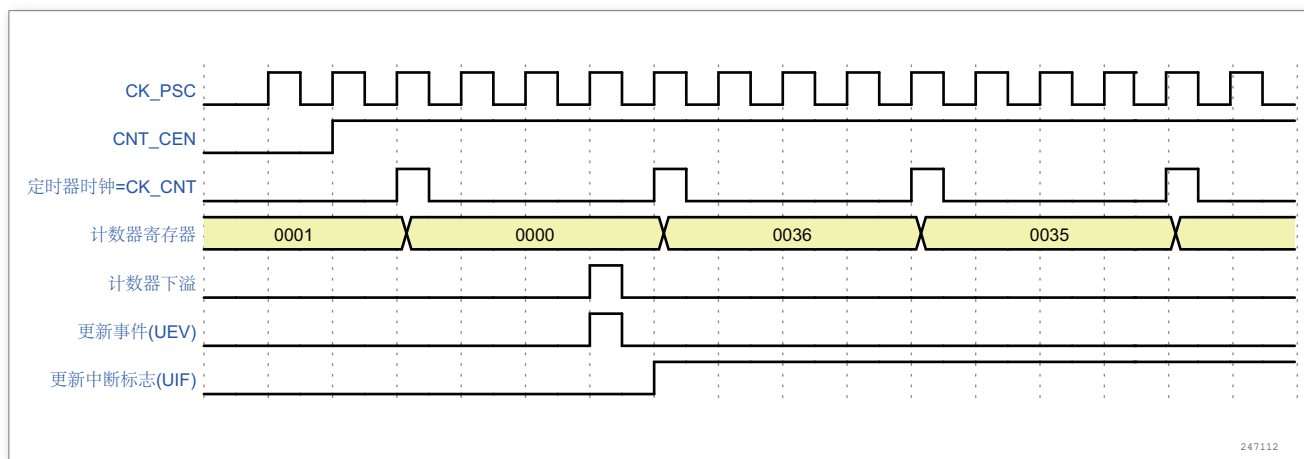


图 39. 计数器时序图，内部时钟分频因子为 4

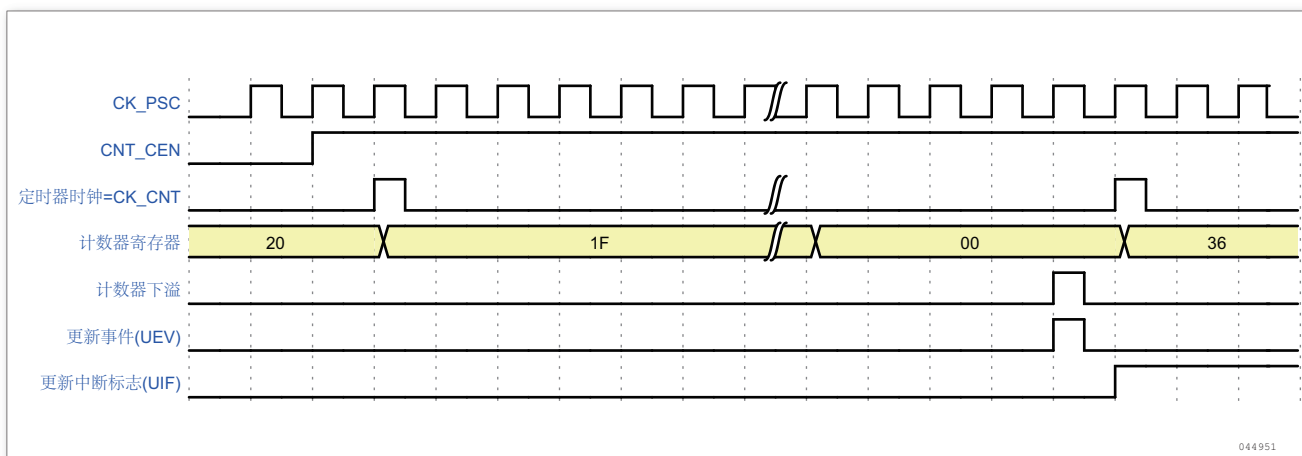


图 40. 计数器时序图，内部时钟分频因子为 N

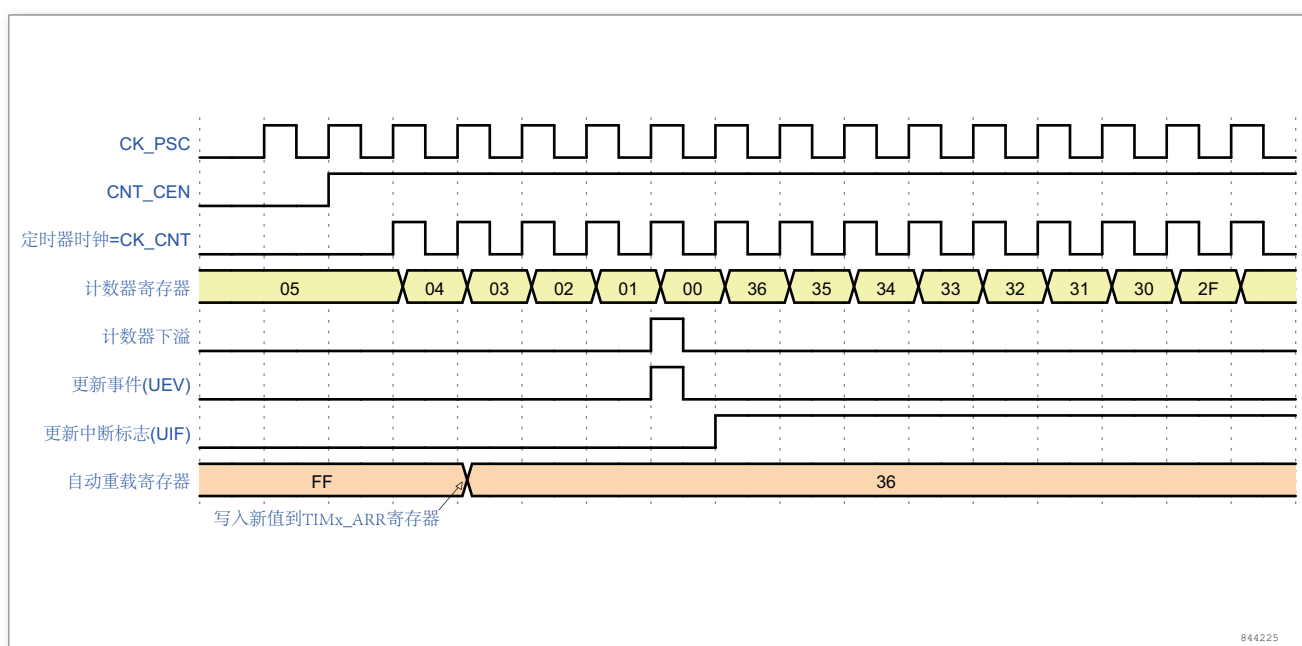


图 41. 计数器时序图，当没有使用重复计数器时的更新事件

中央对齐模式 (向上/向下计数)

在中央对齐模式，计数器从 0 开始计数到自动加载的值 (TIMx_ARR 寄存器)- 1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在此模式下，不能写入 TIMx_CR1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。

更新事件可以产生在每次计数上溢和每次计数下溢；也可以通过 (软件或者使用从模式控制器) 设置 TIMx_EGR 寄存器中的 UG 位产生。此时，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

设置 TIMx_CR1 寄存器中的 UDIS 位可以禁止 UEV 事件。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。因此 UDIS 位被清为 0 之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。

此外，如果设置了 TIMx_CR1 寄存器中的 URS 位 (选择更新请求)，设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志 (因此不产生中断)，这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且 (根据 URS 位的设置) 更新标志位 (TIMx_SR 寄存器中的 UIF 位) 也被设置。

- 重复计数器被重置为 TIMx_RCR 寄存器中的内容。
- 预分频器的缓存器被加载为预装载 (TIMx_PSC 寄存器) 的值。
- 当前的自动加载寄存器被更新为预装载值 (TIMx_ARR 寄存器中的内容)。

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值 (计数器被装载为新的值)。

以下是一些计数器在不同时钟频率下的操作的例子：

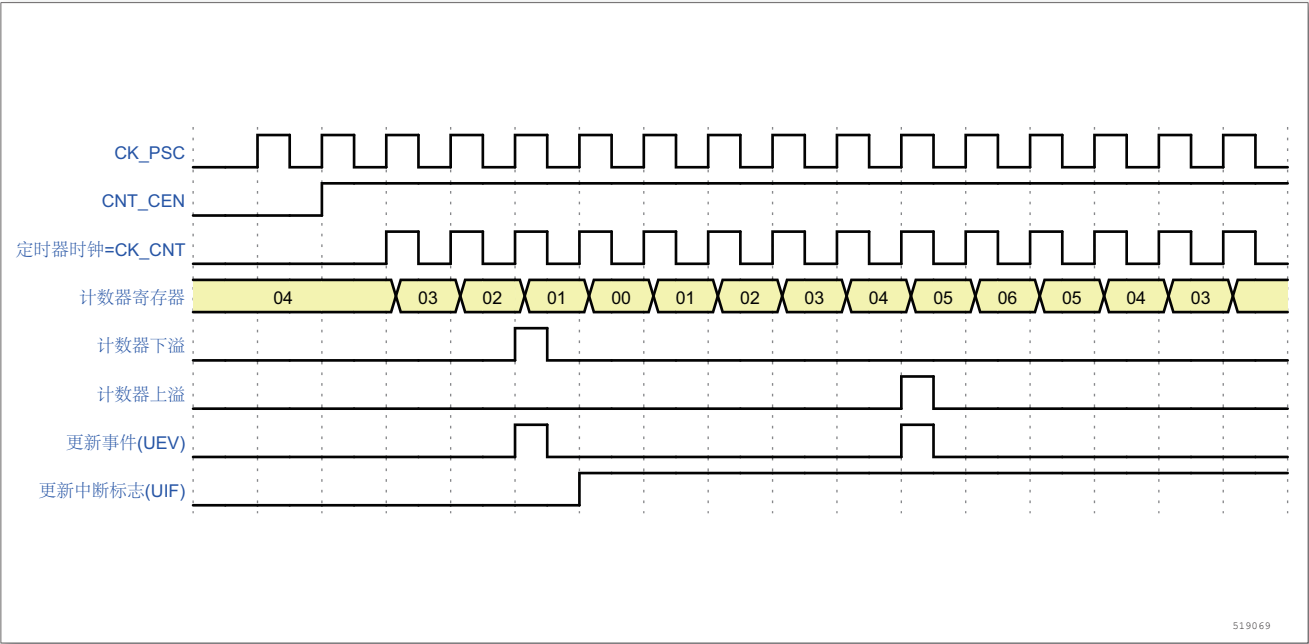


图 42. 计数器时序图，内部时钟分频因子为 1，TIMx_ARR = 0x06

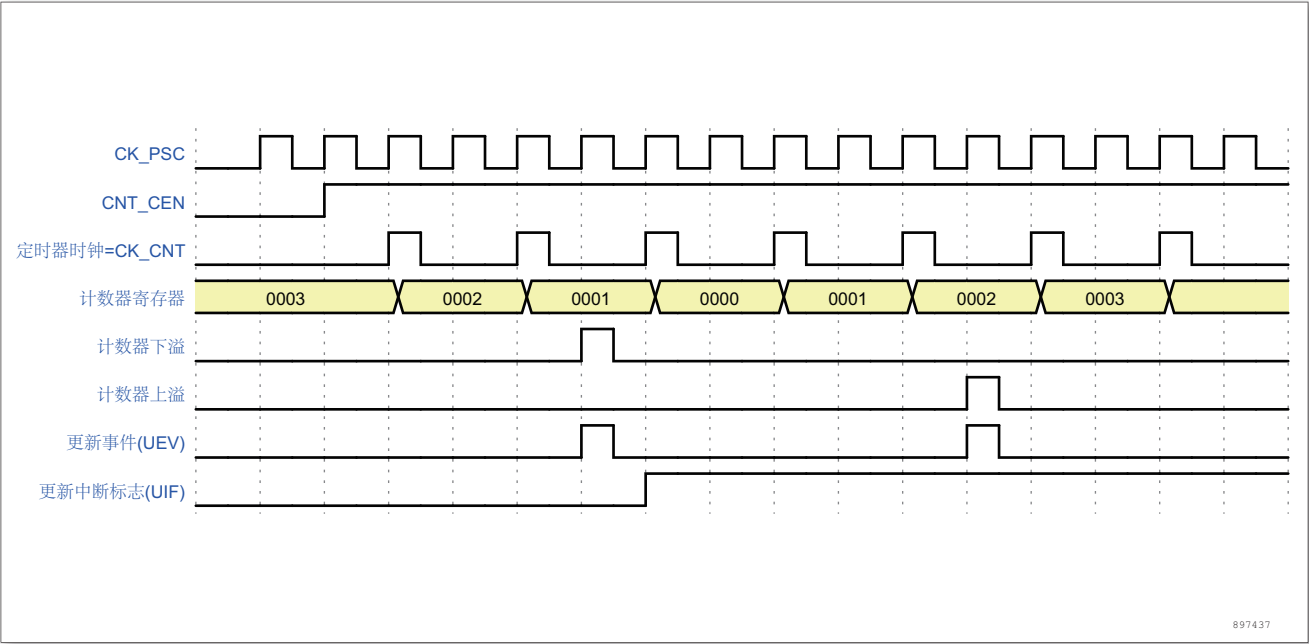


图 43. 计数器时序图，内部时钟分频因子为 2

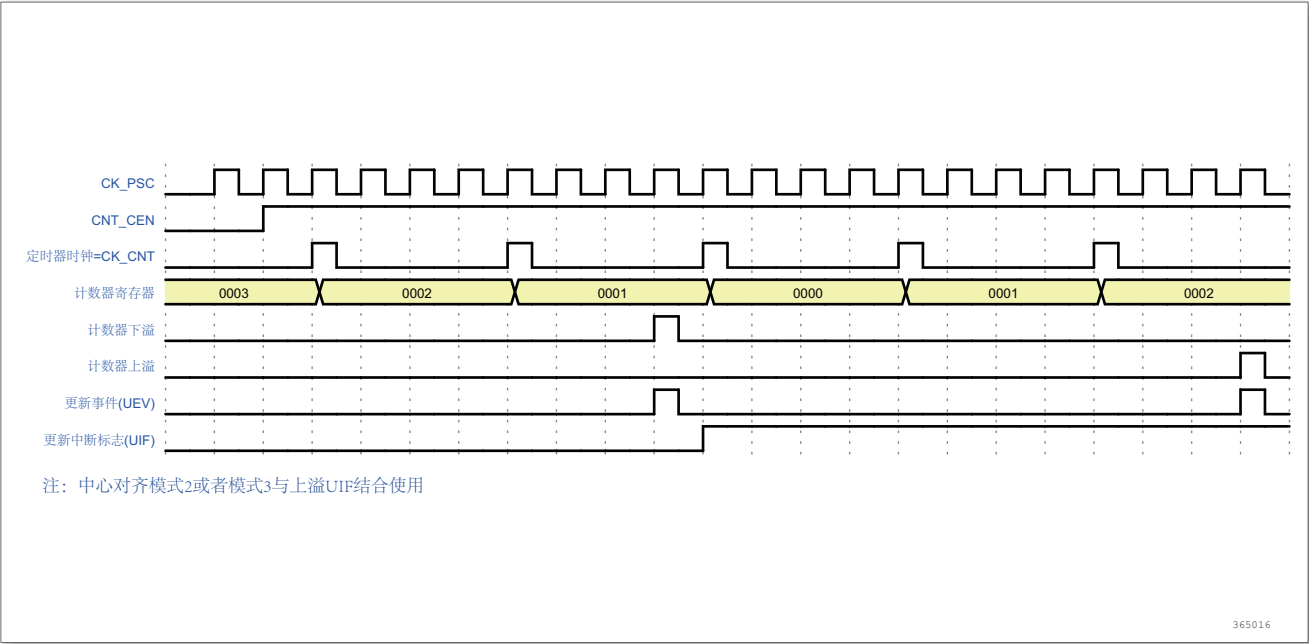


图 44. 计数器时序图，内部时钟分频因子为 4，TIMx_ARR = 0x03

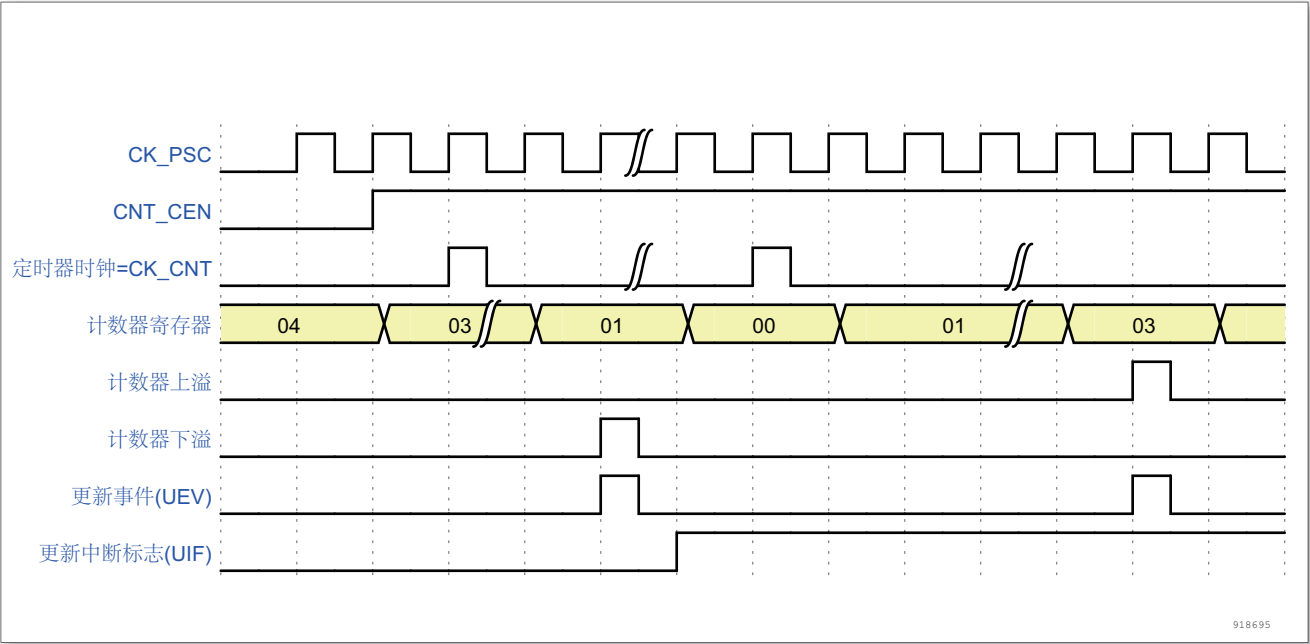


图 45. 计数器时序图，内部时钟分频因子为 N

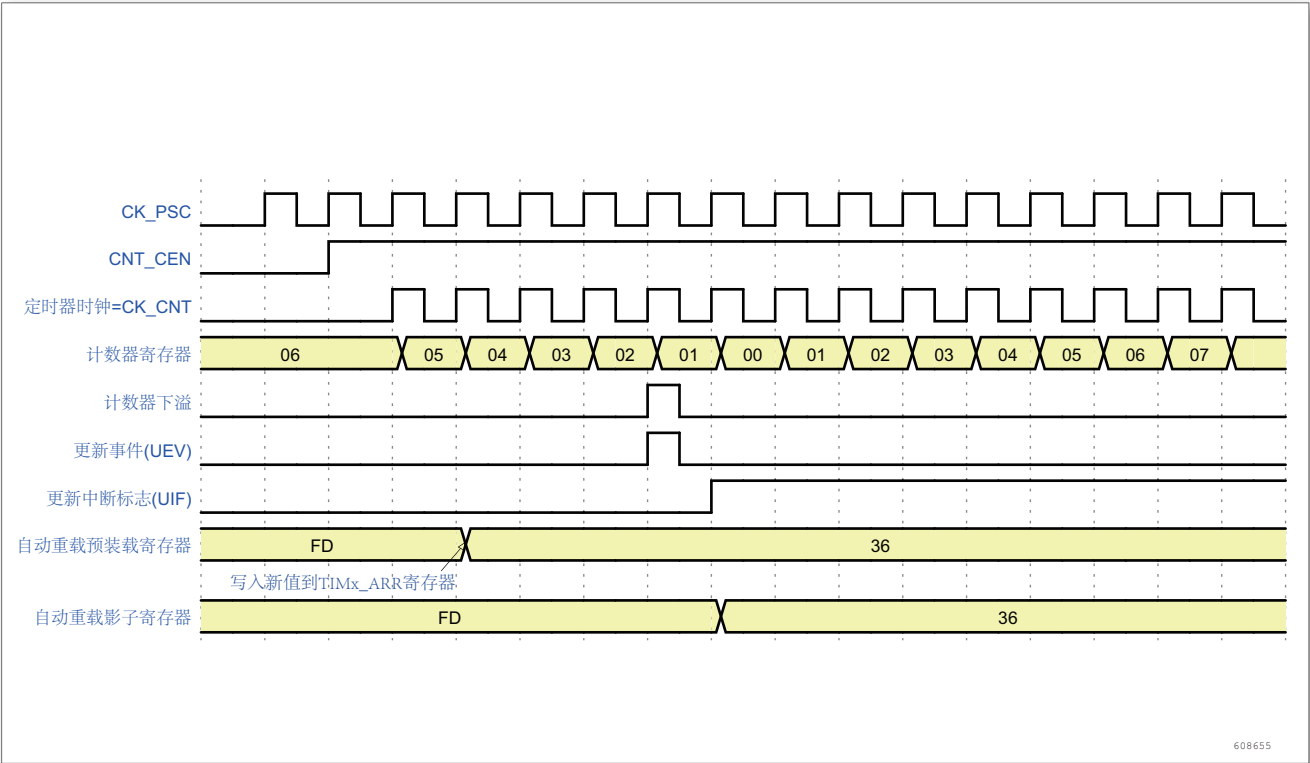


图 46. 计数器时序图，ARPE = 1 时的更新事件 (计数器下溢)

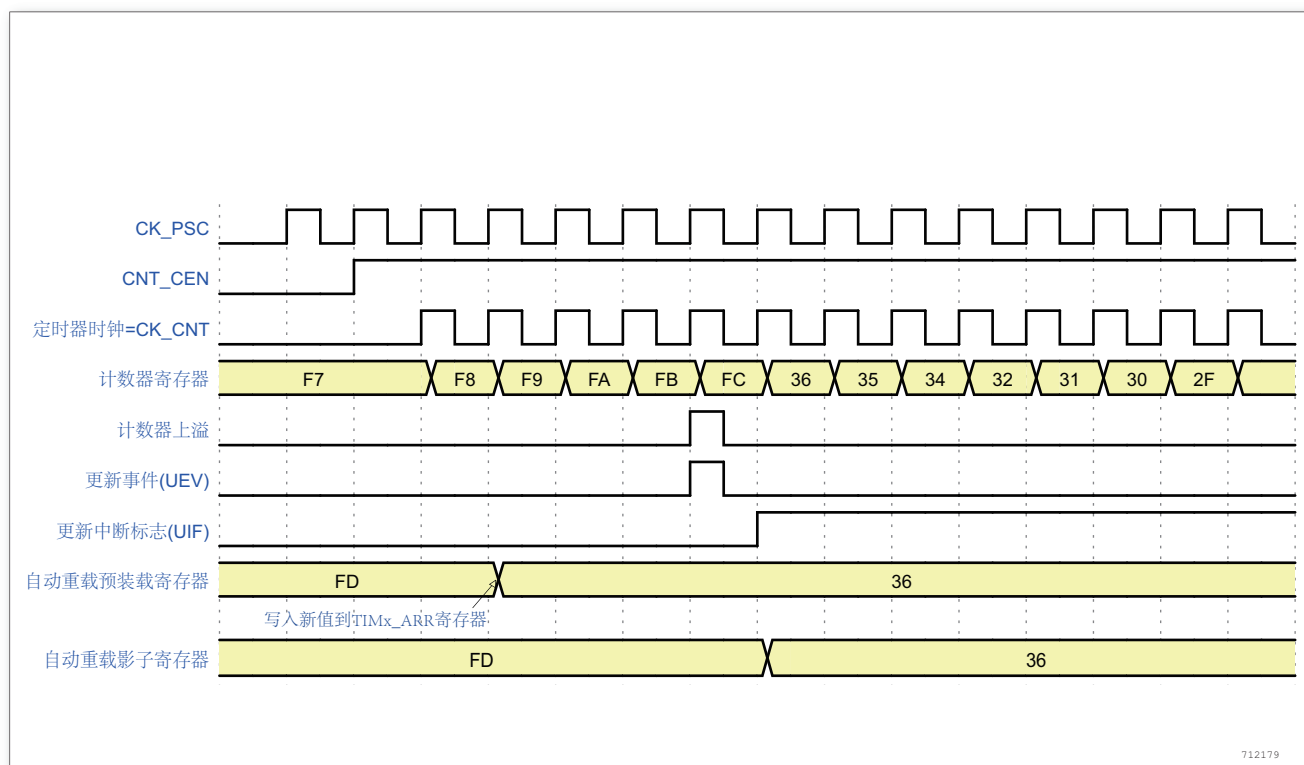


图 47. 计数器时序图, ARPE = 1 时的更新事件 (计数器上溢)

9.3.3 重复计数器

‘时基单元’解释了计数器上溢/下溢时更新事件 (UEV) 是如何产生的, 然而事实上它只能在重复计数达到 0 的时候产生。这个特性对产生 PWM 信号非常有用。

这意味着在每 N 次计数上溢或下溢时, 数据从预装载寄存器传输到影子寄存器 (TIMx_ARR 自动重载寄存器, TIMx_PSC 预装载寄存器, 还有在比较模式下的捕获/比较寄存器 TIMx_CCRx), N 是 TIMx_RCR 重复计数寄存器中的值。

重复计数器在下述任一条件成立时递减:

- 向上计数模式下每次计数器溢出时,
- 向下计数模式下每次计数器下溢时,
- 中央对齐模式下每次上溢和每次下溢时。虽然这样限制了 PWM 的最大循环周期为 128, 但它能够在每个 PWM 周期 2 次更新占空比。在中央对齐模式下, 因为波形是对称的, 如果每个 PWM 周期中仅刷新一次比较寄存器, 则最大的分辨率为 $2 \times T_{ck}$ 。

重复计数器是自动加载的, 重复速率是由 TIMx_RCR 寄存器的值定义 (参看图 48)。当更新事件由软件产生 (通过设置 TIMx_EGR 中的 UG 位) 或者通过硬件的从模式控制器产生, 则无论重复计数器的值是多少, 立即发生更新事件, 并且 TIMx_RCR 寄存器中的内容被重载入到重复计数器。

新增 REP_CNT 寄存器, 重复计数器的值实时写入 REP_CNT 中 (Repetition counter value of real-time writing), 用于修改重复计数模式下, 实时的将更新中断标志位 (UIF) 的检测点移位, 即可将 UIF 左移 (REP-REP_CNT) 个相位 (相减值为负值时右移)。在更新事件 UG 后写入这些位 (注意在更新事件前写入 REP_CNT 将会使移位无效)。

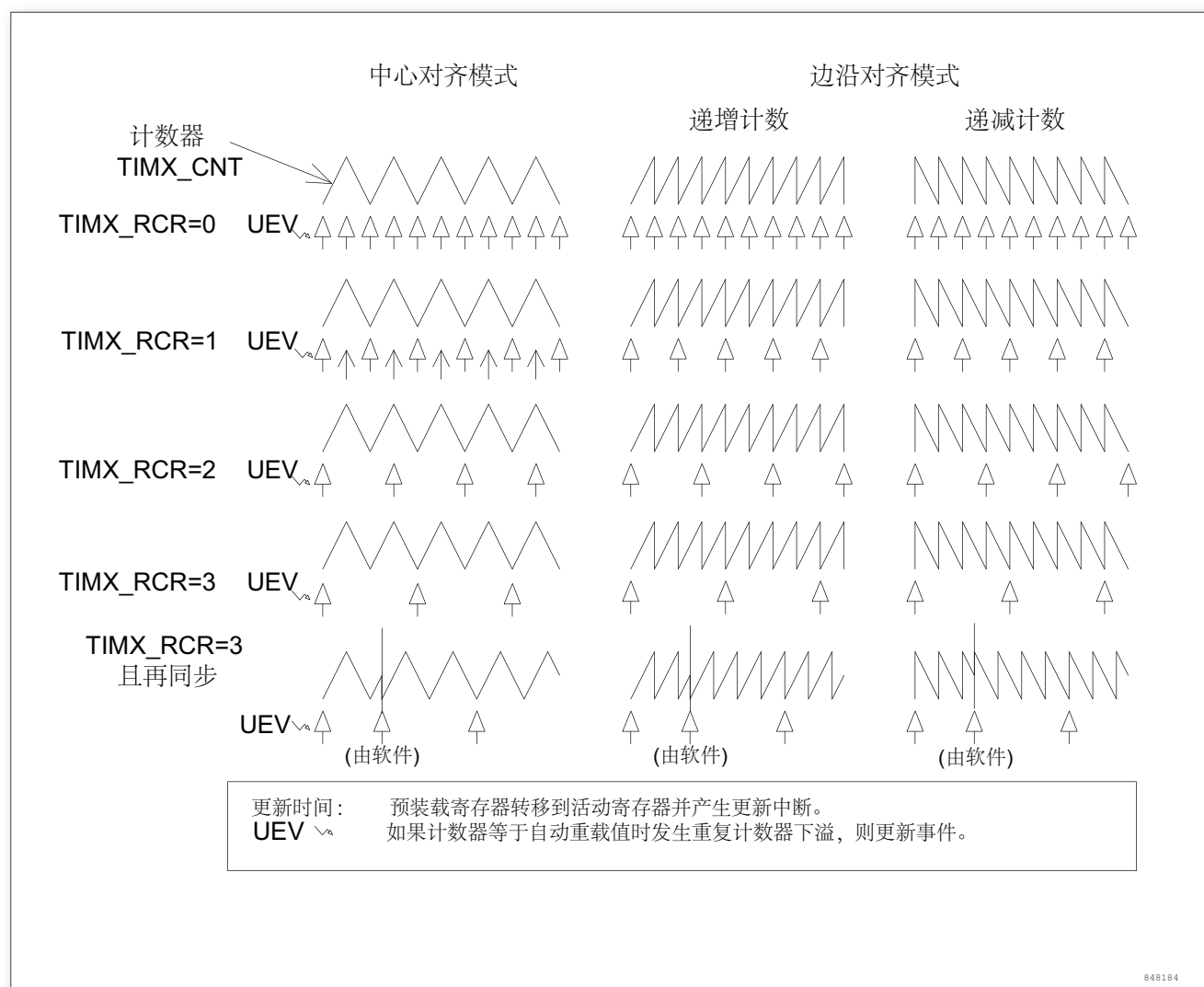


图 48. 不同模式下更新速率的例子, 及 TIMx_RCR 的寄存器设置

9.3.4 时钟选择

计数器时钟可由下列时钟源提供:

- 内部时钟 (CK_INT)。
- 外部时钟模式 1: 外部输入脚 (Tlx)。
- 内部触发输入 (ITRx): 使用一个定时器作为另一个定时器的预分频器, 如可以配置一个定时器 Timer1 而作为另一个定时器 Timer2 的预分频器。

内部时钟源 (CK_INT)

如果禁止了从模式控制器 (SMS = 000), 则 CEN、DIR(TIMx_CR1 寄存器) 和 UG 位 (TIMx_EGR 寄存器) 是事实上的控制位, 并且只能被软件修改 (UG 位仍被自动清除)。当 CEN 位被写成 1 时, 预分频器的时钟由内部时钟 CK_INT 提供。

下图显示了控制电路和向上计数器在一般模式下, 不带预分频器时的操作。

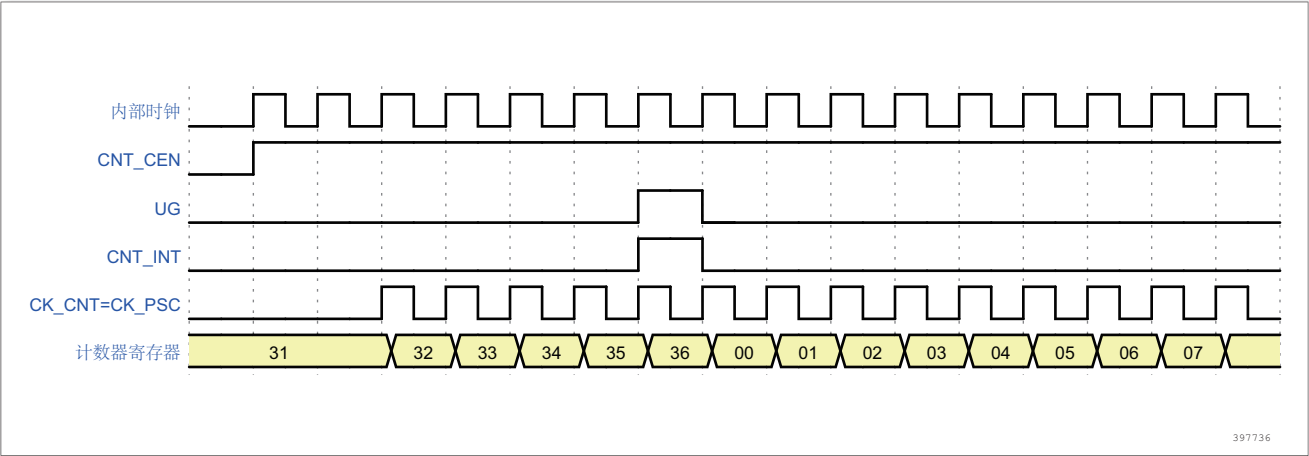


图 49. 一般模式下的控制电路，内部时钟分频因子为 1

外部时钟源模式 1

当 TIMx_SMCR 寄存器的 SMS = 111 时，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

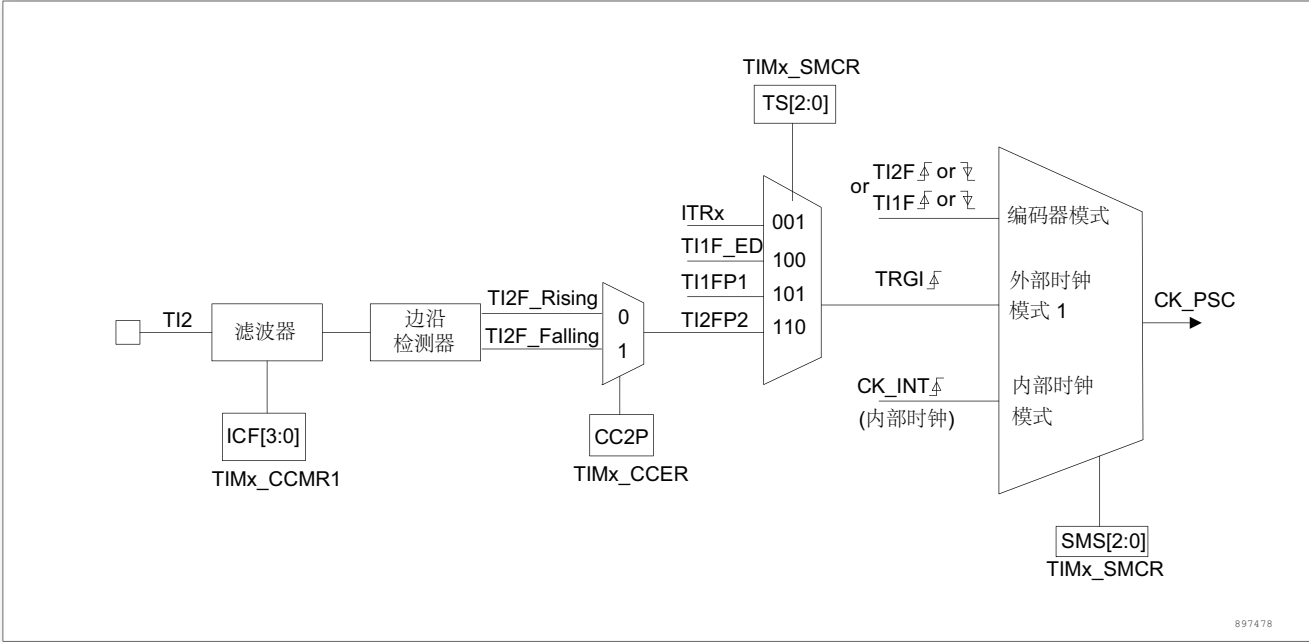


图 50. T12 外部时钟连接例子

例如，要配置向上计数器在 T12 输入端的上升沿计数，使用下列步骤：

1. 配置 TIM1_CCMR1 寄存器 CC2S = 01，配置通道 2 检测 T12 输入的上升沿。
2. 配置 TIM1_CCMR1 寄存器的 IC2F[3: 0]，选择输入滤波器带宽 (如果不需要滤波器，保持 IC2F = 0000)。
3. 配置 TIM1_CCER 寄存器的 CC2P = 0，选定上升沿极性。
4. 配置 TIM1_SMCR 寄存器的 SMS = 111，选择定时器外部时钟模式 1。
5. 配置 TIM1_SMCR 寄存器中的 TS = 110，选定 T12 作为触发输入源。
6. 设置 TIM1_CR1 寄存器的 CEN = 1，启动计数器。

注：捕获预分频器不用作触发，所以不需要对它进行配置。

当 T12 出现上升沿时，计数器计数一次并设置 TIF 标志。T12 的上升沿和计数器的实际时钟之间的

延时取决于 T12 输入端的同步电路设计。

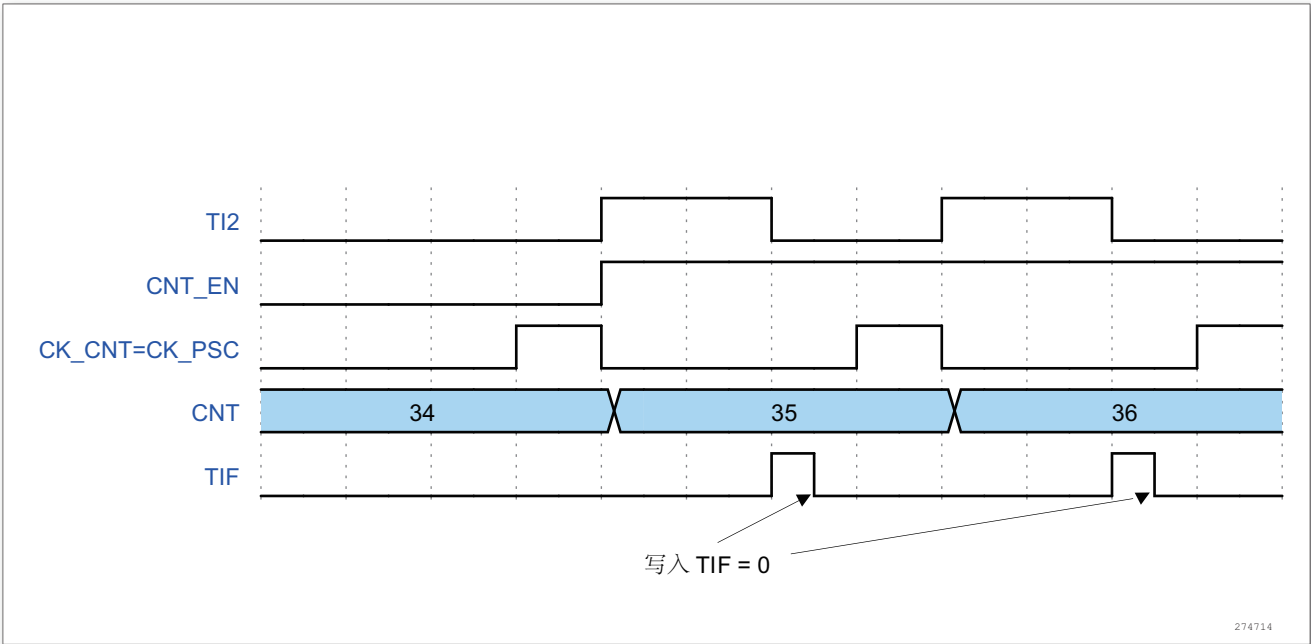


图 51. 外部时钟模式 1 下的控制电路

9.3.5 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器 (包含影子寄存器), 包括捕获的输入部分 (数字滤波、多路复用和预分频器), 和输出部分 (比较器和输出控制)。

图 52至图 55是一个捕获/比较通道概览。

输入部分对相应的 T1x 输入信号采样, 并产生一个滤波后的信号 T1xF。然后, 一个带极性选择的边缘监测器产生一个信号 (T1xFPx), 它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器 (ICxPS)。

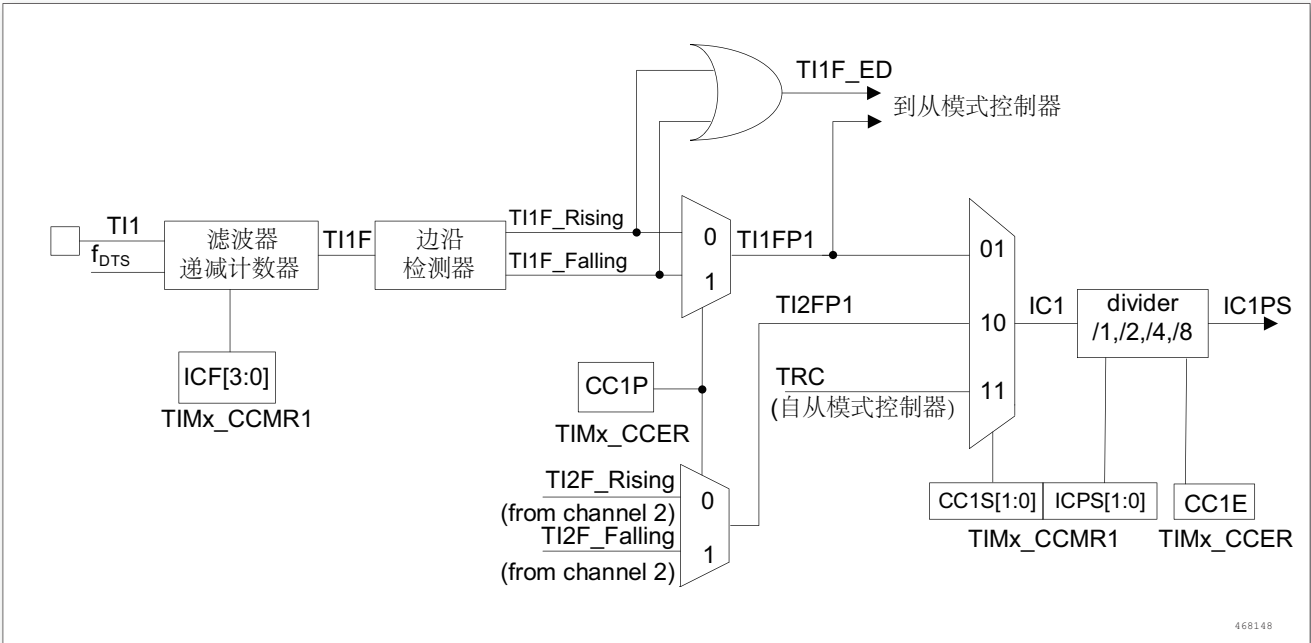


图 52. 捕获/比较通道 (如: 通道 1 输入部分)

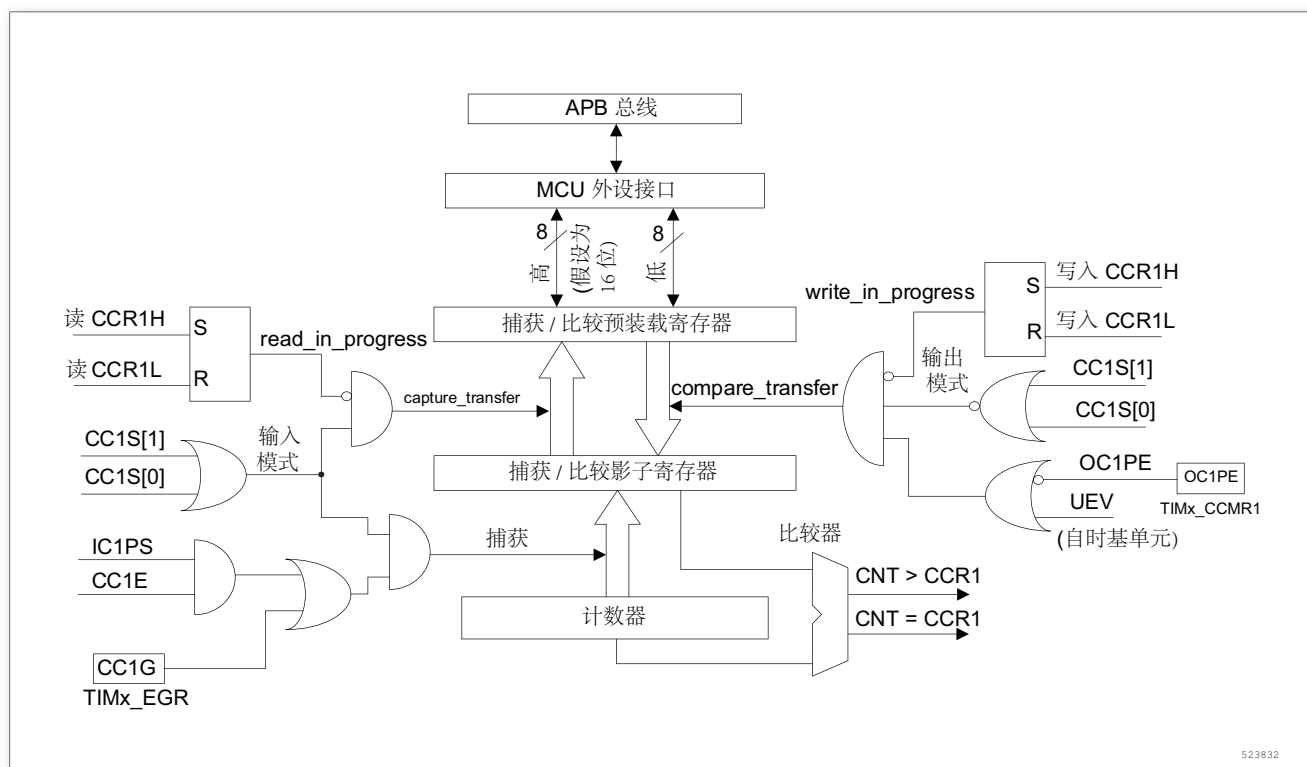


图 53. 捕获/比较通道 1 的主电路

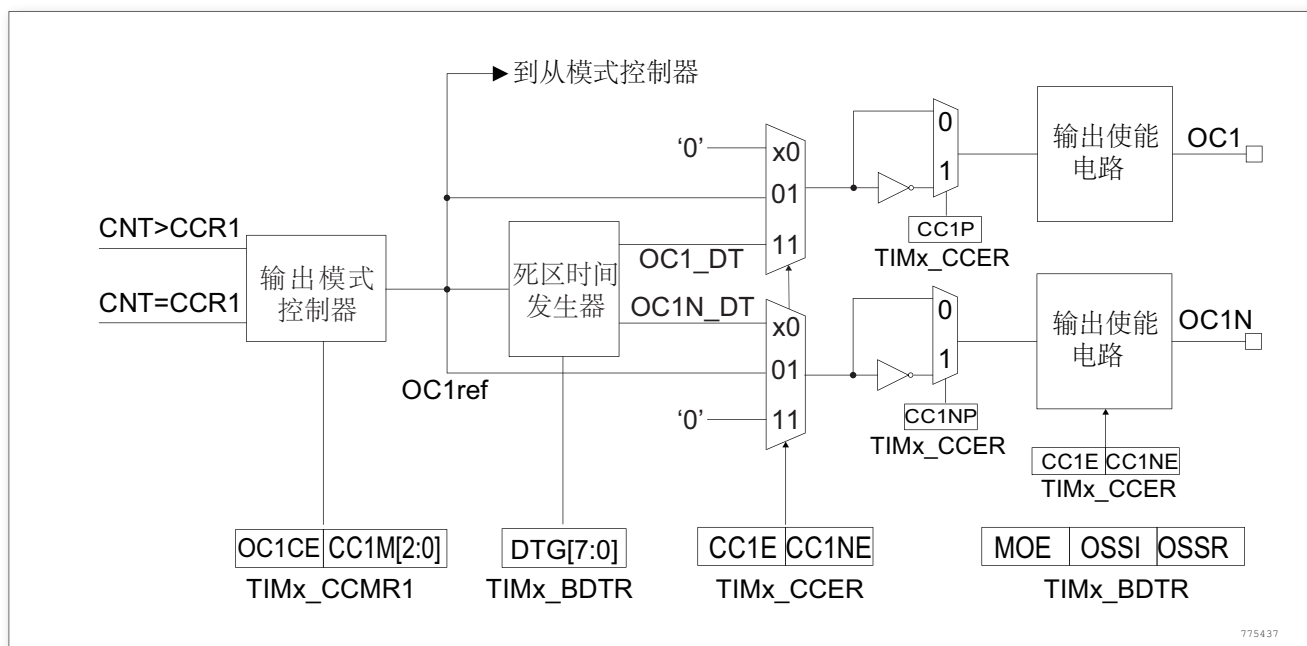


图 54. 捕获/比较通道的输出部分 (通道 1 至 3)

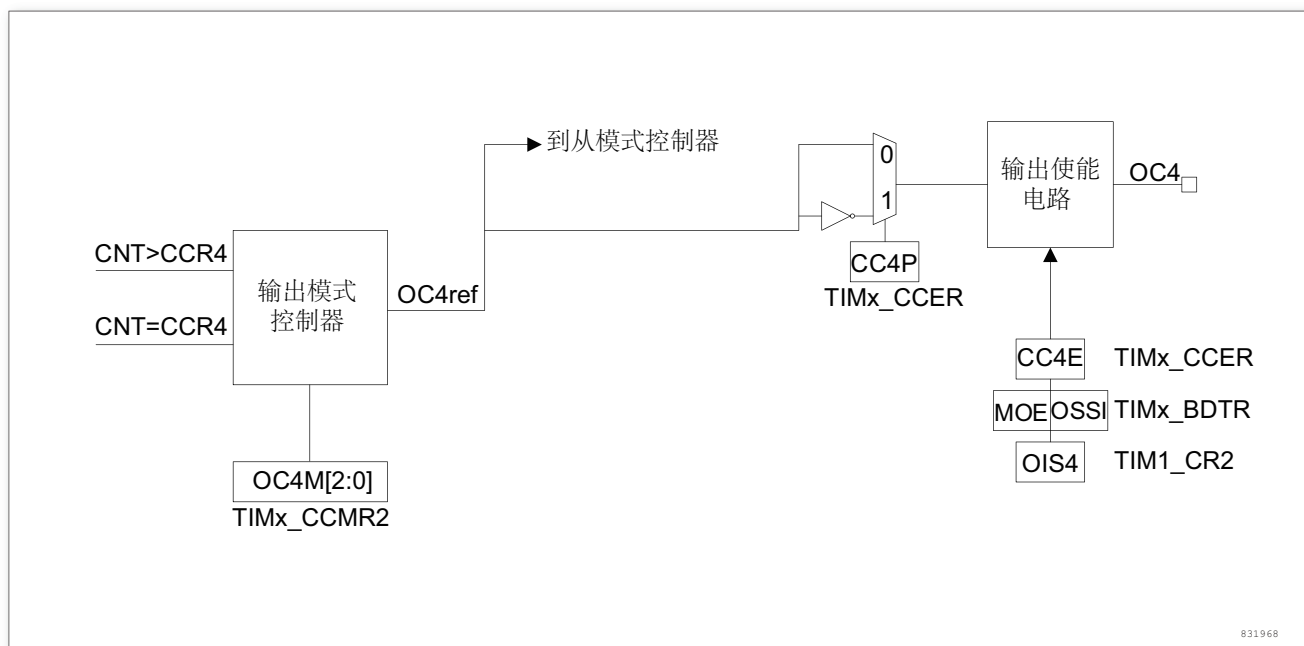


图 55. 捕获/比较通道的输出部分 (通道 4)

捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

9.3.6 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TIMx_CCRx$) 中。当发生捕获事件时，相应的 $CCxIF$ 标志 ($TIMx_SR$ 寄存器) 被置 1，如果开放了中断，则将产生中断。如果发生捕获事件时 $CCxIF$ 标志已经为高，那么重复捕获标志 $CCxOF$ ($TIMx_SR$ 寄存器) 被置 1。写 $CCxIF = 0$ 可清除 $CCxIF$ ，或读取存储在 $TIMx_CCRx$ 寄存器中的捕获数据也可清除 $CCxIF$ 。写 $CCxOF = 0$ 可清除 $CCxOF$ 。以下例子说明如何在 $TI1$ 输入的上升沿时捕获计数器的值到 $TIMx_CCR1$ 寄存器中，步骤如下：

- 选择有效输入端： $TIMx_CCR1$ 必须连接到 $TI1$ 输入，所以写入 $TIMx_CCMR1$ 寄存器中的 $CC1S = 01$ ，当 $CC1S$ 不为 00 时，通道被配置为输入，并且 $TIMx_CCR1$ 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽 (即输入为 TIx 时，输入滤波器控制位是 $TIMx_CCMRx$ 寄存器中的 ICx_F 位)。假设输入信号在最多 5 个时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期；因此我们可以 (以 f_{DTS} 频率) 连续采样 8 次，以确认在 $TI1$ 上一次真实的边沿变换，即在 $TIMx_CCMR1$ 寄存器中写入 $IC1F = 0011$ 。
- 选择 $TI1$ 通道的有效转换边沿，在 $TIMx_CCER$ 寄存器中写入 $CC1P = 0$ (上升沿)。
- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止 (写 $TIMx_CCMR1$ 寄存器的 $IC1PS = 00$)。
- 设置 $TIMx_CCER$ 寄存器的 $CC1E = 1$ ，允许捕获计数器的值到捕获寄存器中。
- 如果需要，通过设置 $TIMx_DIER$ 寄存器中的 $CC1IE$ 位允许相关中断请求，通过设置

TIMx_DIER 寄存器中的 CC1IE 位允许相关中断请求。

当发生一个输入捕获时：

- 当产生有效的电平转换时，计数器的值被传送到 TIMx_CCR1 寄存器。
- CC1IF 标志被设置 (中断标志)。当发生至少 2 个连续的捕获时，而 CC1IF 未曾被清除，CC1OF 也被置 1。
- 如设置了 CC1IE 位，则会产生一个中断。

为了处理捕获溢出，建议在读出捕获溢出标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注：设置 TIMx_EGR 寄存器中相应的 CCxG 位，可以通过软件产生输入捕获中断。

9.3.7 PWM 输入模式

该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这 2 个 ICx 信号为边沿有效，但是极性相反。
- 其中一个 TIxFP 信号被作为触发输入信号，而从模式控制器被配置成复位模式。例如，你需要测量输入到 TI1 上的 PWM 信号的长度 (TIMx_CCR1 寄存器) 和占空比 (TIMx_CCR2 寄存器)，具体步骤如下 (取决于 CK_INT 的频率和预分频器的值)
- 选择 TIMx_CCR1 的有效输入：置 TIMx_CCMR1 寄存器的 CC1S = 01(选中 TI1)。
- 选择 TI1FP1 的有效极性 (用来捕获数据到 TIMx_CCR1 中和清除计数器)：置 CC1P = 0(上升沿有效)。
- 选择 TIMx_CCR2 的有效输入：置 TIMx_CCMR1 寄存器的 CC2S = 10(选中 TI1)。
- 选择 TI1FP2 的有效极性 (捕获数据到 TIMx_CCR2)：置 CC2P = 1(下降沿有效)。
- 选择有效的触发输入信号：置 TIMx_SMCR 寄存器中的 TS = 101(选择 TI1FP1)。
- 配置从模式控制器为复位模式：置 TIMx_SMCR 中的 SMS = 100。
- 使能捕获：置 TIMx_CCER 寄存器中 CC1E = 1 且 CC2E = 1。

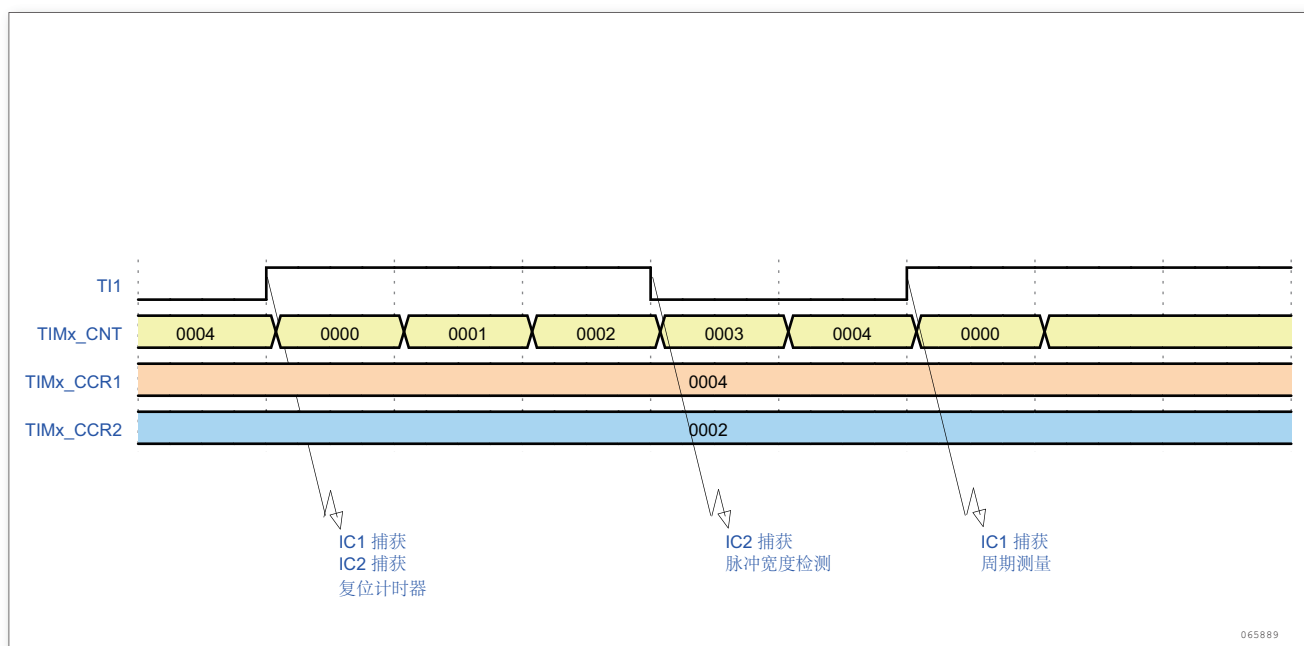


图 56. PWM 输入模式时序

因为只有 TI1FP1 和 TI2FP2 连到了从模式控制器, 所以 PWM 输入模式只能使用 TIMx_CH1/TIMx_CH2 信号。

9.3.8 强制输出模式

在输出模式 (TIMx_CCMRx 寄存器中 CCxS = 00) 下, 输出比较信号 (OCxREF 和相应的 OCx/OCxN) 能够直接由软件强置为有效或无效状态, 而不依赖于输出比较寄存器和计数器间的比较结果。

置 TIMx_CCMRx 寄存器中相应的 OCxM = 101, 即可强置输出比较信号 (OCxREF/OCx) 为有效状态。这样 OCxREF 被强置为高电平 (OCxREF 始终为高电平有效), 同时 OCx 得到 CCxP 极性相反的信号。

例如: CCxP = 0(OCx 高电平有效), 则 OCx 被强置为高电平。

置 TIMx_CCMRx 寄存器中的 OCxM = 100, 可强置 OCxREF 信号为低。

该模式下, 在 TIMx_CCRx 影子寄存器和计数器之间的比较仍然在进行, 相应的标志也会被修改。因此仍然会产生相应的中断。这将会在下面的输出比较模式一节中介绍。

9.3.9 输出比较模式

此项功能是用来控制一个输出波形或者指示何时一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时, 输出比较功能做如下操作:

- 将输出比较模式 (TIMx_CCMRx 寄存器中的 OCxM 位) 和输出极性 (TIMx_CCER 寄存器中的 CCxP 位) 定义的值输出到对应的管脚上。在比较匹配时, 输出管脚可以保持它的电平 (OCxM = 000)、被设置成有效电平 (OCxM = 001)、被设置成无有效电平 (OCxM = 010) 或进行翻转 (OCxM = 011)。
- 设置中断状态寄存器中的标志位 (TIMx_SR 寄存器中的 CCxIF 位)。
- 若设置了相应的中断屏蔽 (TIMx_DIER 寄存器中的 CCxIE 位), 则产生一个中断。

TIMx_CCMRx 中的 OCxPE 位选择 TIMx_CCRx 寄存器是否需要使用预装载寄存器。

在输出比较模式下, 更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。

同步的精度可以达到计数器的一个计数周期。输出比较模式 (在单脉冲模式下) 也能用来输出一个单脉冲。

输出比较模式的配置步骤:

- 选择计数器时钟 (内部, 外部, 预分频器)
- 将相应的数据写入 TIMx_ARR 和 TIMx_CCRx 寄存器中
- 如果要产生一个中断请求, 设置 CCxIE 位
- 选择输出模式, 例如:
 - 要求计数器与 CCRx 匹配时翻转 OCx 的输出管脚, 设置 OCxM = 011
 - 置 OCxPE = 0 禁用预装载寄存器
 - 置 CCxP = 0 选择极性为高电平有效
 - 置 CCxE = 1 使能输出
- 设置 TIMx_CR1 寄存器的 CEN 位启动计数器

TIMx_CCRx 寄存器能够在任何时候通过软件进行更新以控制输出波形, 条件是未使用预装载寄存器 (OCxPE = '0', 否则 TIMx_CCRx 的影子寄存器只能在发生下一次更新事件

时被更新)。下图给出了一个例子。

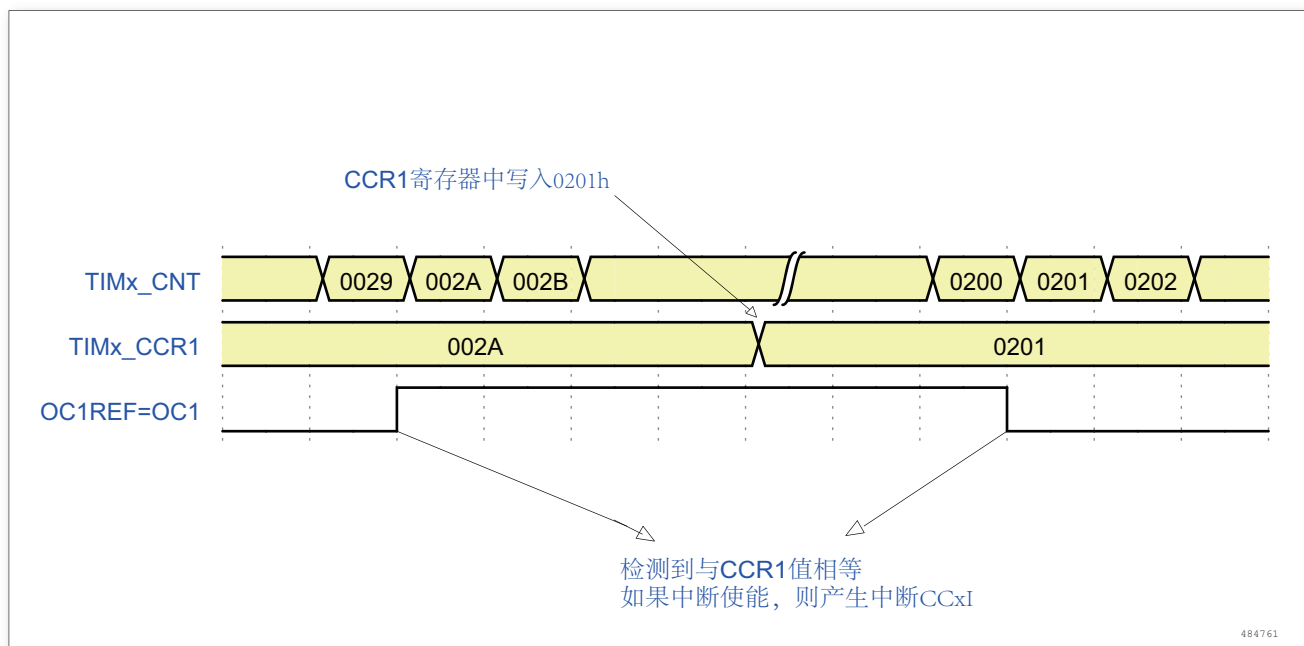


图 57. 输出比较模式，翻转 OC1

9.3.10 PWM 模式

脉冲宽度调制模式可以产生一个由 TIMx_ARR 寄存器确定频率、由 TIMx_CCRx 寄存器确定占空比的信号。

在 TIMx_CCMRx 寄存器中的 OCxM 位写入 ‘110’ (PWM 模式 1) 或 ‘111’ (PWM 模式 2)，能够独立地设置每个 OCx 输出通道产生一路 PWM。必须通过设置 TIMx_CCMRx 寄存器的 OCxPE 位使能相应的预装载寄存器，最后还要设置 TIMx_CR1 寄存器的 ARPE 位使能自动重载的预装载寄存器 (在向上计数或中心对称模式中)。

因为仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TIMx_EGR 寄存器中的 UG 位来初始化所有的寄存器。

OCx 的极性可以通过软件在 TIMx_CCER 寄存器中的 CCxP 位设置，它可以设置为高电平有效或低电平有效。OCx 的输出使能通过 (TIMx_CCER 和 TIMx_BDTR 寄存器中) CCxE、CCxNE、MOE、OSSI 和 OSSR 位的组合控制。详见 TIMx_CCER 寄存器的描述。

在 PWM 模式 (模式 1 或模式 2) 下，TIMx_CNT 和 TIMx_CCRx 始终在进行比较，(依据计数器的计数方向) 以确定是否符合 $TIMx_CCRx \leq TIMx_CNT$ 或者 $TIMx_CNT \leq TIMx_CCRx$ 。根据 TIMx_CR1 寄存器中 CMS 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

PWM 边沿对齐模式

向上计数配置

当 TIMx_CR1 寄存器中的 DIR 位为低的时候执行向上计数。参看小节 9.3.2。

下面是一个 PWM 模式 1 的例子。当 $TIMx_CNT < TIMx_CCRx$ 时，PWM 参考信号 OCxREF 为高，否则低。如果 TIMx_CCRx 中的比较值大于自动重载值 (TIMx_ARR)，则 OCxREF 保持为 ‘1’。如果比较值为 0，则 OCxREF 保持为 ‘0’。图 129 为 TIMx_ARR = 8 时边沿

对齐的 PWM 波形实例。

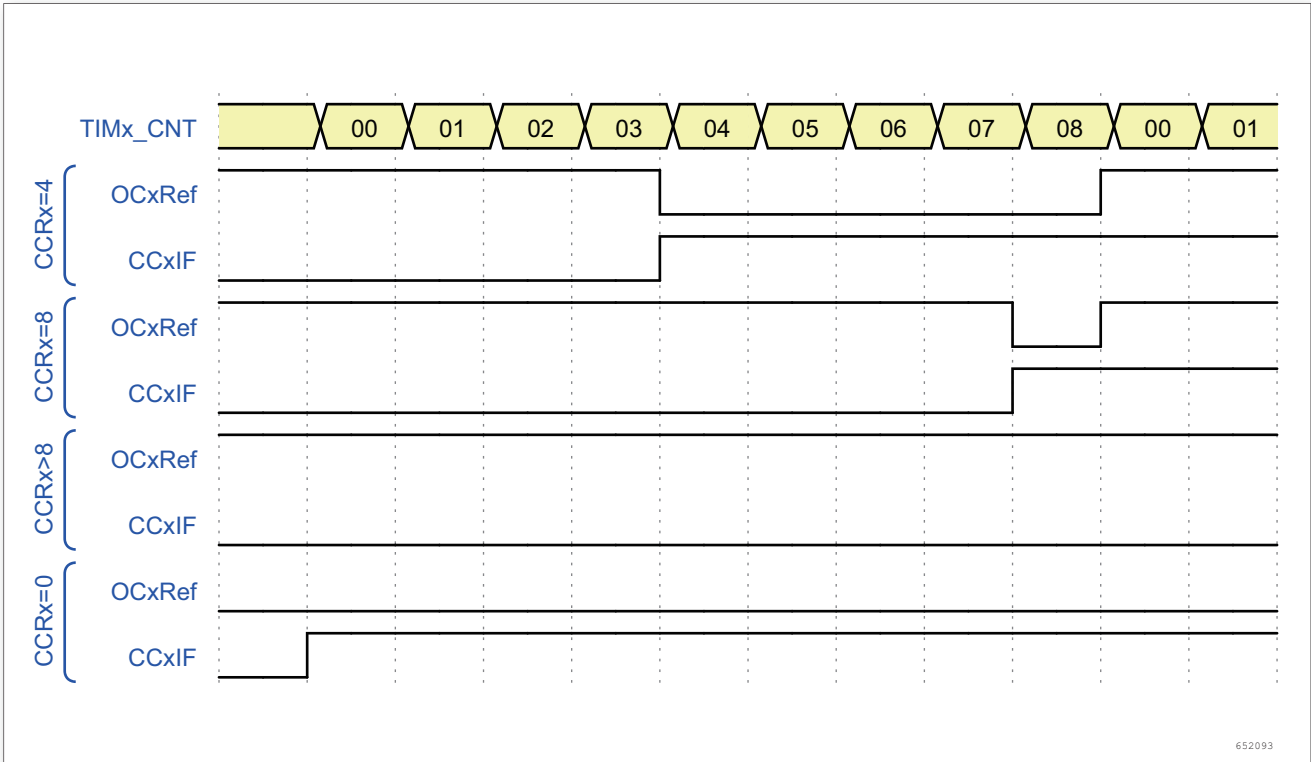


图 58. 边沿对齐的 PWM 波形 (ARR = 8)

向下计数的配置

当 TIMx_CR1 寄存器的 DIR 位为高时执行向下计数。参看小节 9.3.2。

在 PWM 模式 1，当 TIMx_CNT > TIMx_CCRx 时参考信号 OCxREF 为低，否则为高。如果 TIMx_CCRx 中的比较值大于 TIMx_ARR 中的自动重装载值，则 OCxREF 保持为 ‘1’。该模式下不能产生 0% 的 PWM 波形。

PWM 中央对齐模式

当 TIMx_CR1 寄存器中的 CMS 位不为 ‘00’ 时为中央对齐模式 (所有其他的配置对 OCxREF/OCx 信号都有相同的作用)。根据不同的 CMS 位的设置，比较标志可以在计数器向上计数时被置 1、在计数器向下计数时被置 1、或在计数器向上和向下计数时被置 ‘1’。TIMx_CR1 寄存器中的计数方向位 (DIR) 由硬件更新，不要用软件修改它。参看小节 9.3.2 的中央对齐模式。

下图给出了一些中央对齐的 PWM 波形的例子

- TIMx_ARR = 8
- PWM 模式 1
- TIMx_CR1 寄存器的 CMS = 01，在中央对齐模式 1 下，当计数器向下计数时设置比较标志

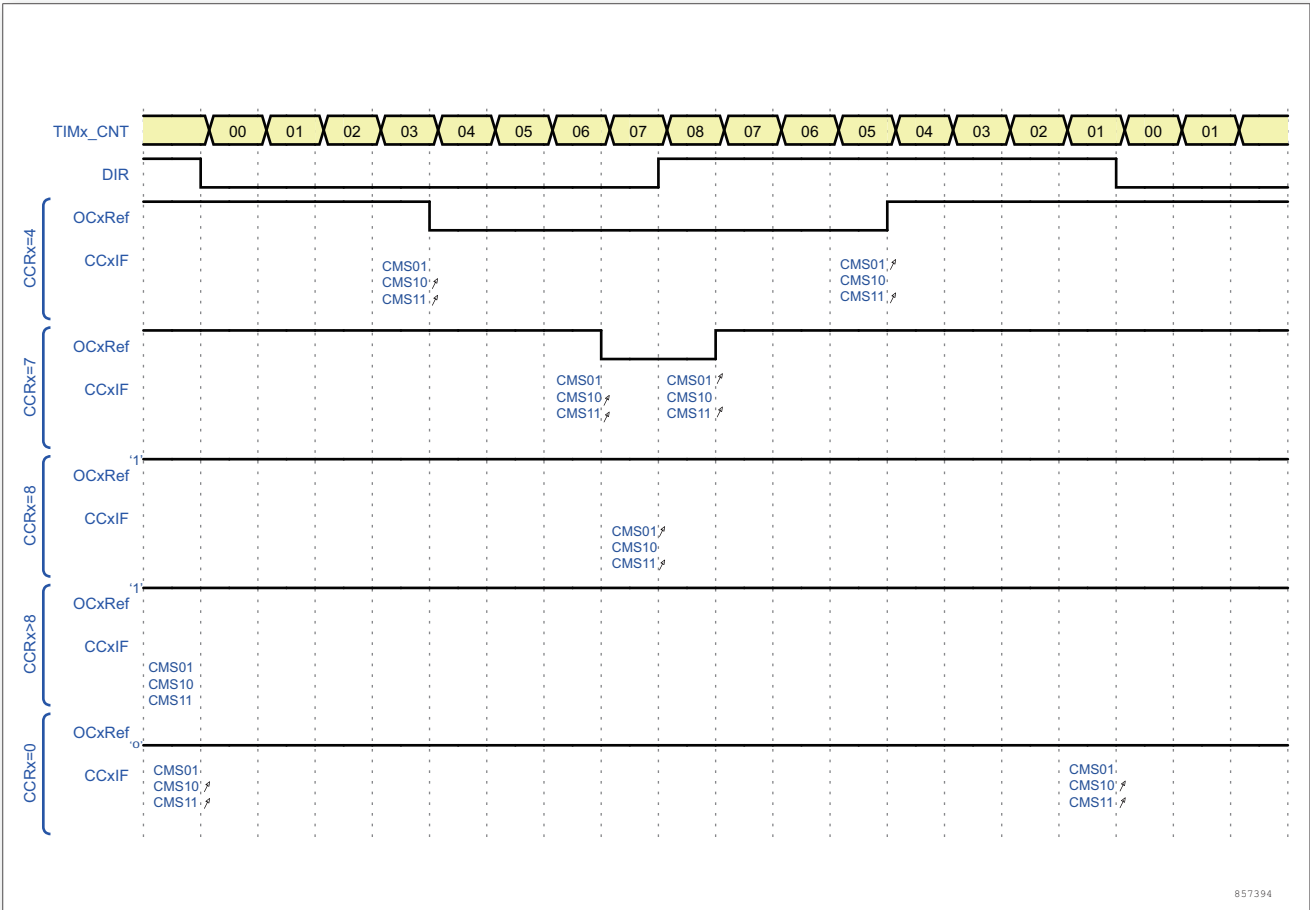


图 59. 中央对齐的 PWM 波形 (APR = 8)

PWM 中央对齐模式下移相功能

新增 PDER(通道 x 输出 PWM 移相使能位) 和 CCRxFALL(通道 x 在 PWM 中央对齐模式向下计数时的捕获/比较值), 允许 5 个通道输出 PWM 移相。开启 PDER 寄存器的 PWM 移相使能, 根据需要移动相位, 配置 CCRxFALL 以及 CCRx, 即可实现 PWM 输出可编程的移相波形, 可左移或是右移。

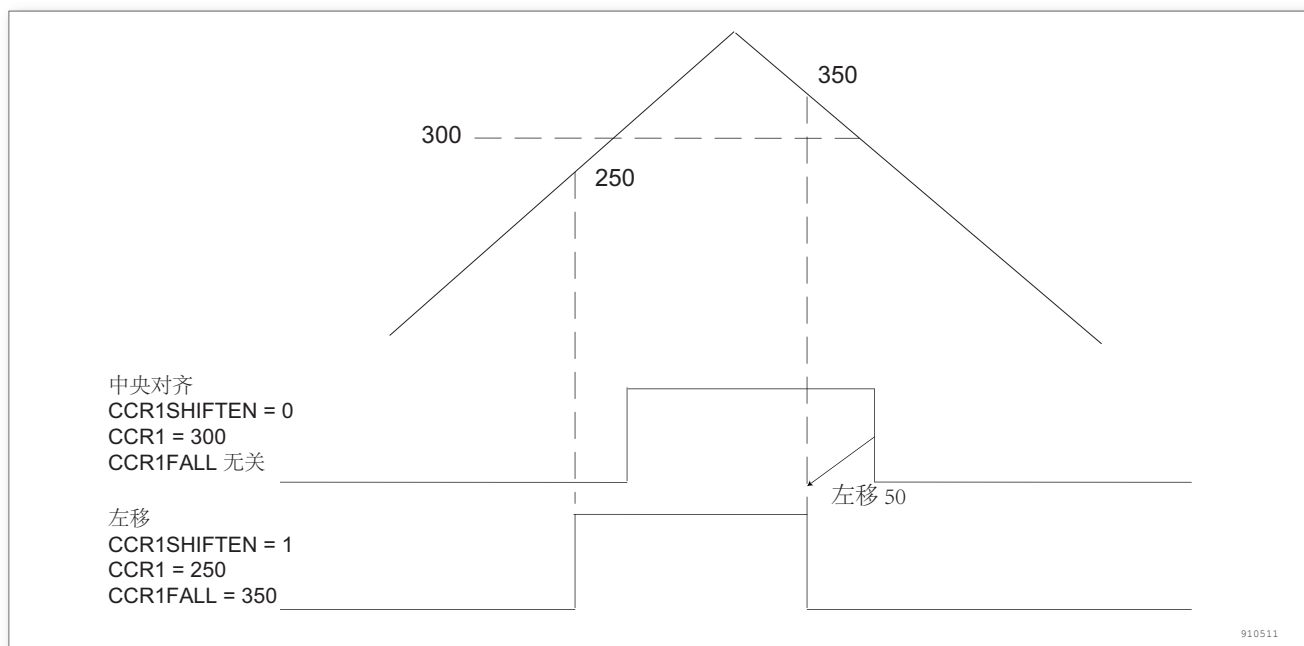


图 60. 移相功能示意图

使用中央对齐模式的提示：

- 进入中央对齐模式时，使用当前的上/下计数配置；这就意味着计数器向上还是向下计数取决于 TIMx_CR1 寄存器中 DIR 位的当前值。此外，软件不能同时修改 DIR 和 CMS 位。
- 不推荐当运行在中央对齐模式时改写计数器，因为会产生不可预知的结果。特别地：
 - 如果写入计数器的值大于自动重加载的值 (TIMx_CNT > TIMx_ARR)，则方向不会被更新
 - 例如，如果计数器正在向上计数，它就会继续向上计数
 - 如果将 0 或者 TIMx_ARR 的值写入计数器，方向被更新，但不产生更新事件 UEV
- 使用中央对齐模式最保险的方法，就是在启动计数器之前产生一个软件更新 (设置 TIMx_EGR 位中的 UG 位)，不要在计数进行过程中修改计数器的值。

9.3.11 互补输出和死区插入

高级控制定时器 (TIM1) 能够输出两路互补信号，并且能够管理输出的瞬时关断和接通。这段时间通常被称为死区，用户应该根据连接的输出器件和它们的特性 (电平转换的延时、电源开关的延时等) 来调整死区时间。

配置 TIMx_CCER 寄存器中的 CCxP 和 CCxNP 位，可以为每一个输出独立地选择极性 (主输出 OCx 或互补输出 OCxN)。

互补信号 OCx 和 OCxN 通过下列控制位的组合进行控制：TIMx_CCER 寄存器的 CCxE 和 CCxNE 位，TIMx_BDTR 和 TIMx_CR2 寄存器中的 MOE、OISx、OISxN、OSSI 和 OSSR 位，详见表 137 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位。特别是，在转换到 IDLE 状态时 (MOE 下降到 0) 死区被激活。

同时设置 CCxE 和 CCxNE 位将插入死区，如果存在刹车电路，则还要设置 MOE 位。每一个通道都有一个 10 位的死区发生器。参考信号 OCxREF 可以产生 2 路输出 OCx 和

OCxN。如果 OCx 和 OCxN 为高有效：

- OCx 输出信号与参考信号相同，只是它的上升沿相对于参考信号的上升沿有一个延迟。
- OCxN 输出信号与参考信号相反，只是它的上升沿相对于参考信号的下降沿有一个延迟。

如果延迟大于当前有效的输出宽度 (OCx 或者 OCxN)，则不会产生相应的脉冲。

下列几张图显示了死区发生器的输出信号和当前参考信号 OCxREF 之间的关系。(假设 CCxP = 0、CCxNP = 0、MOE = 1、CCxE = 1 并且 CCxNE = 1)。

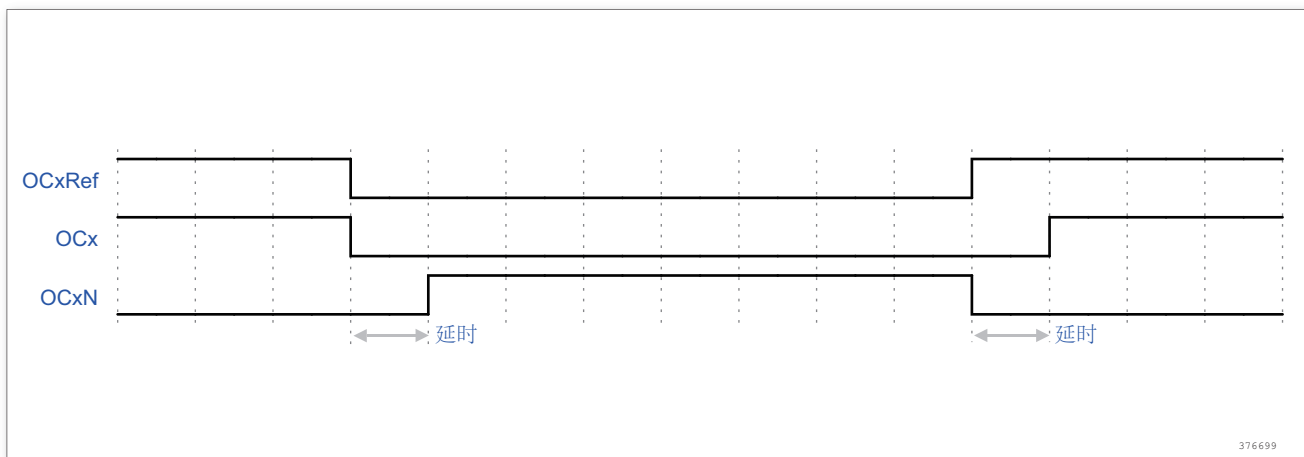


图 61. 带死区插入的互补输出

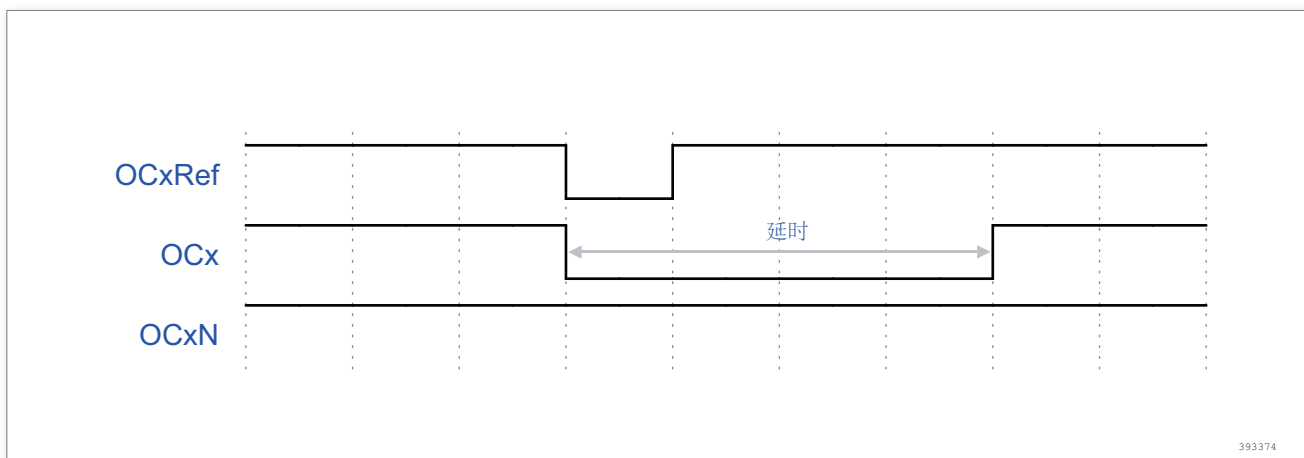


图 62. 死区波形延迟大于负脉冲

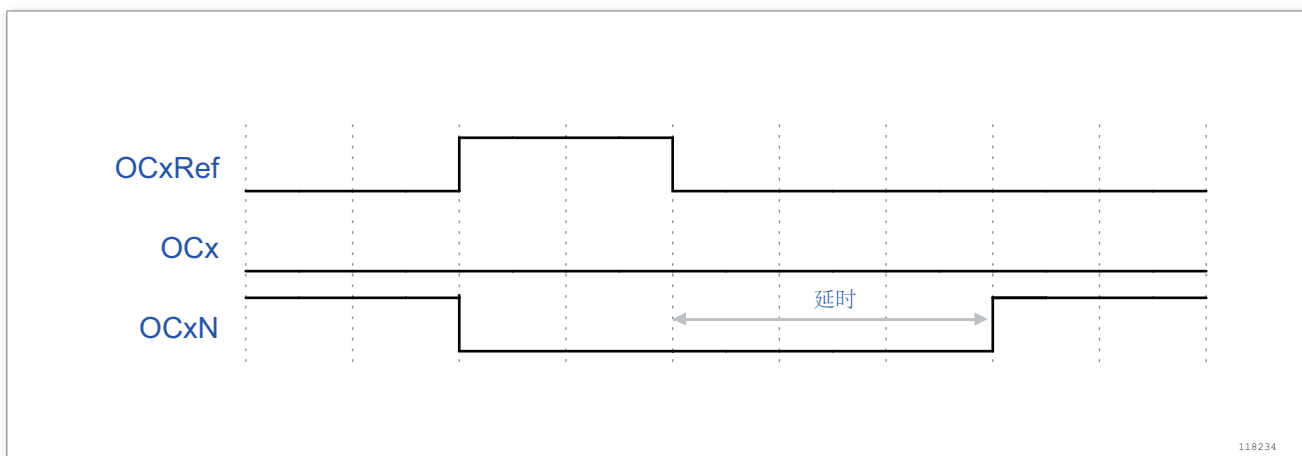


图 63. 死区波形延迟大于正脉冲

每一个通道的死区延时都是相同的，是由 TIMx_BDTR 寄存器中的 DTG 位编程配置。详见小节 9.4.18 中的延时计算。

重定向 OCxREF 到 OCx 或 OCxN

在输出模式下(强置、输出比较或 PWM)，通过配置 TIMx_CCER 寄存器的 CCxE 和 CCxNE 位，OCxREF 可以被重定向到 OCx 或者 OCxN 的输出。

这个功能可以在互补输出处于无效电平时，在某个输出上送出一个特殊的波形(例如 PWM 或者静态有效电平)。另一个作用是，让两个输出同时处于无效电平，或处于有效电平和带死区的互补输出。

注：当只使能 OCxN(CCxE = 0, CCxNE = 1) 时，它不会反相，当 OCxREF 有效时立即变高。例如，如果 CCxNP = 0，则 OCxN = OCxREF。另一方面，当 OCx 和 OCxN 都被使能时(CCxE = CCxNE = 1)，当 OCxREF 为高时 OCx 有效；而 OCxN 相反，当 OCxREF 低时 OCxN 变为有效。

9.3.12 使用刹车功能

当使用刹车功能时，依据相应的控制位(TIMx_BDTR 寄存器中的 MOE、OSSI 和 OSSR 位，TIMx_CR2 寄存器中的 OISx 和 OISxN 位)，输出使能信号和无效电平都会被修改。但无论何时，OCx 和 OCxN 输出不能在同一时间同时处于有效电平上。详见寄存器表中带刹车功能的互补输出通道 OCx 和 OCxN 的控制位。

刹车源既可以是刹车输入管脚又可以是一个时钟失败事件。时钟失败事件由复位时钟控制器中的时钟安全系统产生。

系统复位后，刹车电路被禁止，MOE 位为低。设置 TIMx_BDTR 寄存器中的 BKE 位可以使能刹车功能。刹车输入信号的极性可以通过配置同一个寄存器中的 BKP 位选择。BKE 和 BKP 可以被同时修改。

因为 MOE 下降沿可以是异步的，在实际信号(作用在输出端)和同步控制位(在 TIMx_BDTR 寄存器中)之间设置了一个再同步电路。这个再同步电路会在异步信号和同步信号之间产生延迟。特别的，如果当它为低时写 MOE=1，则读出它之前必须先插入一个延时(空指令)才能读到正确的值。这是因为写入的是异步信号而读的是同步信号。

当发生刹车时(在刹车输入端出现选定的电平)，有下述动作：

- MOE 位被异步地清除，将输出置于无效状态、空闲状态或者复位状态(由 OSSI 位选择)。

这个特性在 MCU 的振荡器关闭时依然有效。

- 当 $MOE = 0$ 时，每一个输出通道输出的电平由 $TIMx_CR2$ 寄存器中的 $OISx$ 位决定。如果 $OSSI = 0$ ，则定时器释放使能输出，否则使能输出始终为高。
- 当使用互补输出时：
 - 输出首先被置于复位状态即无效的状态 (取决于极性)。这是异步操作，即使定时器没有时钟时，此功能也有效。
 - 如果定时器的时钟依然存在，死区生成器将会重新生效，在死区之后根据 $OISx$ 和 $OISxN$ 位指示的电平驱动输出端口。即使在这种情况下， OCx 和 $OCxN$ 也不能被同时驱动到有效的电平。注，因为重新同步 MOE ，死区时间比通常情况下长一些 (大约 2 个 CK_TIM 的时钟周期)。
 - 如果 $OSSI = 0$ ，定时器释放使能输出，否则保持使能输出；或当 $CCxE$ 与 $CCxNE$ 之一变高时，使能输出变为高。
- 如果设置了 $TIMx_DIER$ 寄存器中的 BIE 位，当刹车状态标志 ($TIMx_SR$ 寄存器中的 BIF 位) 为 ‘1’ 时，则产生一个中断。
- 如果设置了 $TIMx_BDTR$ 寄存器中的 AOE 位，在下一个更新事件 UEV 时 MOE 位被自动置位；例如，这可以用来进行整形。否则， MOE 始终保持低直到被再次置 ‘1’；此时，这个特性可以被用在安全方面，你可以把刹车输入连到电源驱动的报警输出、热敏传感器或者其他安全器件上。

注：刹车输入为电平有效。所以，当刹车输入有效时，不能同时 (自动地或者通过软件) 设置 MOE 。同时，状态标志 BIF 不能被清除。

刹车由 BRK 输入产生，它的有效极性是可编程的，且由 $TIMx_BDTR$ 寄存器中的 BKE 位开启。

除了刹车输入和输出管理，刹车电路中还实现了写保护以保证应用程序的安全。它允许用户冻结几个配置参数 (死区长度， $OCx/OCxN$ 极性和被禁止的状态， $OCxM$ 配置，刹车使能和极性)。用户可以通过 $TIMx_BDTR$ 寄存器中的 $LOCK$ 位，从三级保护中选择一种，参看小节 9.4.8。在 MCU 复位后 $LOCK$ 位只能被修改一次。

下图显示响应刹车的输出实例：

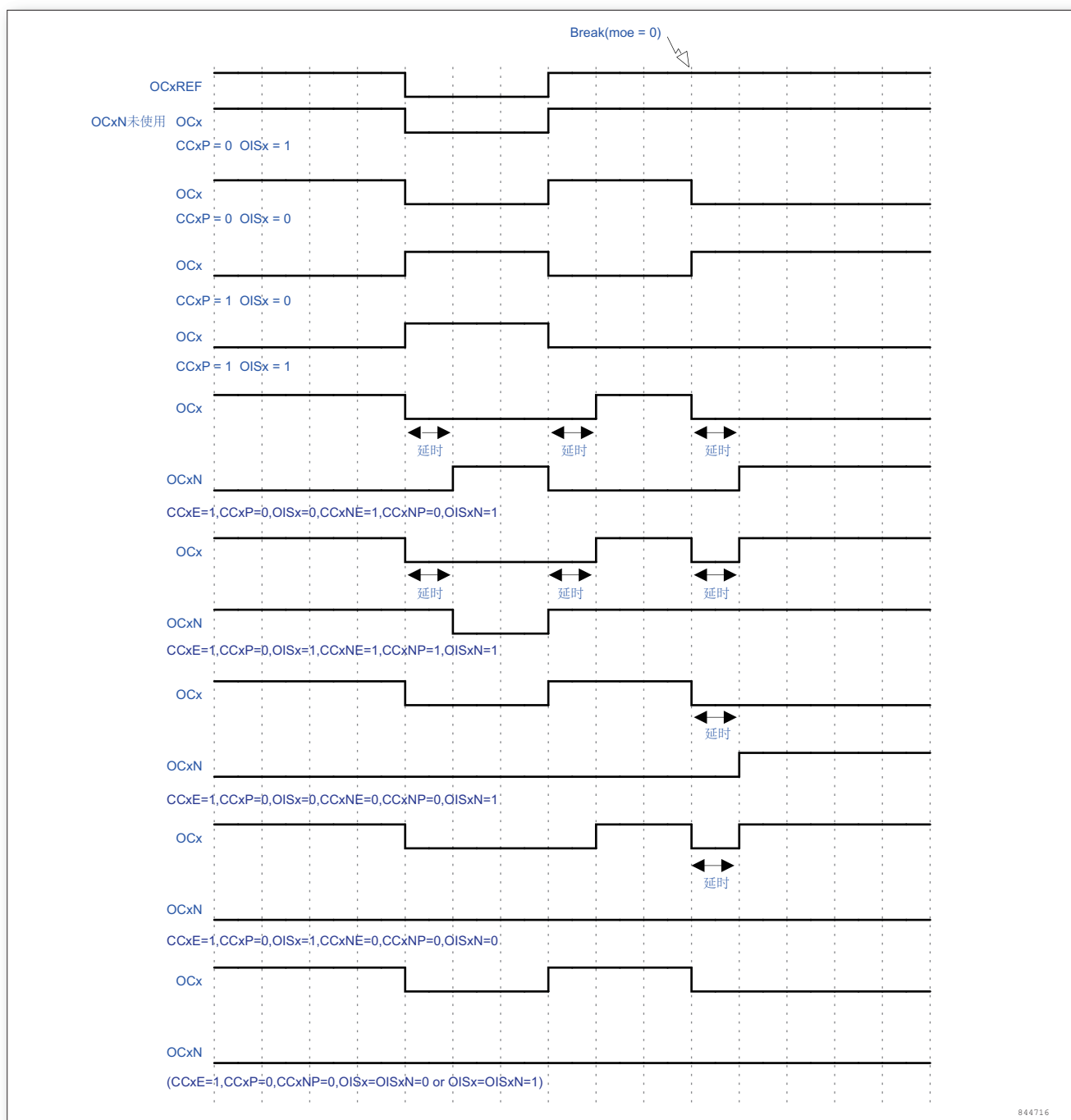


图 64. 响应刹车的输出

9.3.13 产生六步 PWM 输出

当在一个通道上需要互补输出时，预装载位有 OCxM、CCxE 和 CCxNE。在发生 COM 换相事件时，这些预装载位被传送到影子寄存器位。这样你就可以预先设置好下一步骤配置，并在同一个时刻同时修更改所有通道的配置。COM 可以通过设置 TIMx_EGR 寄存器的 COM 位由软件产生，或在 TRGI 上升沿由硬件产生。

当发生 COM 事件时会设置一个标志 (TIMx_SR 寄存器中的 COMIF 位)，这时如果已设置了 TIMx_DIER 寄存器的 COMIE 位，则产生一个中断。

下图显示当发生 COM 事件时，三种不同配置下 OCx 和 OCxN 输出。

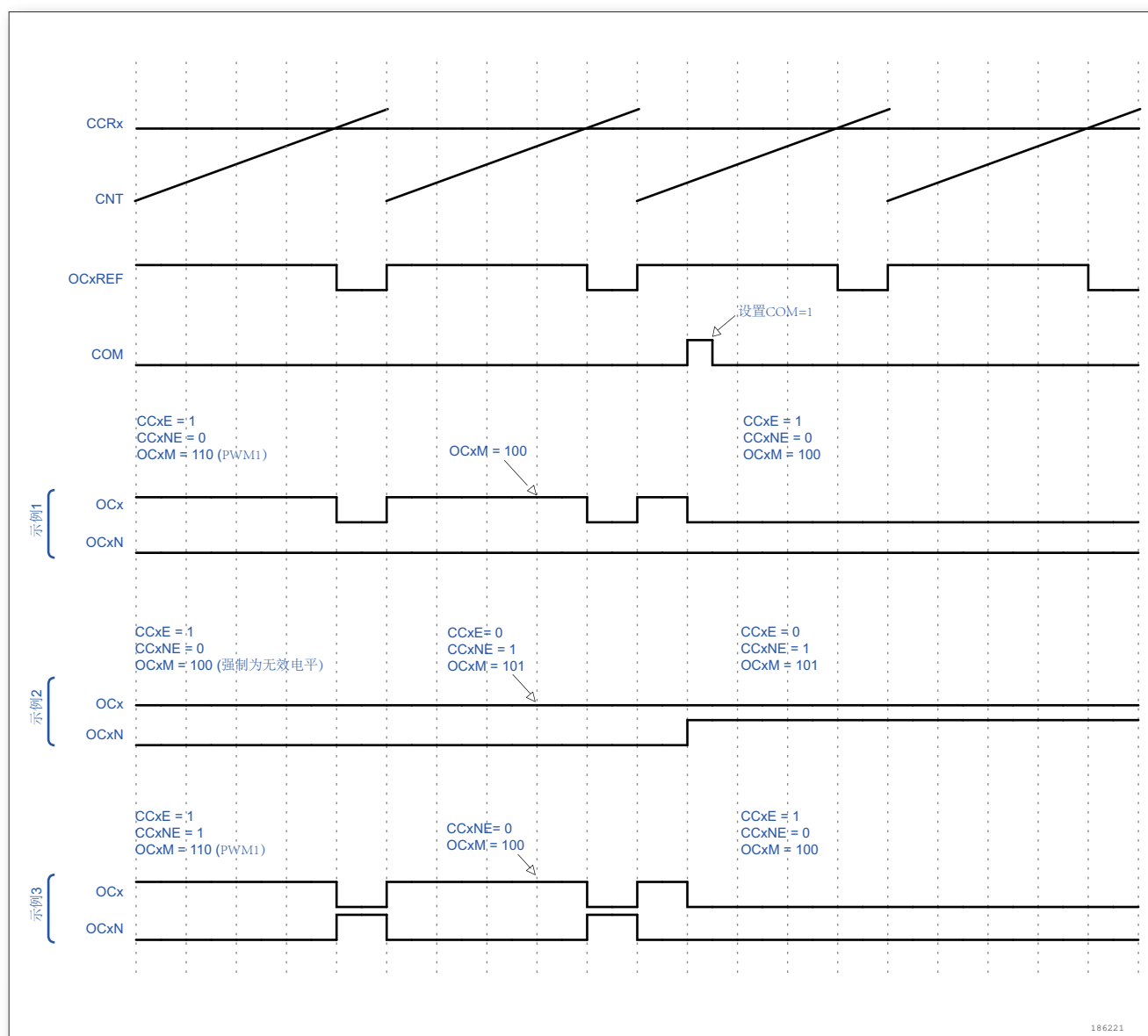


图 65. 产生六步 PWM，使用 COM 的例子 (OSSR = 1)

9.3.14 单脉冲模式

单脉冲模式 (OPM) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励，并在一个程序可控的延时之后产生一个脉宽可程序控制的脉冲。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TIMx_CR1 寄存器中的 OPM 位将选择单脉冲模式，这样可以让计数器自动地在产生下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前 (当定时器正在等待触发)，必须如下配置：

- 向上计数方式：计数器 $CNT < CCRx \leq ARR$ (特别地， $0 < CCRx$)
- 向下计数方式：计数器 $CNT > CCRx$

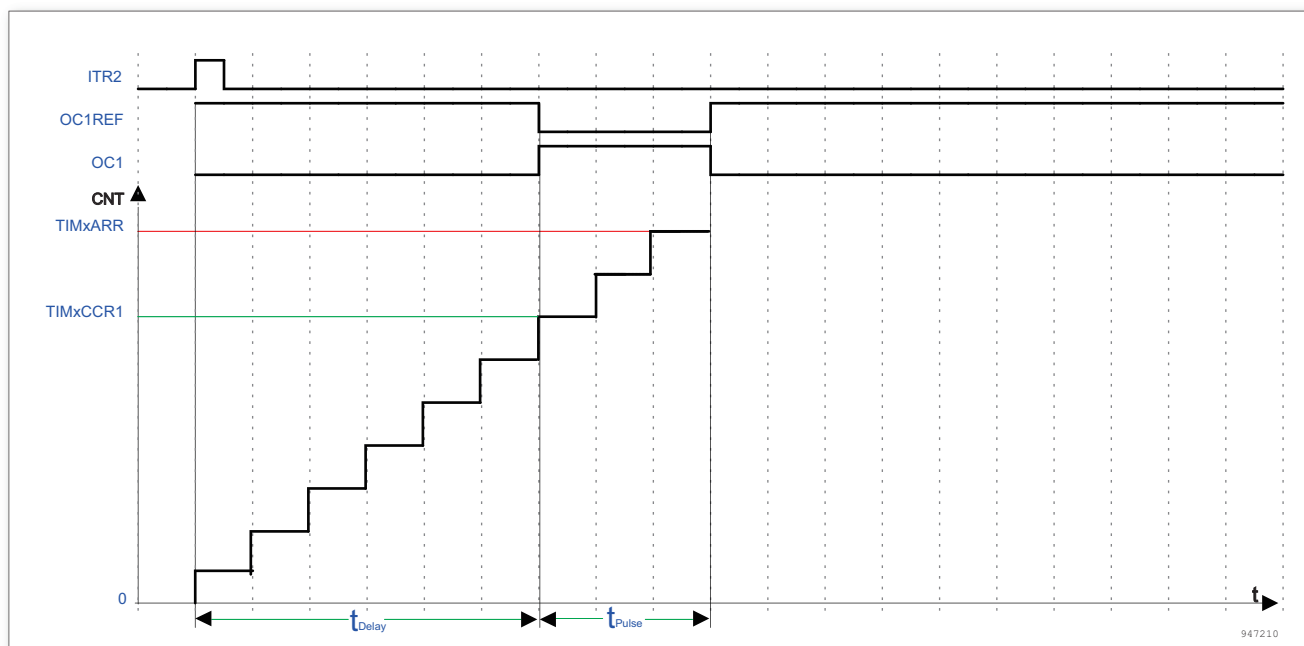


图 66. 单脉冲模式的例子

例如，你需要在从 TI2 输入脚上检测到一个上升沿开始，延迟 t_{DELAY} 之后，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

假定 TI2FP2 作为触发 1：

- 置 TIMx_CCMR1 寄存器中的 CC2S = 01，把 TI2FP2 映像到 TI2。
- 置 TIMx_CCER 寄存器中的 CC2P = 0，使 TI2FP2 能够检测上升沿。
- 置 TIMx_SMCR 寄存器中的 TS = 110，TI2FP2 作为从模式控制器的触发 (TRGI)。
- 置 TIMx_SMCR 寄存器中的 SMS = 110(触发模式)，TI2FP2 被用来启动计数器。

OPM 的波形由写入比较寄存器的数值决定 (要考虑时钟频率和计数器预分频器)

- t_{DELAY} 由 TIMx_CCR1 寄存器中的值定义。
- t_{PULSE} 由自动装载值和比较值之间的差值定义 ($\text{TIMx_ARR} - \text{TIMx_CCR1}$)。
- 假定当发生比较匹配时要产生从 0 到 1 的波形，当计数器达到预装载值时要产生一个从 1 到 0 的波形：首先要置 TIMx_CCMR1 寄存器的 OC1M = 111，进入 PWM 模式 2；根据需要有选择地使能预装载寄存器：置 TIMx_CCMR1 中的 OC1PE = 1 和 TIMx_CR1 寄存器中的 ARPE；然后在 TIMx_CCR1 寄存器中填写比较值，在 TIMx_ARR 寄存器中填写自动装载值，设置 UG 位来产生一个更新事件，然后等待在 TI2 上的一个外部触发事件。本例中，CC1P = 1。

在这个例子中，TIMx_CR1 寄存器中的 DIR 和 CMS 位应该置低。

因为只需要一个脉冲，所以必须设置 TIMx_CR1 寄存器中的 OPM = 1，在下一个更新事件 (当计数器从自动装载值翻转到 0) 时停止计数。

特殊情况：OCx 快速使能：

在单脉冲模式下，在 TIx 输入脚的边沿检测逻辑设置 CEN 位以启动计数器。然后计数器和比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 TIMx_CCMRx 寄存器中的 OCxFE 位；此时强制

OCxREF(和 OCx) 直接响应激励而不再依赖比较的结果, 输出的波形与比较匹配时的波形一样。OCxFE 只在通道配置为 PWM1 和 PWM2 模式时起作用。

9.3.15 编码器接口模式

选择编码器接口模式的方法是: 如果计数器只在 TI2 的边沿计数, 则置 TIMx_SMCR 寄存器中的 SMS = 001; 如果只在 TI1 边沿计数, 则置 SMS = 010; 如果计数器同时在 TI1 和 TI2 边沿计数, 则置 SMS = 011。

通过设置 TIMx_CCER 寄存器中的 CC1P 和 CC2P 位, 可以选择 TI1 和 TI2 极性; 如果需要, 还可以对输入滤波器编程。两个输入 TI1 和 TI2 被用来作为增量编码器的接口。参看表 122, 假定计数器已经启动 (TIMx_CR1 寄存器中的 CEN = 1), 则计数器由每次在 TI1FP1 或 TI2FP2 上的有效跳变驱动。TI1FP1 和 TI2FP2 是 TI1 和 TI2 在通过输入滤波器和极性控制后的信号; 如果没有滤波和变相, 则 TI1FP1 = TI1; 如果没有滤波和变相, 则 TI2FP2 = TI2。根据两个输入信号的跳变顺序, 产生了计数脉冲和方向信号。依据两个输入信号的跳变顺序, 计数器向上或向下计数, 同时硬件对 TIMx_CR1 寄存器的 DIR 位进行相应的设置。不管计数器是依靠 TI1 计数、依靠 TI2 计数或者同时依靠 TI1 和 TI2 计数, 在任一输入端 (TI1 或者 TI2) 的跳变都会重新计算 DIR 位。

编码器接口模式基本上相当于使用了一个带有方向选择的外部时钟。这意味着计数器只在 0 到 TIMx_ARR 寄存器的自动装载值之间连续计数 (根据方向, 或是 0 到 ARR 计数, 或是 ARR 到 0 计数)。所以在开始计数之前必须配置 TIMx_ARR; 同样, 捕获器、比较器、预分频器、重复计数器、触发输出特性等仍工作如常。

在这个模式下, 计数器依照增量编码器的速度和方向被自动的修改, 因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合, 假设 TI1 和 TI2 不同时变换。

表 122. 计数方向与编码器信号的关系

有效边沿	相对信号的电平 (TI1FP1 对应 TI2, TI2FP2 对应 TI1)	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
仅在 TI1 计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在 TI2 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 TI1 和 TI2 上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

一个外部的增量编码器可以直接与 MCU 连接而不需要外部接口逻辑。但是, 一般使用比较器将编码器的差动输出转换到数字信号, 这大大增加了抗噪声干扰能力。编码器输出的第三个信号表示机械零点, 可以把它连接到一个外部中断输入并触发一个计数器复位。

下图是一个计数器操作的实例, 显示了计数信号的产生和方向控制。它还显示了当选择了双边沿时, 输入抖动是如何被抑制的; 抖动可能会在传感器的位置靠近一个转换点时产生。在这个例子中, 我们假定配置如下:

- CC1S = '01' (TIMx_CCMR1 寄存器, IC1FP1 映射到 TI1)
- CC2S = '01' (TIMx_CCMR2 寄存器, IC2FP2 映射到 TI2)

- CC1P = '0' (TIMx_CCER 寄存器, IC1FP1 不反相, IC1FP1=TI1)
- C2P = '0' (TIMx_CCER 寄存器, IC2FP2 不反相, IC2FP2=TI2)
- SMS = '011' (TIMx_SMCR 寄存器, 所有的输入均在上升沿和下降沿有效).
- CEN = '1' (TIMx_CR1 寄存器, 计数器使能)

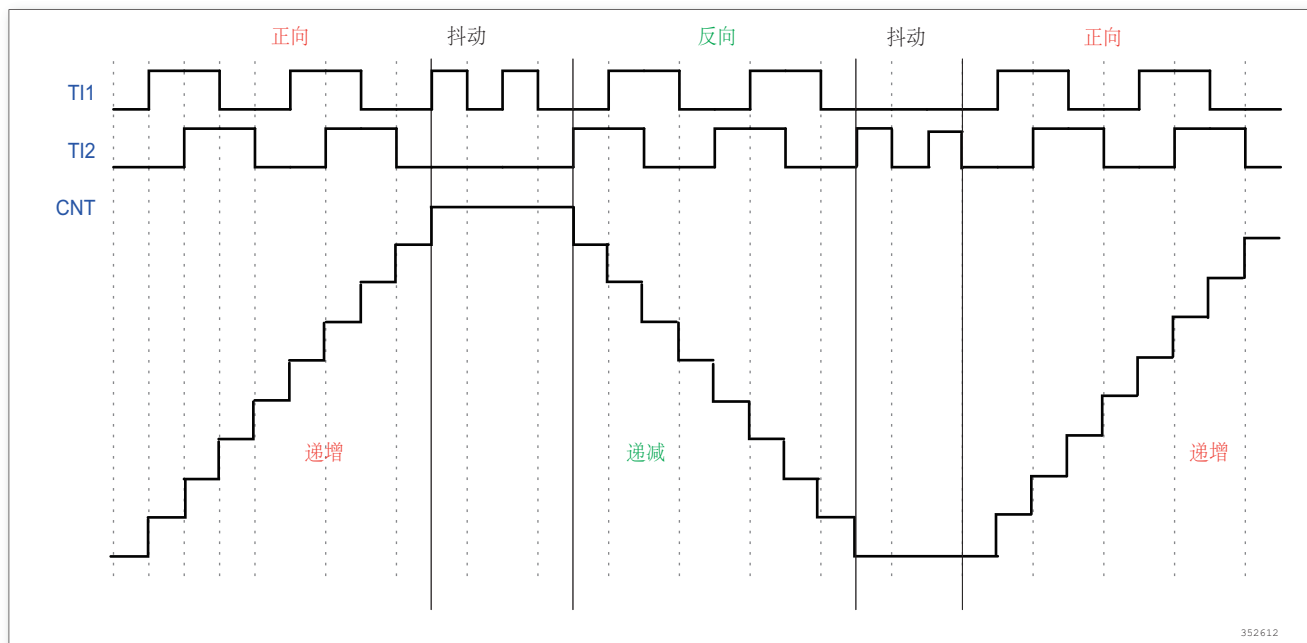


图 67. 编码器模式下的计数器操作实例

下图为当 IC1FP1 极性反相时计数器的操作实例 (CC1P = '1', 其他配置与上例相同)

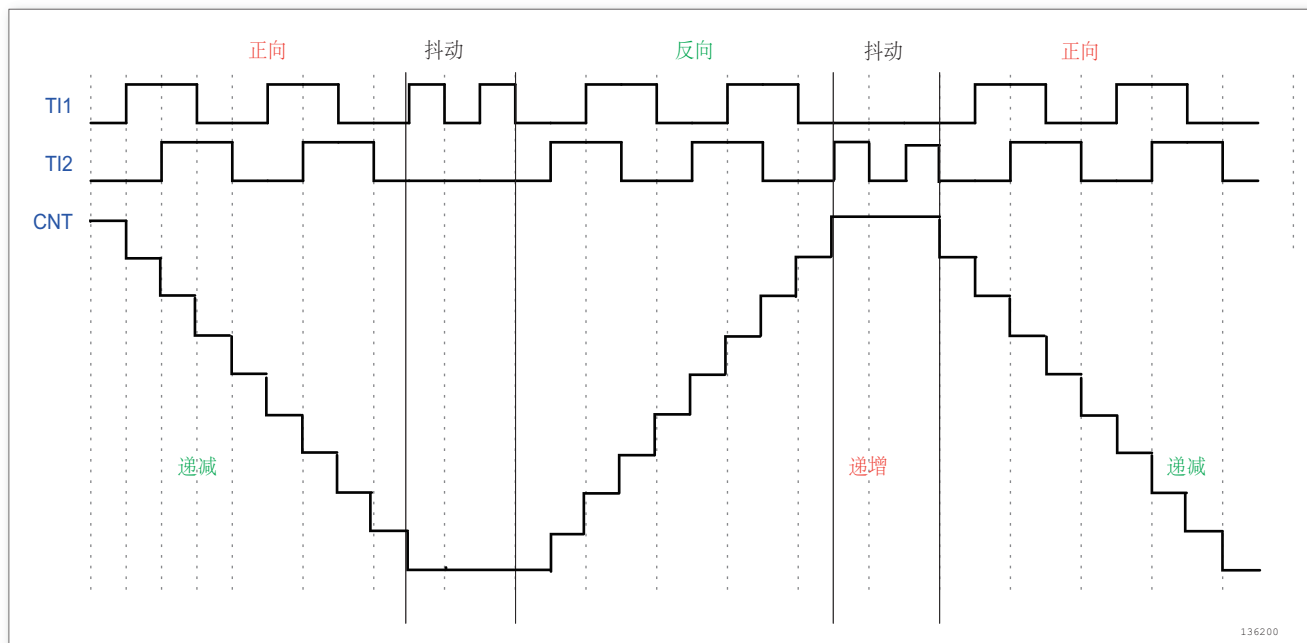


图 68. IC1FP1 反相的编码器接口模式实例

当定时器配置成编码器接口模式时, 提供传感器当前位置的信息。使用第二个配置在捕获模式的定时器测量两个编码器事件的间隔, 可以获得动态的信息 (速度, 加速度, 减速度)。指示机械零点的编码器输出可被用做此目的。根据两个事件间的间隔, 可以按照固定的时间读出计数器。如果可能的话, 你可以把计数器的值锁存到第三个输入捕获寄存器 (捕获信

号必须是周期的并且可以由另一个定时器产生)。

9.3.16 定时器输入异或功能

TIMx_CR2 寄存器中的 TI1S 位, 允许通道 1 的输入滤波器连接到一个异或门的输出端, 异或门的 3 个输入端为 TIMx_CH1、TIMx_CH2 和 TIMx_CH3。

异或输出能够被用于所有定时器的输入功能, 如触发或输入捕获。小节 9.3.17 给出了此特性用于连接霍尔传感器的例子。

9.3.17 与霍尔传感器的接口

使用高级控制定时器 (TIM1) 产生 PWM 信号驱动马达时, 可以用另一个通用 TIMx(TIM2 或 TIM3) 定时器作为“接口定时器”来连接霍尔传感器, 见图 69, 3 个定时器输入脚 (CC1、CC2、CC3) 通过一个异或门连接到 TI1 输入通道 (通过设置 TIMx_CR2 寄存器中的 TI1S 位来选择), ‘接口定时器’捕获这个信号。

从模式控制器被配置于复位模式, 从输入是 TI1F_ED。每当 3 个输入之一变化时, 计数器从新从 0 开始计数。这样产生一个由霍尔输入端的任何变化而触发的时间基准。

‘接口定时器’上的捕获/比较通道 1 配置为捕获模式, 捕获信号为 TRC(见图 52)。捕获值反映了两个输入变化间的时间延迟, 给出了马达速度的信息。

‘接口定时器’可以用来在输出模式产生一个脉冲, 这个脉冲可以 (通过触发一个 COM 事件) 用于改变高级定时器 TIM1 各个通道的属性, 而高级控制定时器产生 PWM 信号驱动马达。因此“接口定时器”通道必须编程为在一个指定的延时 (输出比较或 PWM 模式) 之后产生一个正脉冲, 这个脉冲通过 TRGO 输出被送到高级控制定时器 TIM1。

举例: 霍尔输入连接到 TIMx 定时器, 要求每次任一霍尔输入上发生变化之后的一个指定的时刻, 改变高级控制定时器 TIMx 的 PWM 配置。

- 置 TIMx_CR2 寄存器的 TI1S 位为 ‘1’, 配置三个定时器输入逻辑或到 TI1 输入,
- 时基编程: 置 TIMx_ARR 为其最大值 (计数器必须通过 TI1 的变化清零)。设置预分频器得到一个最大的计数器周期, 它长于传感器上的两次变化的时间间隔。
- 设置通道 1 为捕获模式 (选中 TRC): 置 TIMx_CCMR1 寄存器中 CC1S = 01, 如果需要, 还可以设置数字滤波器。
- 设置通道 2 为 PWM2 模式, 并具有要求的延时: 置 TIMx_CCMR1 寄存器中的 OC2M = 111 和 CC2S = 00。
- 选择 OC2REF 作为 TRGO 上的触发输出: 置 TIMx_CR2 寄存器中的 MMS = 101。

在高级控制寄存器 TIM1 中, 正确的 ITR 输入必须是触发器输入, 定时器被编程为产生 PWM 信号, 捕获/比较控制信号为预装载的 (TIMx_CR2 寄存器中 CCPC = 1), 同时触发输入控制 COM 事件 (TIMx_CR2 寄存器中 CCUS = 1)。在一次 COM 事件后, 写入下一步的 PWM 控制位 (CCxE、OCxM), 这可以在处理 OC2REF 上升沿的中断子程序里实现。

下图显示了这个实例:

输入信号

CH1_IN

CH2_IN

CH3_IN

CNT

CCR2

TRGO

输出信号

COM
•1

CH1_OUT

CH1N_OUT

CH2_OUT

CH2N_OUT

CH3_OUT

CH3N_OUT

•1 com事件发生，通过中断子程序设置新的CCxE、CCxNE和OCxM

图 69. 霍尔传感器接口的实例

9.3.18 TIMx 定时器和外部触发的同步

TIMx 定时器能够在多种模式下和一个外部的触发同步：复位模式、门控模式和触发模式。

从模式：复位模式

在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化，此时如果 TIMx_CR1 寄存器的 URS 位为低，还产生一个更新事件 UEV，然后所有的预装载寄存器 (TIMx_ARR, TIMx_CCRx) 都被更新了。

在以下的例子中，TI1 输入端的上升沿导致向上计数器被清零：

- 配置通道 1 以检测 TI1 的上升沿。配置输入滤波器的带宽 (在本例中，不需要任何滤波器，因此保持 IC1F = 0000)。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中 CC1S = 01。置 TIMx_CCER 寄存器中 CC1P = 0 以确定极性 (只检测上升沿)。
- 置 TIMx_SMCR 寄存器中 SMS = 100，配置定时器为复位模式；置 TIMx_SMCR 寄存器中 TS = 101，选择 TI1 作为输入源。
- 置 TIMx_CR1 寄存器中 CEN = 1，启动计数器。

计数器开始依据内部时钟计数，然后正常运转直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志 (TIMx_SR 寄存器中的 TIF 位) 被设置，根据 TIMx_DIER 寄存器中 TIE(中断使能) 位的设置，产生一个中断请求。

下图显示当自动重载寄存器 TIMx_ARR = 0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时取决于 TI1 输入端的重同步电路。

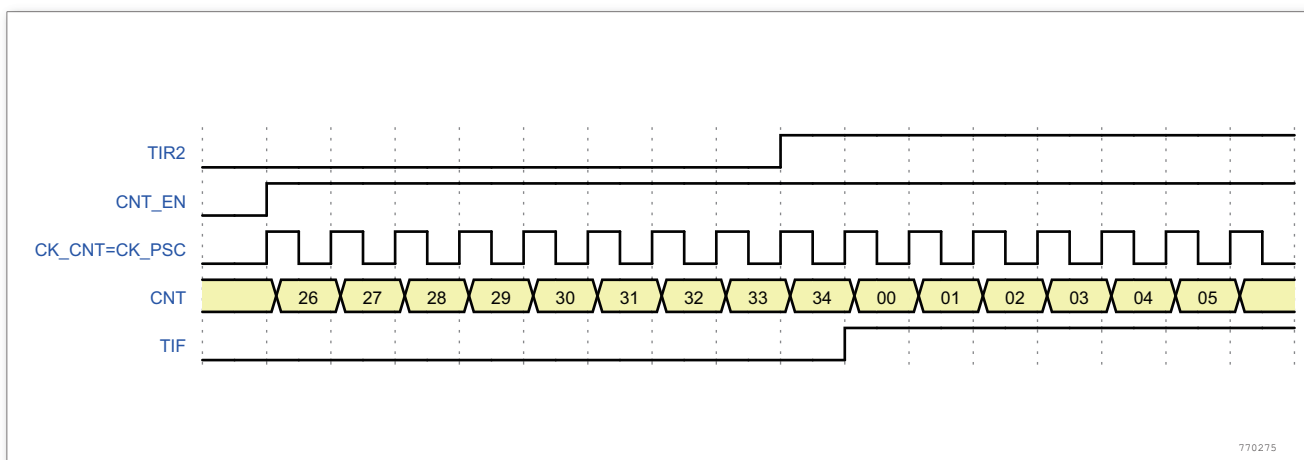


图 70. 复位模式下的控制电路

从模式：门控模式

计数器的使能依赖于选中的输入端的电平。

在如下的例子中，计数器只在 TI1 为低时向上计数：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽 (本例中，不需要滤波，所以保持 IC1F = 0000)。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位用于选择输入捕获源，置 TIMx_CCMR1 寄存器中 CC1S = 01。置 TIMx_CCER 寄存器中 CC1P = 1 以确定极性 (只检测低电平)。
- 置 TIMx_SMCR 寄存器中 SMS = 101，配置定时器为门控模式；置 TIMx_SMCR 寄存

器中 $TS = 101$ ，选择 $TI1$ 作为输入源。

- 置 $TIMx_CR1$ 寄存器中 $CEN = 1$ ，启动计数器。在门控模式下，如果 $CEN = 0$ ，则计数器不能启动，不论触发输入电平如何。

只要 $TI1$ 为低，计数器开始依据内部时钟计数，当 $TI1$ 变高时停止计数。当计数器开始或停止时都设置 $TIMx_SR$ 中的 TIF 标志。

$TI1$ 上升沿和计数器实际停止之间的延时取决于 $TI1$ 输入端的重同步电路。

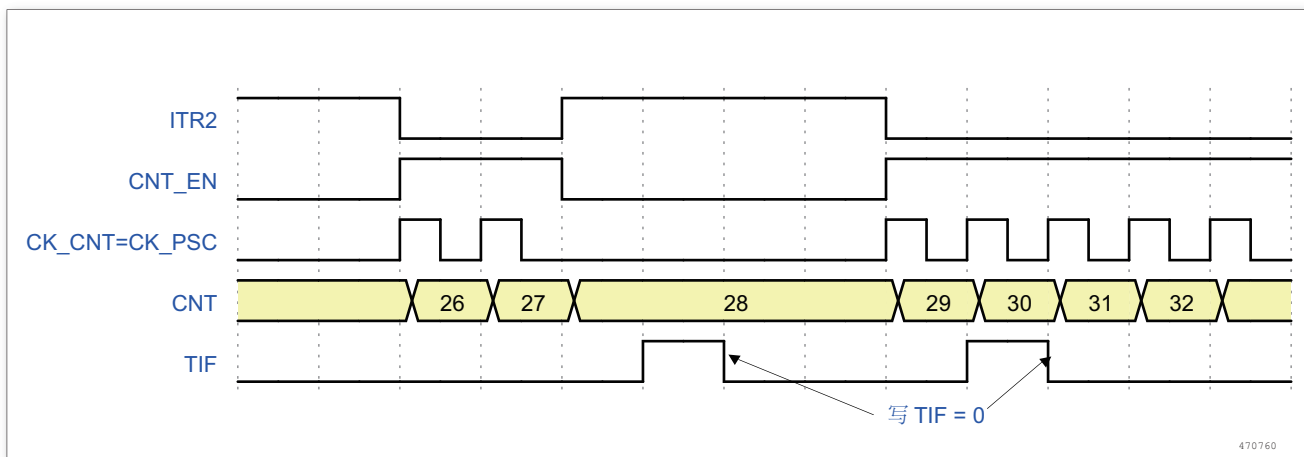


图 71. 门控模式下的控制电路

从模式：触发模式

计数器的使能依赖于选中的输入端上的事件。

在下面的例子中，计数器在 $TI2$ 输入的上升沿开始向上计数：

- 配置通道 2 检测 $TI2$ 的上升沿。配置输入滤波器带宽 (本例中，不需要任何滤波器，保持 $IC2F = 0000$)。触发操作中不使用捕获预分频器，不需要配置。 $CC2S$ 位只用于选择输入捕器中 $CC2P = 1$ 以确定极性 (只检测低电平)。
- 置 $TIMx_SMCR$ 寄存器中 $SMS = 110$ ，配置定时器为触发模式；置 $TIMx_SMCR$ 寄存器中 $TS = 110$ ，选择 $TI2$ 作为输入源。

当 $TI2$ 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TIF 标志。 $TI2$ 上升沿和计数器启动计数之间的延时取决于 $TI2$ 输入端的重同步电路。

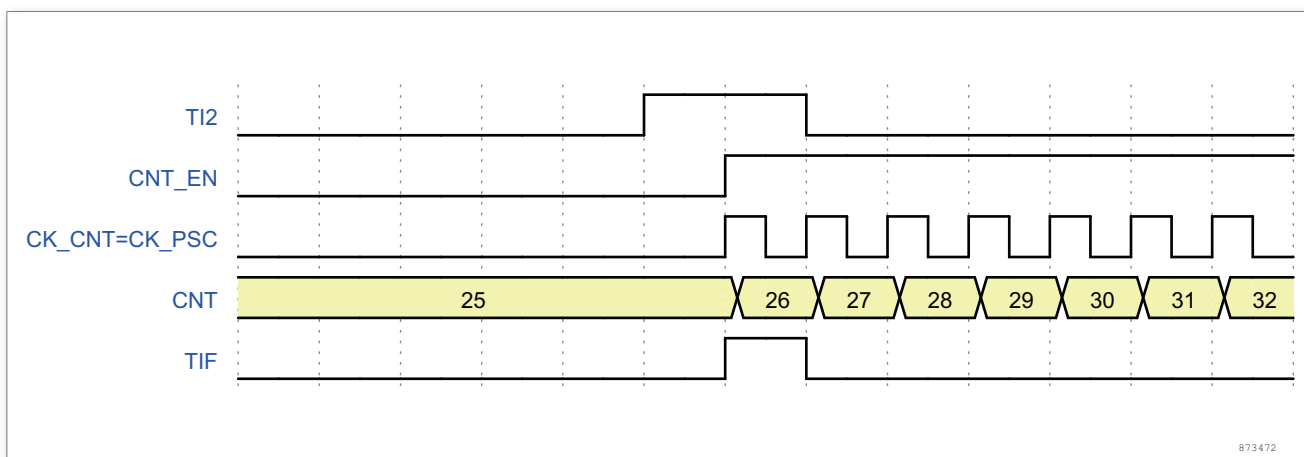


图 72. 触发器模式下的控制电路

9.3.19 定时器同步

所有 TIM 定时器在内部相连，用于定时器同步或链接。详见章节 TIMx。

9.3.20 调试模式

当微控制器进入调试模式时 (CPU 核心停止)，根据 DBG 模块中 DBG_TIMx_STOP 的设置，TIMx 计数器可以或者继续正常操作，或者停止。详见随后的调试章节。

9.4 寄存器描述

表 124. TIM1 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	TIMx_CR1	控制寄存器 1	0x00000000	小节 9.4.1
0x04	TIMx_CR2	控制寄存器 2	0x00000000	小节 9.4.2
0x08	TIMx_SMCR	从模式控制寄存器	0x00000000	小节 9.4.3
0x0C	TIMx_DIER	中断使能寄存器	0x00000000	小节 9.4.4
0x10	TIMx_SR	状态寄存器	0x00000000	小节 9.4.5
0x14	TIMx_EGR	事件产生寄存器	0x00000000	小节 9.4.6
0x18	TIMx_CCMR1	捕获/比较模式寄存器 1	0x00000000	小节 9.4.7
0x1C	TIMx_CCMR2	捕获/比较模式寄存器 2	0x00000000	小节 9.4.8
0x20	TIMx_CCER	捕获/比较使能寄存器	0x00000000	小节 9.4.9
0x24	TIMx_CNT	计数器	0x00000000	小节 9.4.10
0x28	TIMx_PSC	预分频率器	0x00000000	小节 9.4.11
0x2C	TIMx_ARR	自动装载寄存器	0x00000000	小节 9.4.12
0x30	TIMx_RCR	重复计数寄存器	0x00000000	小节 9.4.13
0x34	TIMx_CCR1	捕获/比较寄存器 1	0x00000000	小节 9.4.14
0x38	TIMx_CCR2	捕获/比较寄存器 2	0x00000000	小节 9.4.15
0x3C	TIMx_CCR3	捕获/比较寄存器 3	0x00000000	小节 9.4.16
0x40	TIMx_CCR4	捕获/比较寄存器 4	0x00000000	小节 9.4.17
0x44	TIMx_BDTR	刹车和死区寄存器	0x00000000	小节 9.4.18
0x5C	TIMx_PDER	PWM 移相更新请求使能寄存器	0x00000000	小节 9.4.21
0x60 ~ 0x70	CCRxFALL	PWM 移相向下计数捕获/比较寄存器	0x00000000	小节 9.4.22

9.4.1 控制寄存器 1(TIMx_CR1)

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD	ARPE	CMS	DIR	OPM	URS	UDIS	CEN		
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 10	Reserved			保留, 始终读为 0
9: 8	CKD	rw	0x00	时钟分频因子 (Clock division) 这 2 位定义在定时器时钟 (CK_INT) 频率、死区时间和由死区发生器与数字滤波器 (Tl_x) 所用的采样时钟之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留, 不要使用这个配置
7	ARPE	rw	0x00	自动重载预装载允许位 (Auto-reload preload enable) 0: TIM_x_ARR 寄存器没有缓冲 1: TIM_x_ARR 寄存器被装入缓冲器
6: 5	CMS	rw	0x00	选择中央对齐模式 (Center-aligned mode selection) 00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道 (TIM_x_CCMR_x 寄存器中 CCxS = 00) 的输出比较中断标志位, 只在计数器向下计数时被设置 10: 中央对齐模式 2。计数器交替地向上和向下计数。配置为输出的通道 (TIM_x_CCMR_x 寄存器中 CCxS = 00) 的输出比较中断标志位, 只在计数器向上计数时被设置 11: 中央对齐模式 3。计数器交替地向上和向下计数。配置为输出的通道 (TIM_x_CCMR_x 寄存器中 CCxS = 00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置 注: 在计数器开启时 (CEN = 1), 不允许从边沿对齐模式转换到中央对齐模式。详见中央对齐的 PWM 波形
4	DIR	rw	0x00	方向 (Direction) 0: 计数器向上计数 1: 计数器向下计数 : 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。
3	OPM	rw	0x00	单脉冲模式 (One pulse mode) 0: 在发生更新事件时, 计数器不停止 1: 在发生下一次更新事件 (清除 CEN 位) 时, 计数器停止
2	URS	rw	0x00	更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源。 0: 如果允许产生更新中断, 则下述任一事件产生一个更新中断: - 计数器溢出/下溢 - 设置 UG 位 - 从模式控制器产生的更新 1: 如果允许产生更新中断, 则只有计数器溢出/下溢才产生一个更新中断

Bit	Field	Type	Reset	Description
1	UDIS	rw	0x00	禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: - 计数器溢出/下溢 - 设置 UG 位为 1 - 通过从模式控制器产生的更新事件 然后更新影子寄存器的值。 1: 禁止 UEV。不产生更新事件, 影子寄存器 (ARR、PSC、CCR _x) 保持值不变。如果设置了 UG 位为 1, 或者从模式控制器接收到硬件复位, 计数器和预分频器被重新初始化。
0	CEN	rw	0x00	允许计数器 (Counter enable) 0: 禁止计数器 1: 使能计数器。 注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。

9.4.2 控制寄存器 2(TIMx_CR2)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	Res.	MMS			Res.	CCUS	Res.	CCPC
	rw	rw	rw	rw	rw	rw	rw		rw				rw		rw

Bit	Field	Type	Reset	Description
31: 15	Reserved			保留, 始终读为 0
14	OIS4	rw	0x00	输出空闲状态 4(OC4 输出)。参见 OIS1 位。
13	OIS3N	rw	0x00	输出空闲状态 3(OC3N 输出)。参见 OIS1N 位。
12	OIS3	rw	0x00	输出空闲状态 3(OC3 输出)。参见 OIS1 位。
11	OIS2N	rw	0x00	输出空闲状态 2(OC2N 输出)。参见 OIS1N 位。
10	OIS2	rw	0x00	输出空闲状态 2(OC2 输出)。参见 OIS1 位。
9	OIS1N	rw	0x00	输出空闲状态 1(OC1N 输出)(Output Idle state 1) 0: 当 MOE = 0 时, 死区后 OC1N = 0 1: 当 MOE = 0 时, 死区后 OC1N = 1 注: 已经设置了 LOCK(TIMx_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

Bit	Field	Type	Reset	Description
8	OIS1	rw	0x00	输出空闲状态 1(OC1 输出)(Output Idle state 1) 0: 当 MOE = 0 时, 如果实现了 OC1N, 则死区后 OC1 = 0 1: 当 MOE = 0 时, 如果实现了 OC1N, 则死区后 OC1 = 1 注: 已经设置了 LOCK(TIMx_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。
7	TI1S	rw	0x00	TI1 选择 (TI1 selection) 0: TIMx_CH1 管脚连到 TI1 输入 1: TIMx_CH1、TIMx_CH2 和 TIMx_CH3 管脚经异或后连到 TI1 输入
6: 4	MMS	rw	0x00	主模式选择 (Master mode selection) 这两位用于选择在主模式下送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位-TIMx_EGR 寄存器的 UG 位被用于作为触发输出 (TRGO)。如果触发输入 (从模式控制器处于复位模式) 产生复位, 则 TRGO 上的信号相对实际的复位会有一个延迟。 001: 使能-计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO 上会有一个延迟, 除非选择了主/从模式 (见 TIMx_SMCR 寄存器中 MSM 位的描述)。 010: 更新-更新事件被选为触发输入 (TRGO)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲-发生一次捕获或一次比较成功时, 当要设置 CC1IF 标志时 (即使它已经为高), 触发输出送出一个正脉冲 (TRGO)。 100: 比较-OC1REF 信号被用于作为触发输出 (TRGO) 101: 比较-OC2REF 信号被用于作为触发输出 (TRGO) 110: 比较-OC3REF 信号被用于作为触发输出 (TRGO) 111: 比较-OC4REF 信号被用于作为触发输出 (TRGO)
3	Reserved			保留, 始终读为 0
2	CCUS	rw	0x00	捕获/比较控制更新选择 (Capture/compare control update selection) 0: 如果捕获/比较控制位是预装载的 (CCPC = 1), 只能通过设置 COM 位更新它们 1: 如果捕获/比较控制位是预装载的 (CCPC = 1), 可以通过设置 COM 位或 TRGI 上的一个上升沿更新它们 注: 该位只对具有互补输出的通道起作用。
1	Reserved			保留, 始终读为 0

Bit	Field	Type	Reset	Description
0	CCPC	rw	0x00	捕获/比较预装载控制位 (Capture/compare preloaded control) 0: CCxE, CCxNE 和 OCxM 位不是预装载的 1: CCxE, CCxNE 和 OCxM 位是预装载的; 设置该位后, 它们只在设置了 COM 位后被更新 注: 该位只对具有互补输出的通道起作用。

9.4.3 从模式控制寄存器 (TIMx_SMCR)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.								MSM	TS			Res.	SMS		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

Bit	Field	Type	Reset	Description
15:8	Reserved			保留, 始终读为 0
7	MSM	rw	0x00	主/从模式 (Master/slave mode) 0: 无作用 1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过 TRGO) 与它的从定时器间的完美同步, 这对要求把几个定时器同步到一个单一的外部事件时是非常有用的
6: 4	TS	rw	0x00	触发选择 (Trigger selection) 这 3 位选择用于同步计数器的触发输入。 000: 内部触发 0(ITR0) 001: 内部触发 1(ITR1) 010: 内部触发 2(ITR2) 011: 内部触发 3(ITR3) 100: TI1 的边沿检测器 (TI1F_ED) 101: 滤波后的定时器输入 1(TI1FP1) 110: 滤波后的定时器输入 2(TI2FP2) 更多有关 ITRx 的细节, 参见下表。 注: 这些位只能在未用到 (如 SMS = 000) 时被改变, 以避免在改变时产生错误的边沿检测。
3	Reserved			保留, 始终读为 0

Bit	Field	Type	Reset	Description
2: 0	SMS	rw	0x00	从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 - 如果 CEN = 1, 则预分频器直接由内部时钟驱动。 001: 编码器模式 1 - 根据 TI1FP1 的电平, 计数器在 TI2FP2 的边沿向上/下计数。 010: 编码器模式 2 - 根据 TI2FP2 的电平, 计数器在 TI1FP1 的边沿向上/下计数。 011: 编码器模式 3 - 根据另一个输入的电平, 计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。 100: 复位模式 - 选中的触发输入 (TRGI) 的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号。 101: 门控模式 - 当触发输入 (TRGI) 为高时, 计数器的时钟开启。当触发输入变为低时, 计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 - 计数器在触发输入 TRGI 的上升沿启动 (但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式 1 - 选中的触发输入 (TRGI) 的上升沿驱动计数器。 注: 如果 TI1F_EN 被选为触发输入 (TS = 100) 时, 不要使用门控模式。这是因为, TI1F_ED 在每次 TI1F 变化时输出一个脉冲, 然而门控模式是要检查触发输入的电平。

表 128. TIMx 内部触发连接

从定时器	ITR0	ITR1	ITR2	ITR3
TIM1	无	无	TIM3	无
TIM3	TIM1	无	无	无

9.4.4 中断使能寄存器 (TIMX_DIER)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CC5 IE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BIE	TIE	COM IE	CC4 IE	CC3 IE	CC2 IE	CC1 IE	UIE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31: 17	Reserved			保留, 始终读为 0
16	CC5IE	rw	0x00	允许捕获/比较 5 中断 (Capture/Compare 5 interrupt enable) 0: 禁止捕获/比较 5 中断 1: 允许捕获/比较 5 中断
15: 8	Reserved			保留, 始终读为 0
7	BIE	rw	0x00	允许刹车中断 (Break interrupt enable) 0: 禁止刹车中断 1: 允许刹车中断
6	TIE	rw	0x00	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断 1: 使能触发中断
5	COMIE	rw	0x00	允许 COM 中断 (COM interrupt enable) 0: 禁止 COM 中断 1: 允许 COM 中断
4	CC4IE	rw	0x00	允许捕获/比较 4 中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较 4 中断 1: 允许捕获/比较 4 中断
3	CC3IE	rw	0x00	允许捕获/比较 3 中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较 3 中断 1: 允许捕获/比较 3 中断
2	CC2IE	rw	0x00	允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较 2 中断 1: 允许捕获/比较 2 中断
1	CC1IE	rw	0x00	允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断 1: 允许捕获/比较 1 中断
0	UIE	rw	0x00	允许更新中断 (Update interrupt enable) 0: 禁止更新中断 1: 允许更新中断

9.4.5 状态寄存器 (TIMx_SR)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CC5 IF
															rc_w0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BIF	TIF	COM IF	CC4 IF	CC3 IF	CC2 IF	CC1 IF	UIF
								rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

Bit	Field	Type	Reset	Description
31: 17	Reserved			保留, 始终读为 0
16	CC5IF	rc_w0	0x00	捕获/比较 5 中断标记 (Capture/Compare 5 interrupt flag) 参考 CC1IF 描述。
15: 13	Reserved			保留, 始终读为 0
12	CC4OF	rc_w0	0x00	捕获/比较 4 重复捕获标记 (Capture/Compare 4 overcapture flag) 参见 CC1OF 描述。
11	CC3OF	rc_w0	0x00	捕获/比较 3 重复捕获标记 (Capture/Compare 3 overcapture flag) 参见 CC1OF 描述。
10	CC2OF	rc_w0	0x00	捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag) 参见 CC1OF 描述。
9	CC1OF	rc_w0	0x00	捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 1。写 0 可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到 TIMx_CCR1 寄存器时, CC1IF 的状态已经为 1。
8	Reserved			保留, 始终读为 0
7	BIF	rc_w0	0x00	刹车中断标记 (Break interrupt flag) 当刹车输入有效, 由硬件对该位置 ‘1’。如果刹车输入无效, 则该位可由软件清 “0” 0: 无刹车事件产生 1: 刹车输入上检测到有效电平
6	TIF	rc_w0	0x00	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置 1。它由软件清 0。 0: 无触发器事件产生 1: 触发器中断等待响应

Bit	Field	Type	Reset	Description
5	COMIF	rc_w0	0x00	COM 中断标记 (COM interrupt flag) 当产生 COM 事件 (当捕获/比较控制位: CCxE、CCxNE、OCxM 已被更新) 时该位由硬件置 1。它由软件清 0。 0: 无 COM 事件产生 1: COM 中断等待响应
4	CC4IF	rc_w0	0x00	捕获/比较 4 中断标记 (Capture/Compare 4 interrupt flag) 参考 CC1IF 描述。
3	CC3IF	rc_w0	0x00	捕获/比较 3 中断标记 (Capture/Compare 3 interrupt flag) 参考 CC1IF 描述。
2	CC2IF	rc_w0	0x00	捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag) 参考 CC1IF 描述。
1	CC1IF	rc_w0	0x00	捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式: 当计数器值与比较值匹配时该位由硬件置 ‘1’, 但在中心对称模式下除外 (参考 TIMx_CR1 寄存器的 CMS 位)。它由软件清 ‘0’。 0: 无匹配发生 1: TIMx_CNT 的值与 TIMx_CCR1 的值匹配 如果通道 CC1 配置为输入模式: 当捕获事件发生时该位由硬件置 ‘1’, 它由软件清 0 或通过读 TIMx_CCR1 清 ‘0’。 0: 无输入捕获产生 1: 计数器值已被捕获 (拷贝) 至 TIMx_CCR1(在 IC1 上检测到与所选极性相同的边沿)
0	UIF	rc_w0	0x00	更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置 ‘1’。它由软件清 ‘0’。 0: 无更新事件产生 1: 更新事件等待响应。当寄存器被更新时该位由硬件置 ‘1’: - 若 TIMx_CR1 寄存器的 UDIS = 0, 当 REP_CNT = 0 时产生更新事件 (重复向下计数器上溢或下溢时) - 若 TIMx_CR1 寄存器的 UDIS = 0、URS = 0, 当 TIMx_EGR 寄存器的 UG = 1 时产生更新事件 (软件对计数器 CNT 重新初始化) - 若 TIMx_CR1 寄存器的 UDIS = 0、URS = 0, 当计数器 CNT 被触发事件重初始化时产生更新事件。(参考同步控制寄存器的说明)

9.4.6 事件产生寄存器 (TIMx_EGR)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															CC5G
															w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
								w	w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
31: 17	Reserved			保留，始终读为 0
16	CC5G	w	0x00	产生捕获/比较 5 事件 (Capture/Compare 5 generation) 参考 CC1G 描述。
15: 8	Reserved			保留，始终读为 0
7	BG	w	0x00	产生刹车事件 (Break generation) 该位由软件置 ‘1’，用于产生一个刹车事件，由硬件自动清 ‘0’。 0: 无动作 1: 产生一个刹车事件。此时 MOE = 0、BIF = 1，若开启对应的中断，则产生相应的中断
6	TG	w	0x00	产生触发事件 (Trigger generation) 该位由软件置 ‘1’，用于产生一个触发事件，由硬件自动清 ‘0’。 0: 无动作 1: TIMx_SR 寄存器的 TIF = 1，若开启对应的中断，则产生相应的中断
5	COMG	w	0x00	捕获/比较事件，产生控制更新 (Capture/Compare control update generation) 该位由软件置 ‘1’，由硬件自动清 ‘0’。 0: 无动作 1: 当 CCPC = 1，允许更新 CCxE、CCxNE、OCxM 位 注：该位只对拥有互补输出的通道有效。
4	CC4G	w	0x00	产生捕获/比较 4 事件 (Capture/Compare 4 generation) 参考 CC1G 描述。
3	CC3G	w	0x00	产生捕获/比较 3 事件 (Capture/Compare 3 generation) 参考 CC1G 描述。
2	CC2G	w	0x00	产生捕获/比较 2 事件 (Capture/Compare 2 generation) 参考 CC1G 描述。

Bit	Field	Type	Reset	Description
1	CC1G	w	0x00	产生捕获/比较 1 事件 (Capture/Compare 1 generation) 该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。 0：无动作 1：在通道 CC1 上产生一个捕获/比较事件： 若通道 CC1 配置为输出： 设置 CC1IF=1，若开启对应的中断，则产生相应的中断。 若通道 CC1 配置为输入： 当前的计数器值被捕获至 TIMx_CCR1 寄存器，设置 CC1IF = 1，若开启对应的中断，则产生相应的中断。若 CC1IF 已经为 1，则设置 CC1OF = 1。
0	UG	w	0x00	产生更新事件 (Update generation) 该位由软件置 ‘1’，由硬件自动清 ‘0’。 0：无动作 1：重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清 ‘0’ (但是预分频系数不变)。若在中心对称模式下或 DIR = 0(向上计数) 则计数器被清 ‘0’；若 DIR = 1(向下计数) 则计数器取 TIMx_ARR 的值。

9.4.7 捕获/比较模式寄存器 1(TIMx_CCMR1)

偏移地址：0x18

复位值：0x0000

通道可用于输入 (捕获模式) 或输出 (比较模式)，通道的方向由相应的 CCxS 定义。该寄存器其他位的作用和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输出模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OC2M			OC2 PE	OC2 FE	Res.	Res.	OC1M			OC1 PE	OC1 FE	Reserved		
							IC1F			IC1PSC					
	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw			

输出比较模式：

Bit	Field	Type	Reset	Description
15	Reserved			保留，始终读为 0
14: 12	OC2M	rw	0x00	输出比较 2 模式 (Output compare 2 mode)
11	OC2PE	rw	0x00	输出比较 2 预装载使能 (Output compare 2 preload enable)
10	OC2FE	rw	0x00	输出比较 2 快速使能 (Output compare 4 fast enable)

Bit	Field	Type	Reset	Description
9: 8	CC2S	rw	0x00	捕获/比较 2 选择 (Capture/Compare 2 selection) 该位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出 01: CC2 通道被配置为输入, IC2 映射在 TI2 上 10: CC2 通道被配置为输入, IC2 映射在 TI1 上 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC2S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC2E = 0) 才是可写的。
7	Reserved			保留, 始终读为 0
6: 4	OC1M	rw	0x00	输出比较 1 模式 (Output compare 1 mode) 该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1、OC1N 的值。OC1REF 是高电平有效, 而 OC1、OC1N 的有效电平取决于 CC1P、CC1NP 位。 000: 冻结。输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 间的比较对 OC1REF 不起作用 001: 匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CCR1) 相同时, 强制 OC1REF 为高 010: 匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CCR1) 相同时, 强制 OC1REF 为低 011: 翻转。当 TIMx_CCR1=TIMx_CNT 时, 翻转 OC1REF 的电平 100: 强制为无效电平。强制 OC1REF 为低 101: 强制为有效电平。强制 OC1REF 为高 110: PWM 模式 1 - 在向上计数时, 当 TIMx_CNT < TIMx_CCR1 时通道 1 为有效电平, 否则为无效电平; 在向下计数时, 当 TIMx_CNT > TIMx_CCR1 时通道 1 为无效电平 (OC1REF = 0), 否则为有效电平 (OC1REF = 1) 111: PWM 模式 2 - 在向上计数时, 当 TIMx_CNT < TIMx_CCR1 时通道 1 为无效电平, 否则为有效电平; 在向下计数时, 当 TIMx_CNT > TIMx_CCR1 时通道 1 为有效电平, 否则为无效电平 注 1: 当 LOCK 级别设为 3(TIMx_BDTR 寄存器中的 LOCK 位) 并且 CC1S = 00(该通道配置成输出) 时, 该位不能被修改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。

Bit	Field	Type	Reset	Description
3	OC1PE	rw	0x00	输出比较 1 预装载使能 (Output compare 1 preload enable) 0: 禁止 TIMx_CCR1 寄存器的预装载功能, 可随时写入 TIMx_CCR1 寄存器, 并且新写入的数值立即起作用 1: 开启 TIMx_CCR1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIMx_CCR1 的预装载值在更新事件到来时被加载至当前寄存器中 注 1: 当 LOCK 级别设为 3(TIMx_BDTR 寄存器中的 LOCK 位) 并且 CC1S = 00(该通道配置成输出) 时, 该位不能被修改。 注 2: 仅在单脉冲模式下 (TIMx_CR1 寄存器的 OPM = 1), 可以在未确认预装载寄存器情况下使用 PWM 模式, 否则其动作不确定。
2	OC1FE	rw	0x00	输出比较 1 快速使能 (Output compare 1 fast enable) 该位用于加快 CC 输出对触发输入事件的响应。 0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。OCFE 只在通道被配置成 PWM1 或 PWM2 模式时起作用
1: 0	CC1S	rw	0x00	捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出 01: CC1 通道被配置为输入, IC1 映射在 TI1 上 10: CC1 通道被配置为输入, IC1 映射在 TI2 上 11: CC1 通道被配置为输入, IC1 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC1S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC1E = 0) 才是可写的。

输入捕获模式:

Bit	Field	Type	Reset	Description
15: 12	IC2F	rw	0x00	输入捕获 2 滤波器 (Input capture 2 filter)
11: 10	IC2PSC	rw	0x00	输入/捕获 2 预分频器 (Input capture 2 prescaler)

Bit	Field	Type	Reset	Description
9: 8	CC2S	rw	0x00	捕获/比较 2 选择 (Capture/Compare 2 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出 01: CC2 通道被配置为输入, IC2 映射在 TI2 上 10: CC2 通道被配置为输入, IC2 映射在 TI1 上 11: CC2 通道被配置为输入, IC2 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC2S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC2E = 0) 才是可写的。
7: 4	IC1F	rw	0x00	输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 fDTS 采样 1000: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$, N = 6 0001: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 2 1001: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$, N = 8 0010: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 4 1010: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 5 0011: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 8 1011: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 6 0100: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$, N = 6 1100: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 8 0101: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$, N = 8 1101: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 5 0110: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$, N = 6 1110: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 6 0111: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$, N = 8 1111: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 8
3: 2	IC1PSC	rw	0x00	输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。 当 CC1E = 0(TIMx_CCER 寄存器中) 时, 预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获

Bit	Field	Type	Reset	Description
1: 0	CC1S	rw	0x00	捕获/比较 1 选择 (Capture/compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出 01: CC1 通道被配置为输入, IC1 映射在 TI1 上 10: CC1 通道被配置为输入, IC1 映射在 TI2 上 11: CC1 通道被配置为输入, IC1 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC1S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC1E = 0) 才是可写的。

9.4.8 捕获/比较模式寄存器 2(TIMx_CCMR2)

偏移地址: 0x1C

复位值: 0x0000

参看以上 CCMR1 寄存器的描述。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M			OC4 PE	OC4 FE	Reserved		OC3 CE	OC3M			OC3 PE	OC3 FE	Reserved	
Reserved				Reserved				IC3F				IC3PSC			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

输出比较模式

Bit	Field	Type	Reset	Description
15	OC4CE	rw	0x00	输出比较 4 清 0 使能 (Output compare 4 clear enable)
14: 12	OC4M	rw	0x00	输出比较 4 模式 (Output compare 4 mode)
11	OC4PE	rw	0x00	输出比较 4 预装载使能 (Output compare 4 preload enable)
10	OC4FE	rw	0x00	输出比较 4 快速使能 (Output compare 4 fast enable)
9: 8	CC4S	rw	0x00	捕获/比较 4 选择 (Capture/Compare 4 selection) 该 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出 01: CC4 通道被配置为输入, IC4 映射在 TI4 上 10: CC4 通道被配置为输入, IC4 映射在 TI3 上 11: CC4 通道被配置为输入, IC4 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC4S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC4E = 0) 才是可写的。
7	OC3CE	rw	0x00	输出比较 3 清 '0' 使能 (Output compare 3 clear enable)

Bit	Field	Type	Reset	Description
6: 4	OC3M	rw	0x00	输出比较 3 模式 (Output compare 3 mode)
3	OC3PE	rw	0x00	输出比较 3 预装载使能 (Output compare 3 preload enable)
2	OC3FE	rw	0x00	输出比较 3 快速使能 (Output compare 3 fast enable)
1: 0	CC3S	rw	0x00	捕获/比较 3 选择 (Capture/Compare 3 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出 01: CC3 通道被配置为输入, IC3 映射在 TI3 上 10: CC3 通道被配置为输入, IC3 映射在 TI4 上 11: CC3 通道被配置为输入, IC3 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC3S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC3E = 0) 才是可写的。

输入捕获模式

Bit	Field	Type	Reset	Description
15: 12	IC4F	rw	0x00	输入捕获 4 滤波器 (Input capture 4 filter)
11: 10	IC4PSC	rw	0x00	输入/捕获 4 预分频器 (Input capture 4 prescaler)
9: 8	CC4S	rw	0x00	捕获/比较 4 选择 (Capture/Compare 4 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出 01: CC4 通道被配置为输入, IC4 映射在 TI4 上 10: CC4 通道被配置为输入, IC4 映射在 TI3 上 11: CC4 通道被配置为输入, IC4 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC4S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC4E = 0) 才是可写的。
7: 4	IC3F	rw	0x00	输入捕获 3 滤波器 (Input capture 3 filter)
3: 2	IC3PSC	rw	0x00	输入/捕获 3 预分频器 (Input capture 3 prescaler)
1: 0	CC3S	rw	0x00	捕获/比较 3 选择 (Capture/compare 3 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出 01: CC3 通道被配置为输入, IC3 映射在 TI3 上 10: CC3 通道被配置为输入, IC3 映射在 TI4 上 11: CC3 通道被配置为输入, IC3 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC3S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC3E = 0) 才是可写的。

9.4.9 捕获/比较使能寄存器 (TIMx_CCER)

偏移地址: 0x20

复位值: 0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15	CC4NP	rw	0x00	输入/捕获 4 互补输出极性 (Capture/Compare 4 complementary output polarity) 参考 CC1NP 的描述。
14	Reserved			保留, 始终读为 0
13	CC4P	rw	0x00	输入/捕获 4 输出极性 (Capture/Compare 4 output polarity) 参考 CC1P 的描述。
12	CC4E	rw	0x00	输入/捕获 4 输出使能 (Capture/Compare 4 output enable) 参考 CC1E 的描述。
11	CC3NP	rw	0x00	输入/捕获 3 互补输出极性 (Capture/Compare 3 complementary output polarity) 参考 CC1NP 的描述。
10	CC3NE	rw	0x00	输入/捕获 3 互补输出使能 (Capture/Compare 3 complementary output enable) 参考 CC1NE 的描述。
9	CC3P	rw	0x00	输入/捕获 3 输出极性 (Capture/Compare 3 output polarity) 参考 CC1P 的描述。
8	CC3E	rw	0x00	输入/捕获 3 输出使能 (Capture/Compare 3 output enable) 参考 CC1E 的描述。
7	CC2NP	rw	0x00	输入/捕获 2 互补输出极性 (Capture/Compare 2 complementary output polarity) 参考 CC1NP 的描述。
6	CC2NE	rw	0x00	输入/捕获 2 互补输出使能 (Capture/Compare 2 complementary output enable) 参考 CC1NE 的描述。
5	CC2P	rw	0x00	输入/捕获 2 输出极性 (Capture/Compare 2 output polarity) 参考 CC1P 的描述。
4	CC2E	rw	0x00	输入/捕获 2 输出使能 (Capture/Compare 2 output enable) 参考 CC1E 的描述。
3	CC1NP	rw	0x00	输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N 高电平有效 1: OC1N 低电平有效 注: 当 LOCK 级别 (TIMx_BDTR 寄存器中的 LCKCK 位) 设为 3 或 2 且 CC1S = 00(通道配置为输出) 时, 该位不能被修改。

Bit	Field	Type	Reset	Description
2	CC1NE	rw	0x00	输入/捕获 1 互补输出使能 (Capture/Compare 1 complementary output enable) 0: 关闭 - OC1N 禁止输出, 因此 OC1N 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值 1: 开启 - OC1N 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值
1	CC1P	rw	0x00	输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入: 该位选择是 IC1 还是 IC1 的反相信号作为触发或捕获信号。 0: 不反相: 捕获发生在 IC1 的上升沿; 当用作外部触发器时, IC1 不反相 1: 反相: 捕获发生在 IC1 的下降沿; 当用作外部触发器时, IC1 反相 注: 当 LOCK 级别 (TIMx_BDTR 寄存器中的 LCCK 位) 设为 3 或 2 时, 该位不能被修改。
0	CC1E	rw	0x00	输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出: 0: 关闭 - OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值 1: 开启 - OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值 CC1 通道配置为输入: 该位决定了计数器的值是否能捕获入 TIMx_CCR1 寄存器。 0: 捕获禁止 1: 捕获使能

表 137. 带刹车功能的互补输出通道 OCx 和 OCxN 的控制位

控制位					输出状态 ⁽¹⁾	
MOE 位	OSSI 位	OSSR 位	CCxE 位	CCxNE 位	OCx 输出状态	OCxN 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) OCx = 0, OCx_EN = 0	输出禁止 (与定时器断开) OCxN = 0, OCxN_EN = 0
		0	0	1	输出禁止 (与定时器断开) OCx = 0, OCx_EN = 0	OCxREF + 极性, OCxN = OCxREF xor CCxNP, OCxN_EN = 1
		0	1	0	OCxREF + 极性, OCx = OCxREF xor CCxP, OCx_EN = 1	输出禁止 (与定时器断开) OCxN = 0, OCxN_EN = 0
		0	1	1	OCxREF + 极性 + 死区, OCx_EN = 1	OCxREF 反相 + 极性 + 死区, OCxN_EN = 1
		1	0	0	输出禁止 (与定时器断开) OCx = CCxP, OCx_EN = 0	输出禁止 (与定时器断开) OCxN = CCxNP, OCxN_EN = 0
		1	0	1	关闭状态 (输出使能且为无效电 平) OCx = CCxP, OCx_EN = 1	OCxREF + 极性, OCxN = OCxREF xor CCxNP, OCxN_EN = 1
		1	1	0	OCxREF + 极性, OCx = OCxREF xor CCxP, OCx_EN = 1	关闭状态 (输出使能且为无效电 平) OCxN = CCxNP, OCxN_EN = 1
		1	1	1	OCxREF + 极性 + 死区, OCx_EN = 1	OCxREF 反相 + 极性 + 死区, OCxN_EN = 1
0	0	X	0	0	输出禁止 (与定时器断开) 异步地: OCx = CCxP, OCx_EN = 0, OCxN = CCxNP, OCxN_EN = 0; 若时钟存在: 经过一个死区时间后 OCx = OISx, OCxN = OISxN, 假设 OISx 与 OISxN 并不都对应 OCx 和 OCxN 的有效电平。	
	0		0	1		
	0		1	0		
	0		1	1		
	1		0	0	关闭状态 (输出使能且为无效电平) 异步地: OCx = CCxP, OCx_EN = 1, OCxN = CCxNP, OCxN_EN = 1; 若时钟存在: 经过一个死区时间后 OCx = OISx, OCxN = OISxN, 假设 OISx 与 OISxN 并不都对应 OCx 和 OCxN 的有效电平。	
	1		0	1		
	1		1	0		
	1		1	1		

1. 如果一个通道的 2 个输出都没有使用 (CCxE = CCxNE = 0), 那么 OISx, OISxN, CCxP 和 CCxNP 都必须清零。

注: 与互补通道 OCx 和 OCxN 相连的外部 I/O 管脚的状态, 取决于 OCx 和 OCxN 通道状态和 GPIO 寄存器。

9.4.10 计数器 (TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CNT	rw	0x0000	计数器的值 (Counter value)

9.4.11 预分频器 (TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	PSC	rw	0x0000	预分频器的值 (Prescaler value) 计数器的时钟频率 (CK_CNT) 等于 $f_{CK_PSC} / (PSC + 1)$ 。 PSC 包含了每次当更新事件产生时, 装入当前预分频器寄存器的值。更新事件包括计数器被 TIM_EGR 的 UG 位清 '0' 或被工作在复位模式的从控制器清 '0'。

9.4.12 自动装载寄存器 (TIMx_ARR)

偏移地址: 0x2C

复位值: 0x0000

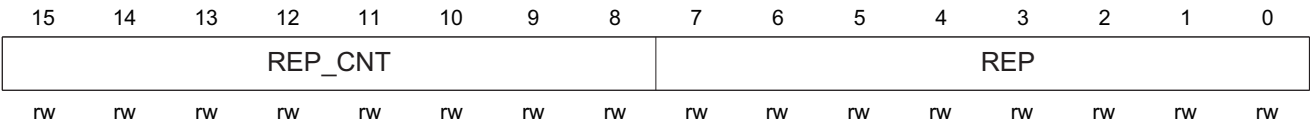
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	ARR	rw	0x0000	自动重载的值 (Prescaler value) ARR 包含了将要装载入实际的自动重载寄存器的数值。 详细参考小节 9.3.1: 有关 ARR 的更新和动作。 当自动重载的值为空时, 计数器不工作。

9.4.13 重复计数寄存器 (TIMx_RCR)

偏移地址: 0x30

复位值: 0x0000

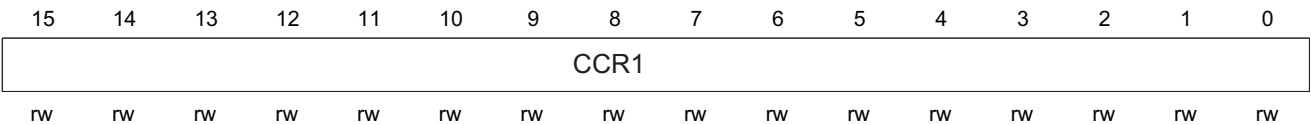


Bit	Field	Type	Reset	Description
15: 8	REP_CNT	rw	0x00	重复计数器实时写入的值 (Repetition counter value of real-time writing) 用于修改重复计数模式下，实时的将更新中断标志位 (UIF) 的检测点移位，即可将 UIF 左移 (REP-REP_CNT) 个相位 (相减值为负值时右移)。在更新事件后写入这些位 (注意在更新事件前写入 REP_CNT 将会使移位无效)。
7: 0	REP	rw	0x00	重复计数器的值 (Repetition counter value) 开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率 (即周期性地从预装载寄存器传输到当前寄存器)；如果允许产生更新中断，则会同时影响产生更新中断的速率。 每次向下计数器 REP_CNT 达到 0，会产生一个更新事件并且计数器 REP_CNT 重新从 REP 值开始计数。由于 REP_CNT 只有在周期更新事件 U_RC 发生时才重载 REP 值，因此对 TIMx_RCR 寄存器写入的新值只在下次周期更新事件发生时才起作用。 这意味着在 PWM 模式中，(REP+1) 对应着： - 在边沿对齐模式下，PWM 周期的数目 - 在中心对称模式下，PWM 半周期的数目

9.4.14 捕获/比较寄存器 1(TIMx_CCR1)

偏移地址: 0x34

复位值: 0x0000



Bit	Field	Type	Reset	Description
15: 0	CCR1	rw	0x0000	捕获/比较 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出： CCR1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。 如果在 TIMx_CCMR1 寄存器 (OC1PE 位) 中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入： CCR1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。

9.4.15 捕获/比较寄存器 2(TIMx_CCR2)

偏移地址：0x38

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR2	rw	0x0000	捕获/比较 2 的值 (Capture/Compare 2 value) 若 CC2 通道配置为输出： CCR2 包含了装入当前捕获/比较 2 寄存器的值 (预装载值)。 如果在 TIMx_CCMR2 寄存器 (OC2PE 位) 中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 2 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC2 端口上产生输出信号。 若 CC2 通道配置为输入： CCR2 包含了由上一次输入捕获 2 事件 (IC2) 传输的计数器值。

9.4.16 捕获/比较寄存器 3(TIMx_CCR3)

偏移地址：0x3C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR3	rw	0x0000	捕获/比较 3 的值 (Capture/Compare 3 value) 若 CC3 通道配置为输出： CCR3 包含了装入当前捕获/比较 3 寄存器的值 (预装载值)。 如果在 TIMx_CCMR3 寄存器 (OC3PE 位) 中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 3 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC3 端口上产生输出信号。 若 CC3 通道配置为输入： CCR3 包含了由上一次输入捕获 3 事件 (IC3) 传输的计数器值。

9.4.17 捕获/比较寄存器 4(TIMx_CCR4)

偏移地址：0x40

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR4	rw	0x0000	捕获/比较 4 的值 (Capture/Compare 4 value) 若 CC4 通道配置为输出： CCR4 包含了装入当前捕获/比较 4 寄存器的值 (预装载值)。 如果在 TIMx_CCMR4 寄存器 (OC4PE 位) 中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 4 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC4 端口上产生输出信号。 若 CC4 通道配置为输入： CCR4 包含了由上一次输入捕获 4 事件 (IC4) 传输的计数器值。

9.4.18 刹车和死区寄存器 (TIMx_BDTR)

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															DOE
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK		DTG							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注：根据锁定设置，AOE、BKP、BKE、OSSI、OSSR 和 DTG 位均可被写保护，有必要在第一次写入 TIMx_BDTR 寄存器时对它们进行配置。

Bit	Field	Type	Reset	Description
31:17	Reserved			保留，始终读为 0。
16	DOE	rw	0x00	直接输出 (Direct output enable) 当刹车有效、MOE 置零后，有效。 1: 立即输出空闲状态，不再等待死区时间后输出。 0: 刹车输入后，等待一个死区时间后输出空闲状态。
15	MOE	rw	0x00	主输出使能 (Main output enable) 当刹车输入有效时，该位被硬件异步清 '0'。根据 AOE 位的设置值，该位可以由软件清 '0' 或被自动置 '1'。它仅对配置为输出的通道有效。 0: 禁止 OC 和 OCN 输出或强制为空闲状态 1: 如果设置了相应的使能位 (TIMx_CCER 寄存器的 CCxE、CCxNE 位)，则开启 OC 和 OCN 输出 有关 OC/OCN 使能的细节，参见小节 9.4.9，捕获/比较使能寄存器 (TIMx_CCER)。
14	AOE	rw	0x00	自动输出使能 (Automatic output enable) 0: MOE 只能被软件置 '1' 1: MOE 能被软件置 '1' 或在下一个更新事件被自动置 1 (如果刹车输入无效) 注：当 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 1 时，该位不能被修改。
13	BKP	rw	0x00	刹车输入极性 (Break polarity) 0: 刹车输入低电平有效 1: 刹车输入高电平有效 注：当 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 1 时，该位不能被修改。
12	BKE	rw	0x00	刹车功能使能 (Break enable) 0: 禁止刹车输入 (BRK 及 BRK_ACTH) 1: 开启刹车输入 (BRK 及 BRK_ACTH) 注：当 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 1 时，该位不能被修改。

Bit	Field	Type	Reset	Description
11	OSSR	rw	0x00	运行模式下 ‘关闭状态’ 选择 (Off-state selection for Run mode) 该位用于当 MOE = 1 且通道为互补输出时。没有互补输出的定时器中不存在 OSSR 位。 参考 OC/OCN 使能的详细说明 (小节 9.4.9, 捕获/比较使能寄存器 (TIMx_CCER))。 0: 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号 = 0) 1: 当定时器不工作时, 如果 CCxE = 1 或 CCxNE = 1, 首先开启 OC/OCN 并输出无效电平, 然后置 OC/OCN 使能输出信号 = 1 注: 当 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 2 时, 该位不能被修改。
10	OSSI	rw	0x00	空闲模式下 ‘关闭状态’ 选择 (Off-state selection for Idle mode) 该位用于当 MOE = 0 且通道设为输出时。 参考 OC/OCN 使能的详细说明 (小节 9.4.9, 捕获/比较使能寄存器 (TIMx_CCER))。 0: 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号 = 0) 1: 当定时器不工作时, 如果 CCxE = 1 或 CCxNE = 1, OC/OCN 首先输出其空闲电平, 然后 OC/OCN 使能输出信号 = 1 注: 当 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 2 时, 该位不能被修改。
9: 8	LOCK	rw	0x00	锁定设置 (Lock configuration) 该位为防止软件错误而提供写保护。 00: 锁定关闭, 寄存器无写保护 01: 锁定级别 1, 不能写入 TIMx_BDTR 寄存器的 DTG、BKE、BKP、AOE 位和 TIMx_CR2 寄存器的 OISx/OISxN 位 10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位 (当相关通道通过 CCxS 位设为输出时, CC 极性位是 TIMx_CCER 寄存器的 CCxP/CCNxP 位) 以及 OSSR/OSSI 位 11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位 (当相关通道通过 CCxS 位设为输出时, CC 控制位是 TIMx_CCMRx 寄存器的 OCxM/OCxPE 位) 注: 在系统复位后, 只能写一次 LOCK 位, 当写入 TIMx_BDTR 寄存器时, 其内容冻结直至复位。

Bit	Field	Type	Reset	Description
7: 0	DTG	rw	0x00	死区发生器设置 (Dead-time generator setup) 这些位定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间: DTG[7: 5] = 0xx: $DT = (DTG[7: 0] + 1) \times t_{dtg}, t_{dtg} = t_{DTS};$ DTG[7: 5] = 10x: $DT = (DTG[5: 0] + 1 + 64) \times t_{dtg}, t_{dtg} = 2 \times t_{DTS};$ DTG[7: 5] = 110: $DT = (DTG[4: 0] + 1 + 32) \times t_{dtg}, t_{dtg} = 8 \times t_{DTS};$ DTG[7: 5] = 111: $DT = (DTG[4: 0] + 1 + 32) \times t_{dtg}, t_{dtg} = 16 \times t_{DTS};$ 例: 若 $t_{DTS} = 125ns(8MHz)$, 可能的死区时间为: 125ns 到 15875ns(步长时间为 125ns), 16μs 到 31750ns(步长时间为 250ns), 32μs 到 63μs(步长时间为 1μs), 64μs 到 126μs(步长时间为 2μs)。 注: 当 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 1、2 或 3 时, 不能修改这些位。

9.4.19 捕获/比较模式寄存器 3(TIMx_CCMR3)

偏移地址: 0x54

复位值: 0x0000

通道仅用于输出 (比较模式)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										OC5M		OC5PE	OC5FE	Reserved	
										rw		rw	rw		

输出比较模式:

Bit	Field	Type	Reset	Description
15: 7	Reserved			保留, 始终读为 0。
6: 4	OC5M	rw	0x00	输出比较 5 模式 (Output compare 5 mode)
3	OC5PE	rw	0x00	输出比较 5 预装载使能 (Output compare 5 preload enable)
2	OC5FE	rw	0x00	输出比较 5 快速使能 (Output compare 5 fast enable)
1: 0	Reserved			保留, 始终读为 0。

9.4.20 捕获/比较寄存器 5(TIMx_CCR5)

偏移地址: 0x58

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR5	rw	0x0000	捕获/比较 5 的值 (Capture/Compare 5 value) CC5 通道只能配置为输出: CCR5 包含了装入当前捕获/比较 5 寄存器的值 (预装载值)。 如果在 TIMx_CCMR3 寄存器 (OC5PE 位) 中未选择预装载特性, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 5 寄存器中。 当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较, 并在 OC5 端口上产生输出信号。

9.4.21 PWM 移相 repeat 更新请求使能寄存器 (TIMx_PDER)

偏移地址: 0x5C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										CCR5_SHIFT_EN	CCR4_SHIFT_EN	CCR3_SHIFT_EN	CCR2_SHIFT_EN	CCR1_SHIFT_EN	Res.
										rw	rw	rw	rw	rw	

Bit	Field	Type	Reset	Description
15: 6	Reserved			保留, 始终读为 0。
5	CCR5_SHIFTEN	rw	0x00	允许通道 5 输出 PWM 移相使能位 0: 禁止通道 5 输出 PWM 移相 1: 允许通道 5 输出 PWM 移相 具体见 CCRx_FALL 寄存器描述移相操作
4	CCR4_SHIFTEN	rw	0x00	允许通道 4 输出 PWM 移相使能位 0: 禁止通道 4 输出 PWM 移相 1: 允许通道 4 输出 PWM 移相 具体见 CCRx_FALL 寄存器描述移相操作
3	CCR3_SHIFTEN	rw	0x00	允许通道 3 输出 PWM 移相使能位 0: 禁止通道 3 输出 PWM 移相 1: 允许通道 3 输出 PWM 移相 具体见 CCRx_FALL 寄存器描述移相操作

Bit	Field	Type	Reset	Description
2	CCR2_ SHIFTEN	rw	0x00	允许通道 2 输出 PWM 移相使能位 0: 禁止通道 2 输出 PWM 移相 1: 允许通道 2 输出 PWM 移相 具体见 CCRx_FALL 寄存器描述移相操作
1	CCR1_ SHIFTEN	rw	0x00	允许通道 1 输出 PWM 移相使能位 0: 禁止通道 1 输出 PWM 移相 1: 允许通道 1 输出 PWM 移相 具体见 CCRx_FALL 寄存器描述移相操作
0	Reserved			保留，始终读为 0。

9.4.22 PWM 移相向下计数捕获/比较寄存器 (CCRx FALL)

偏移地址: 0x60 ~ 0x70

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCRx FALL															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCRx FALL	rw	0x0000	通道 x 在 PWM 中央对齐模式向下计数时的捕获/比较值 PWM 移相功能: 开启 PDER 寄存器的 PWM 移相使能, 根据需要移动相位, 配置 CCRx FALL 以及 CCRx, 即可实现 PWM 输出可编程的移相波形, 可左移或是右移。

10

16 位通用定时器 (TIM3)

16 位通用定时器 (TIM3)

10.1 TIMx 简介

通用定时器是一个通过可编程预分频器驱动的 16 位自动装载计数器构成。它适用于多种场合，包括测量输入信号的脉冲长度 (输入捕获) 或者产生输出波形 (输出比较和 PWM)。

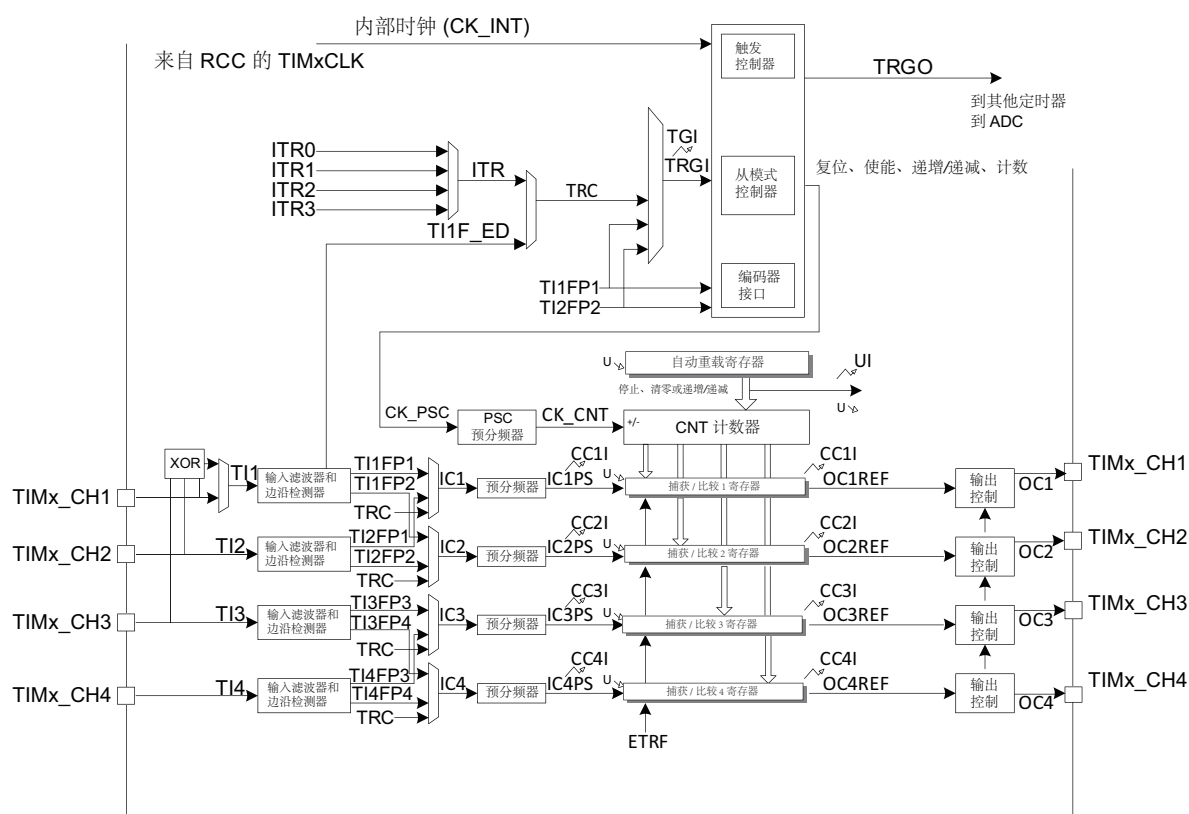
使用定时器预分频器和 RCC 时钟控制器预分频器，脉冲长度和波形周期可以在几个微秒到几个毫秒间调整。

TIMx 定时器是完全独立的，而且没有互相共享任何资源。它们可以一起同步操作。

10.2 TIMx 主要功能

通用 TIMx(TIM3) 定时器功能包括：

- 16 位向上、向下、向上/向下自动装载计数器
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 3 个独立的通道
 - 输入捕获
 - 输出比较
 - PWM 生成 (边缘或中间对齐模式)
 - 单脉冲模式输出
- 使用外部信号控制定时器和定时器互连的同步电路
- 支持针对定位的增量 (正交) 编码器和霍尔传感器电路
- 触发输入作为外部时钟或者按周期的电流管理



注：Reg 根据控制位，在发生 U 事件后，预装载寄存器内容转移到有效寄存器

U 事件

中断和DMA输出

073662

图 73. 通用定时器框图

10.3 TIMx 功能描述

10.3.1 时基单元

可编程通用定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数、向下计数或者向上向下双向计数。此计数器时钟由预分频器分频得到。计数器、自动装载寄存器和预分频器寄存器可以由软件读写，在计数器运行时仍可以读写，时基单元包含：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)
- 自动装载寄存器 (TIMx_ARR)

自动装载寄存器是预先装载的，写或读自动重载寄存器将访问预装载寄存器。根据在

TIMx_CR1 寄存器中的自动装载预装载使能位 (ARPE) 的设置, 预装载寄存器的内容被立即或在每次的更新事件 UEV 时传送到影子寄存器。当计数器达到溢出条件 (向下计数时的下溢条件) 并当 TIMx_CR1 寄存器中的 UDIS 位等于 0 时, 产生更新事件。更新事件也可以由软件产生。随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 CK_CNT 驱动, 仅当设置了计数器 TIMx_CR1 寄存器中的计数器使能位 (CEN) 时, CK_CNT 才有效。(有关计数器使能的细节, 请参见控制器的从模式描述)。

预分频器描述

预分频器可以将计数器的时钟频率按 1 ~ 65536 之间的任意值分频。它是基于一个 (在 TIMx_PSC 寄存器中的)16 位寄存器控制的 16 位计数器。因为这个控制寄存器带有缓冲器, 它能够在工作时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

下面两个图分别给出了在预分频器运行时, 更改计数器参数的例子。

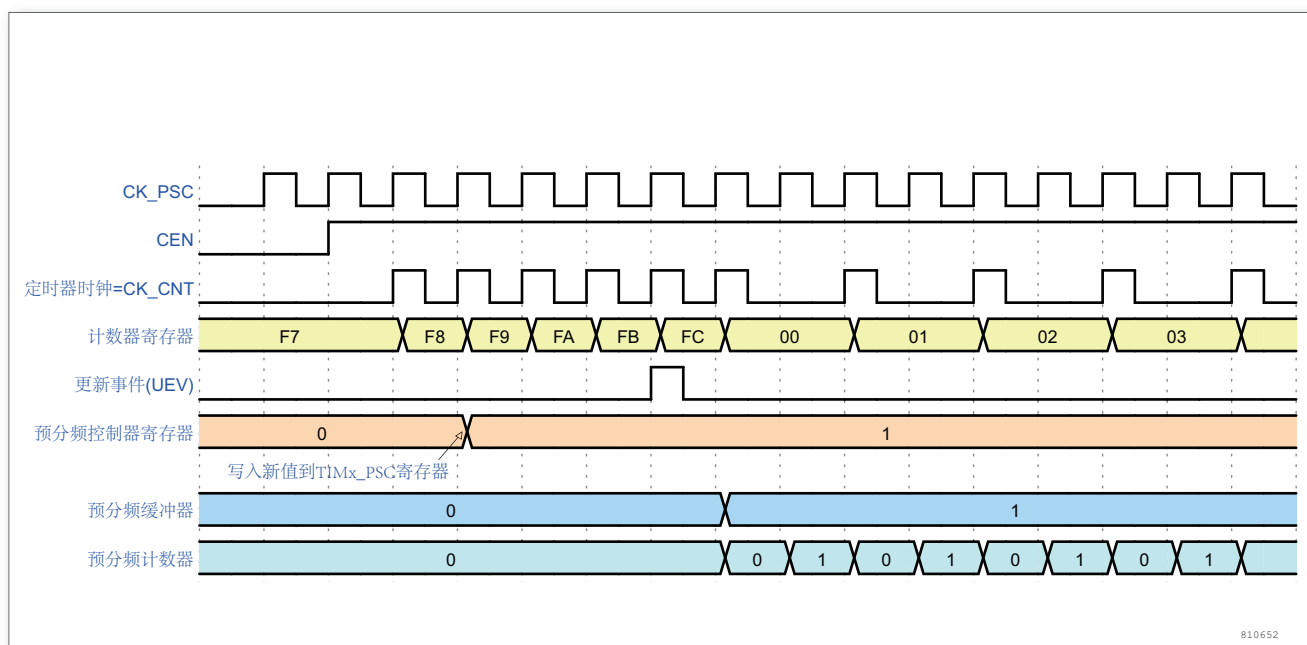


图 74. 当预分频器的参数从 1 变到 2 时, 计数器的时序图

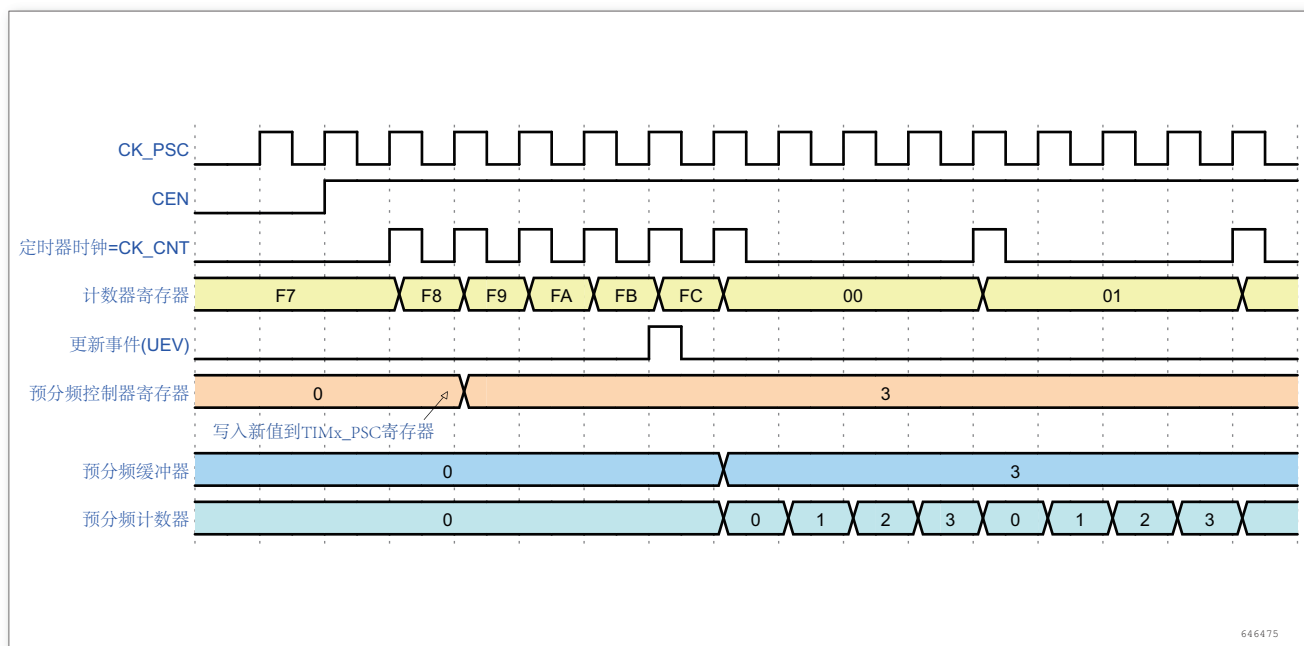


图 75. 当预分频器的参数从 1 变到 4 时，计数器的时序图

10.3.2 计数模式

向上计数模式

在向上计数模式中，计数器从 0 计数到自动加载值 (TIMx_ARR 计数器的内容)，然后重新从 0 开始计数并且产生一个计数器溢出事件。

每次计数器溢出时可以产生更新事件，在 TIMx_EGR 寄存器中设置 UG 位 (通过软件方式或者使用从模式控制器) 也同样可以产生一个更新事件。

设置 TIMx_CR1 寄存器中的 UDIS 位，可以禁止更新事件；这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。在 UDIS 位被清 0 之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清 0，同时预分频器的计数也被清 0 (但预分频器的数值不变)。此外，如果设置了 TIMx_CR1 寄存器中的 URS 位 (选择更新请求)，设置 UG 位将产生一个更新事件 UEV，但硬件不设置 UIF 标志 (即不产生中断请求)。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件时，所有的寄存器都被更新，硬件同时 (依据 URS 位) 设置更新标志位 (TIMx_SR 寄存器中的 UIF 位)。

- 预分频器的缓冲区被置入预装载寄存器的值 (TIMx_PSC 寄存器的内容)
- 自动装载影子寄存器被重新置入预装载寄存器的值 (TIMx_ARR)

下图给出一些例子，当 TIMx_ARR = 0x36 时计数器在不同时钟频率下的动作：

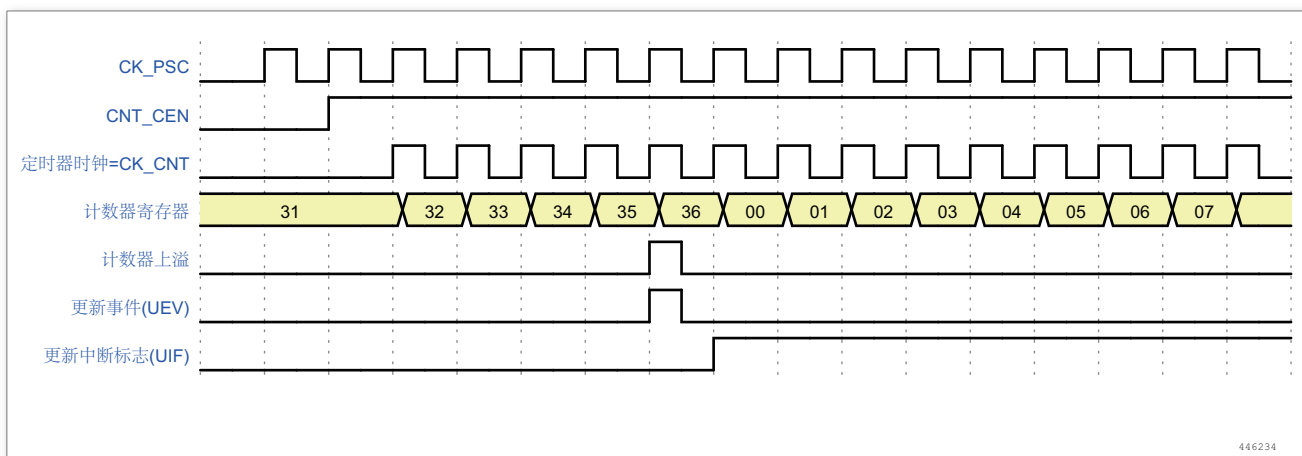


图 76. 计数器时序图，内部时钟分频因子为 1

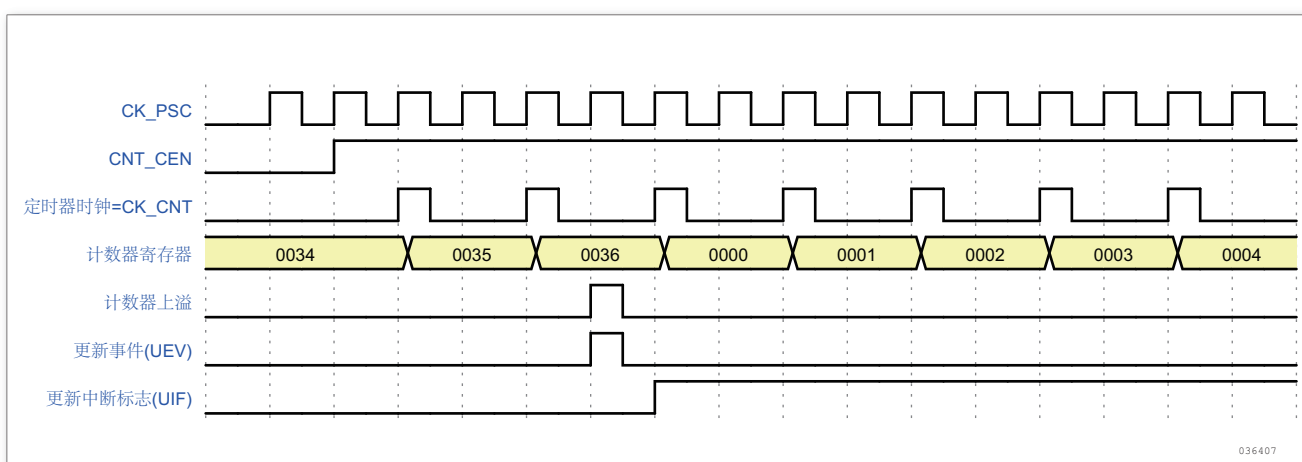


图 77. 计数器时序图，内部时钟分频因子为 2

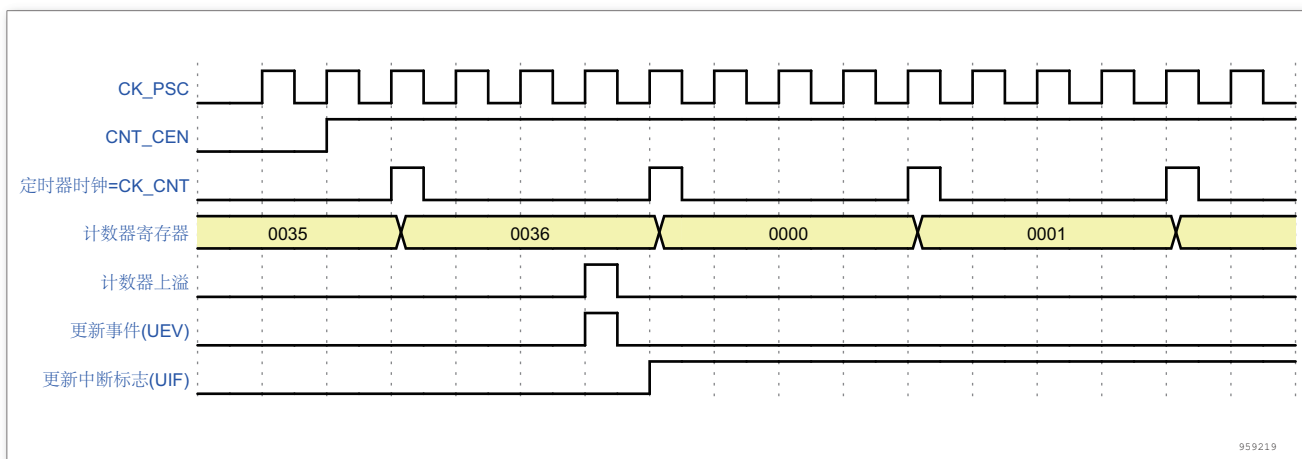


图 78. 计数器时序图，内部时钟分频因子为 4

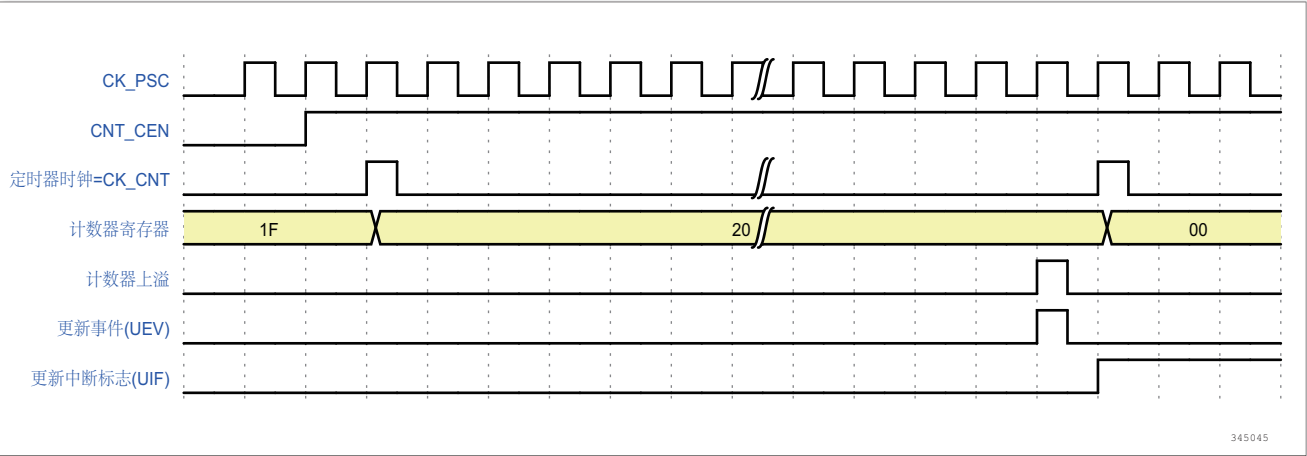


图 79. 计数器时序图，内部时钟分频因子为 N

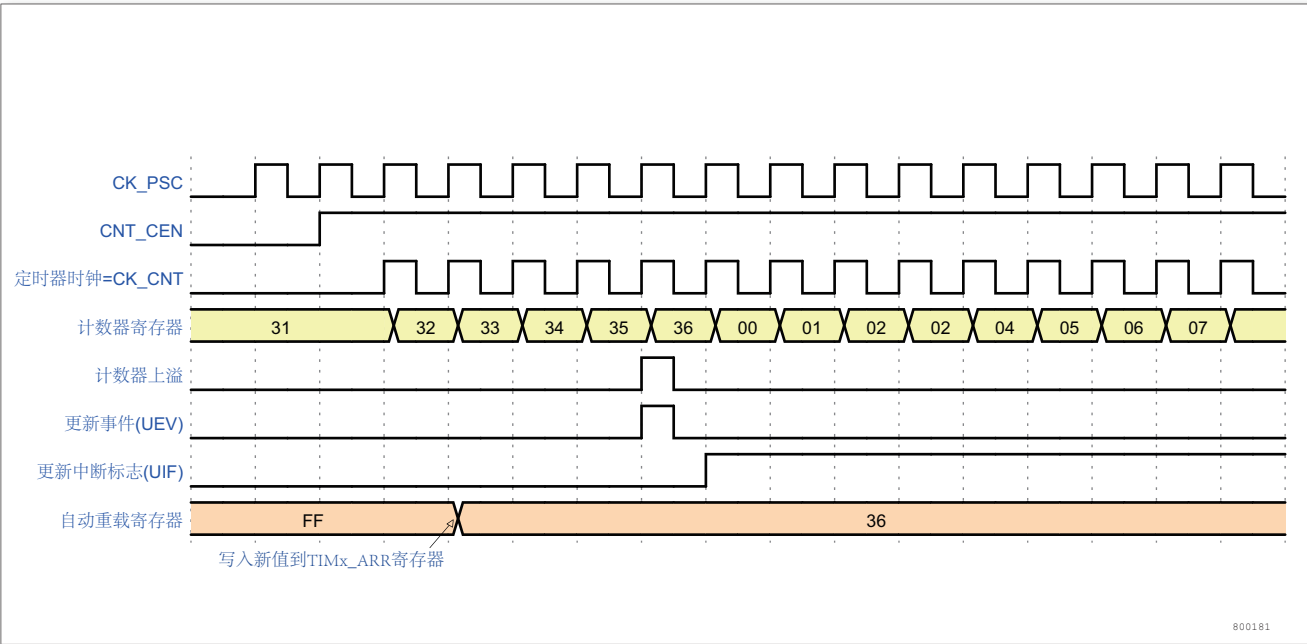


图 80. 计数器时序图，当 ARPE = 0 时的更新事件 (TIMx_ARR 没有预装入)

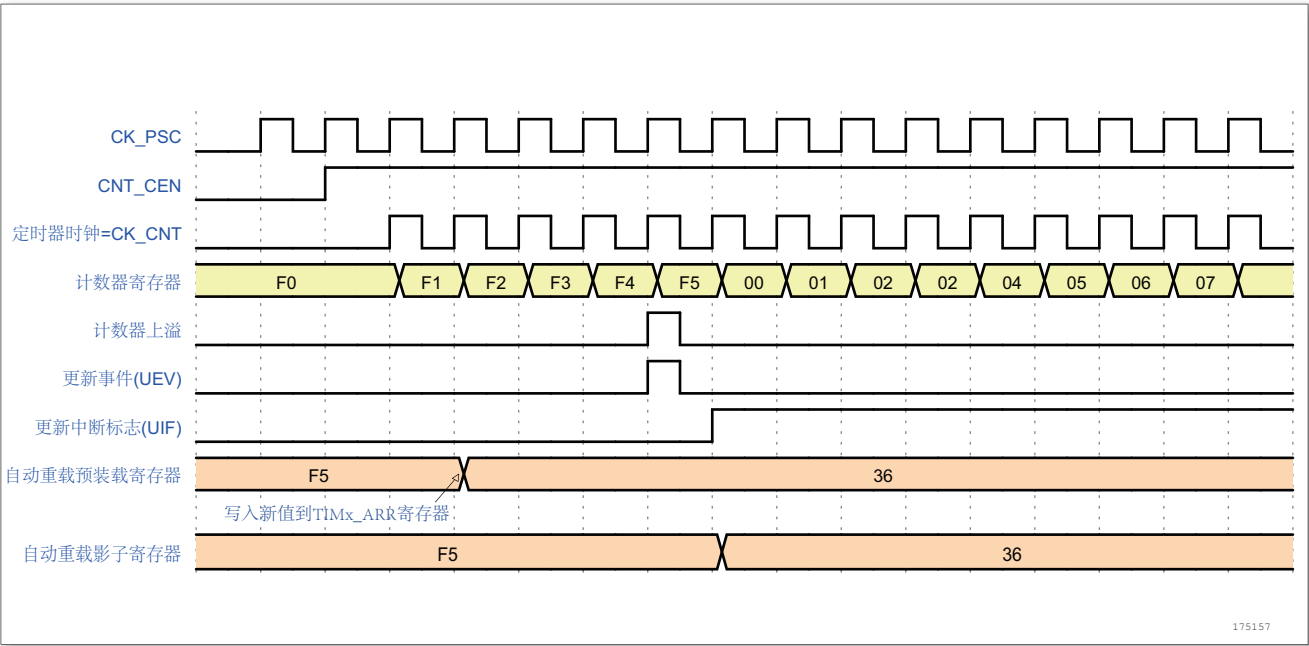


图 81. 计数器时序图，当 ARPE = 1 时的更新事件 (预装入了 TIMx_ARR)

向下计数模式

在向下模式中，计数器从自动装入的值 (TIMx_ARR 计数器的值) 开始向下计数到 0，然后从自动装入的值重新开始并且产生一个计数器向下溢出事件。

每次计数器溢出时可以产生更新事件，在 TIMx_EGR 寄存器中设置 UG 位 (通过软件方式或者使用从模式控制器) 也同样可以产生一个更新事件。

设置 TIMx_CR1 寄存器的 UDIS 位可以禁止 UEV 事件。这样可以避免向预装载寄存器中写入新值时更新影子寄存器。因此 UDIS 位被清为 0 之前不会产生更新事件。但是计数器仍会从当前自动加载值重新开始计数，同时预分频器的计数器重新从 0 开始 (但预分频器的速率不能被修改)。

此外，如果设置了 TIMx_CR1 寄存器中的 URS 位 (选择更新请求)，设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志 (因此不产生中断请求)，这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且 (根据 URS 位的设置) 更新标志位 (TIMx_SR 寄存器中的 UIF 位) 也被设置。

- 预分频器的缓存器被置入预装载寄存器的值 (TIMx_PSC 寄存器的值)。
- 当前的自动加载寄存器被更新为预装载值 (TIMx_ARR 寄存器中的内容)。

注：自动装载在计数器重载入之前被更新，因此下一个周期将是预期的值。

以下是一些当 TIMx_ARR = 0x36 时，计数器在不同时钟频率下的操作实例：

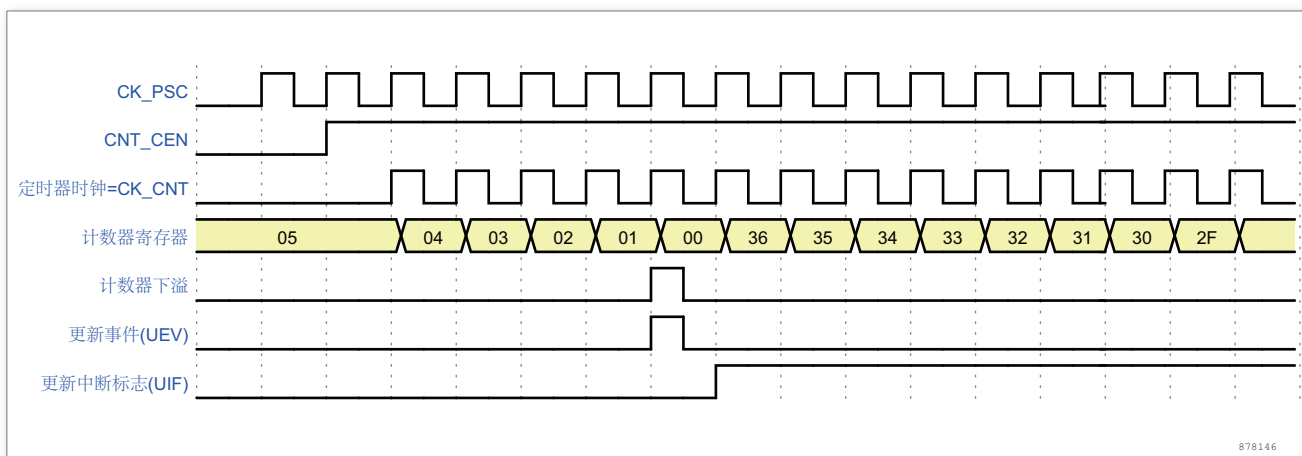


图 82. 计数器时序图，内部时钟分频因子为 1

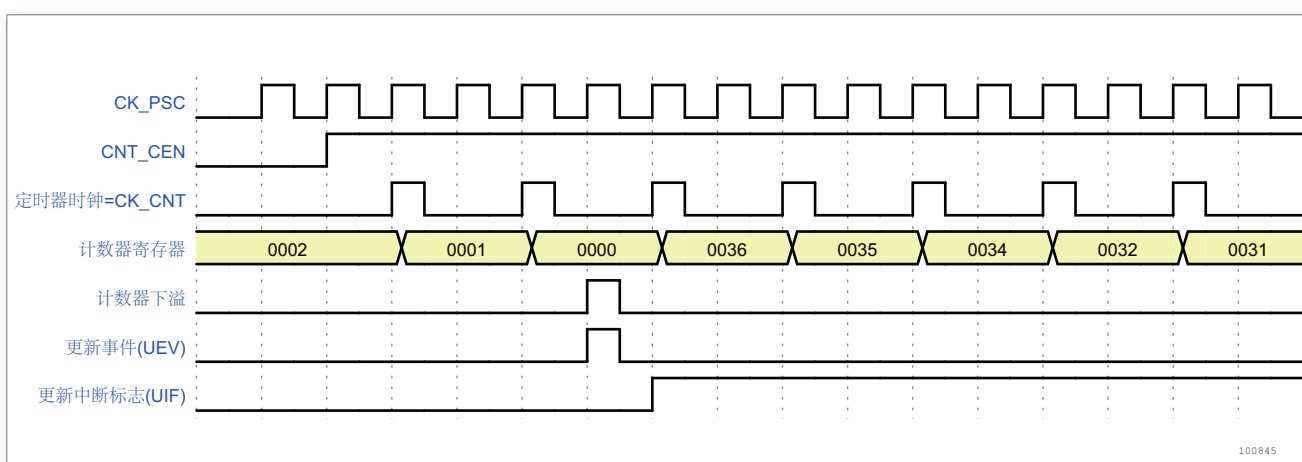


图 83. 计数器时序图，内部时钟分频因子为 2

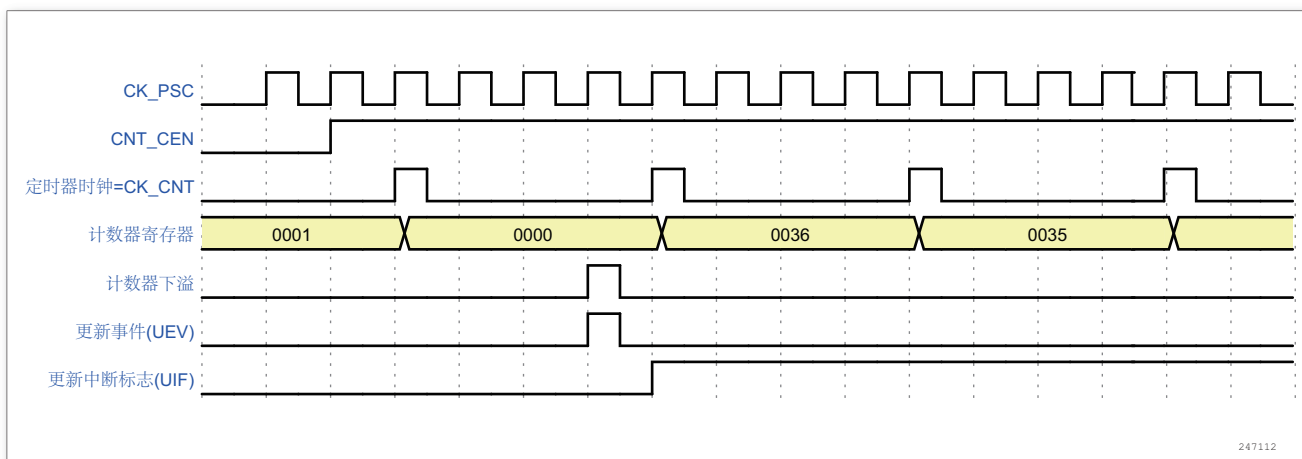


图 84. 计数器时序图，内部时钟分频因子为 4

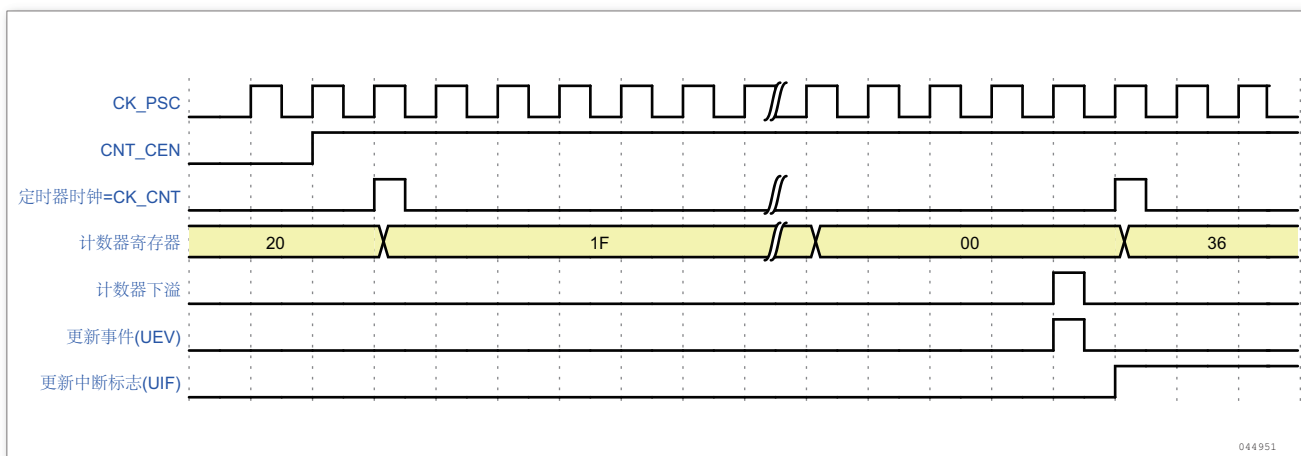


图 85. 计数器时序图，内部时钟分频因子为 N

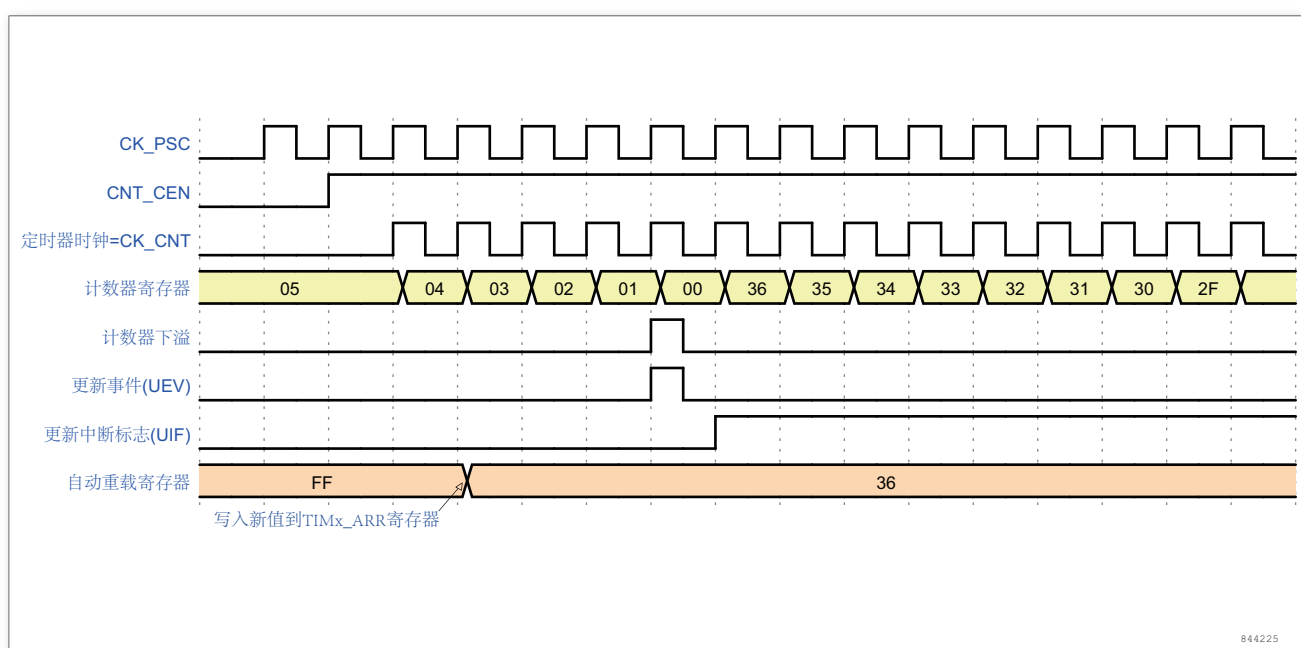


图 86. 计数器时序图，当没有使用重复计数器时的更新事件

中央对齐模式 (向上/向下计数)

在中央对齐模式，计数器从 0 开始计数到自动加载的值 (TIMx_ARR 寄存器)-1，产生一个计数器溢出事件，然后向下计数到 1 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在这个模式，不能写入 TIMx_CR1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。更新事件可以产生在每次计数溢出和每次计数下溢；也可以通过 (软件或者使用从模式控制器) 设置 TIMx_EGR 寄存器中的 UG 位产生，此时，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

设置 TIMx_CR1 寄存器中的 UDIS 位可以禁止 UEV 事件。这样可以避免在向预装载寄存器中写入新值时更新影子寄存器。因此 UDIS 位被清为 0 之前不会产生更新事件。但是计数器仍会根据当前自动重加载的值，继续向上或向下计数。

此外，如果设置了 TIMx_CR1 寄存器中的 URS 位 (选择更新请求)，设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志 (因此不产生中断请求)，这是为了避免在发生捕获事

件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时,所有的寄存器都被更新,并且 (根据 URS 位的设置) 更新标志位 (TIMx_SR 寄存器中的 UIF 位) 也被设置。

- 预分频器的缓存器被加载为预装载 (TIMx_PSC 寄存器) 的值
- 当前的自动加载寄存器被更新为预装载值 (TIMx_ARR 寄存器中的内容)

注：如果因为计数器溢出而产生更新，自动重装载将在计数器重载入之前被更新，因此下一个周期将是预期的值 (计数器被装载为新的值)。

以下是一些计数器在不同时钟频率下的操作的例子：

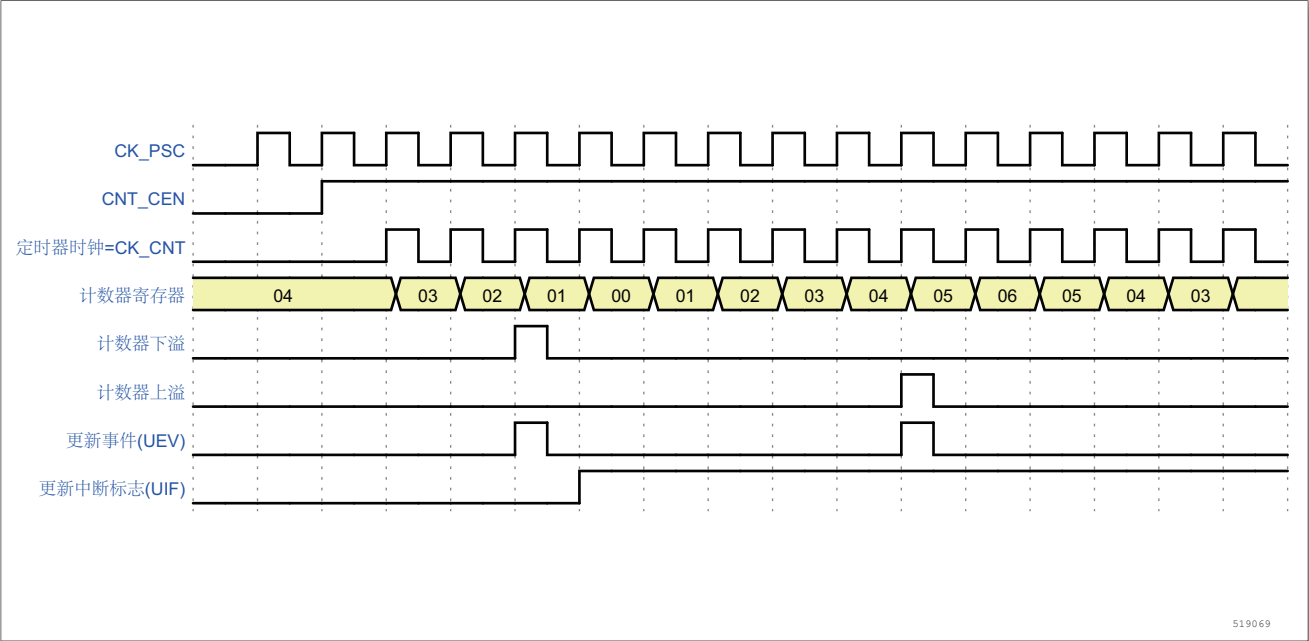


图 87. 计数器时序图，内部时钟分频因子为 1，TIMx_ARR = 0x06

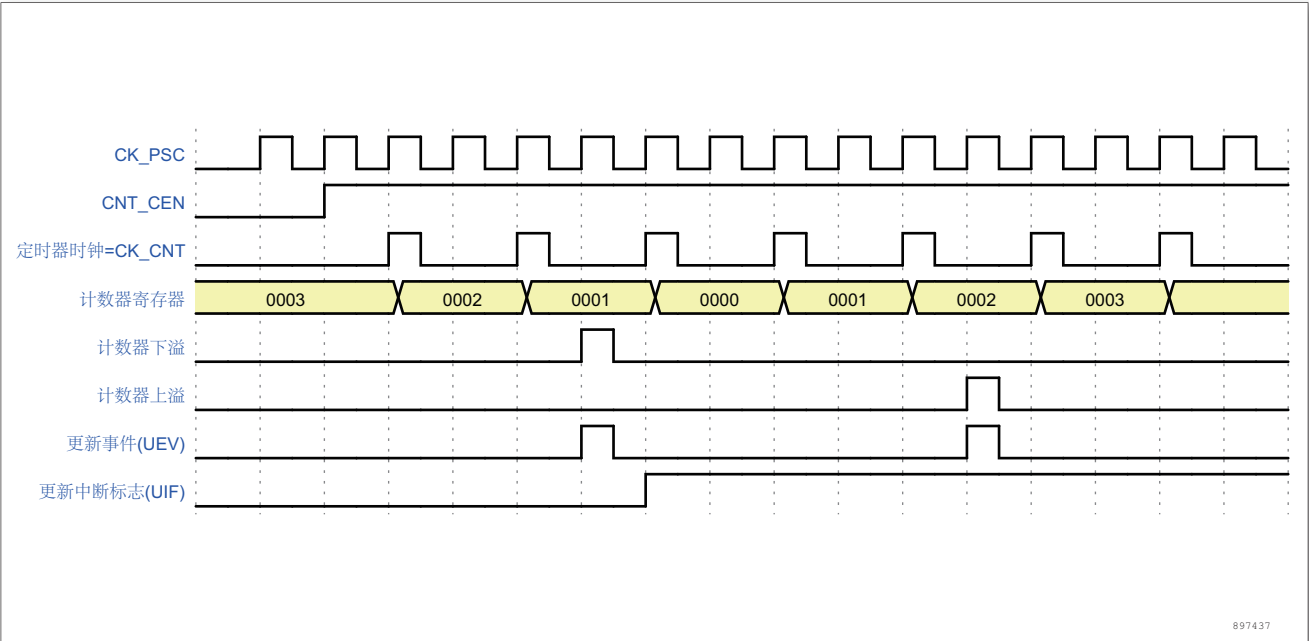


图 88. 计数器时序图，内部时钟分频因子为 2

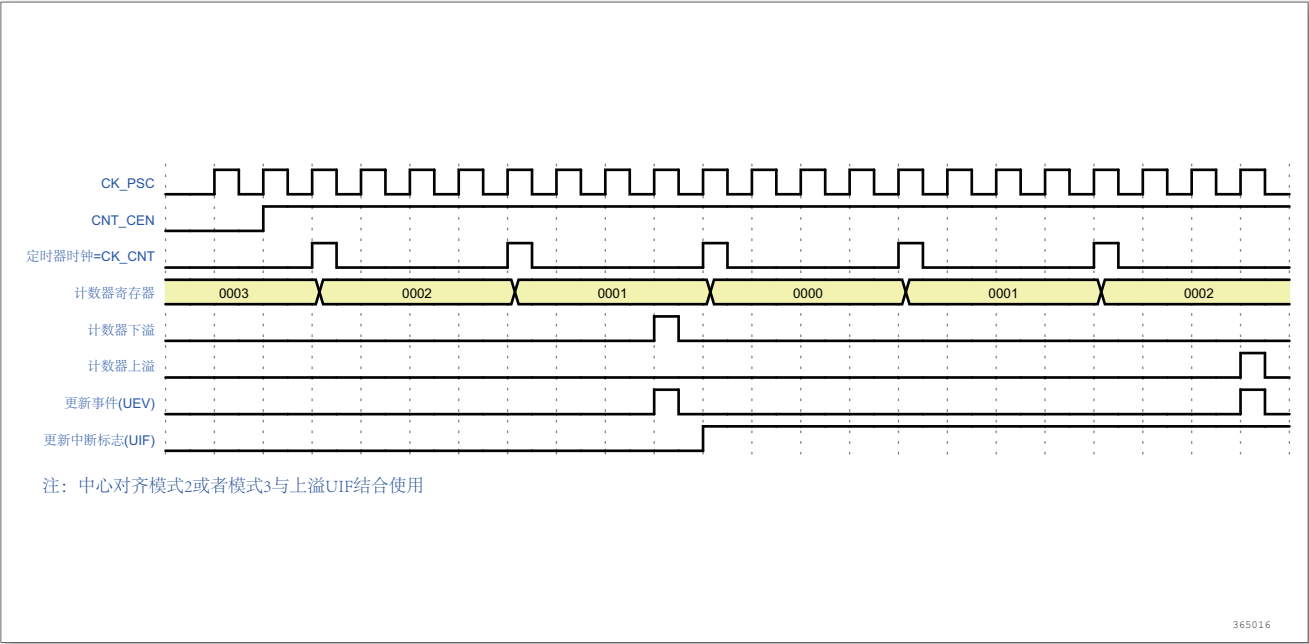


图 89. 计数器时序图，内部时钟分频因子为 4，TIMx_ARR = 0x03

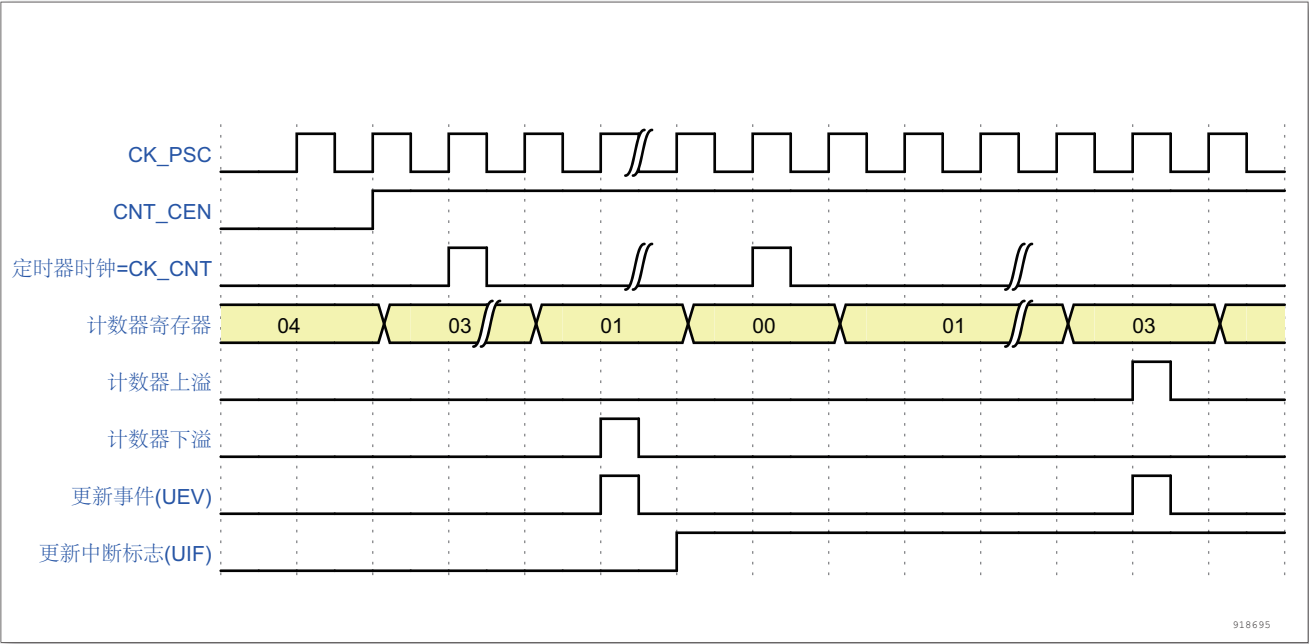


图 90. 计数器时序图，内部时钟分频因子为 N

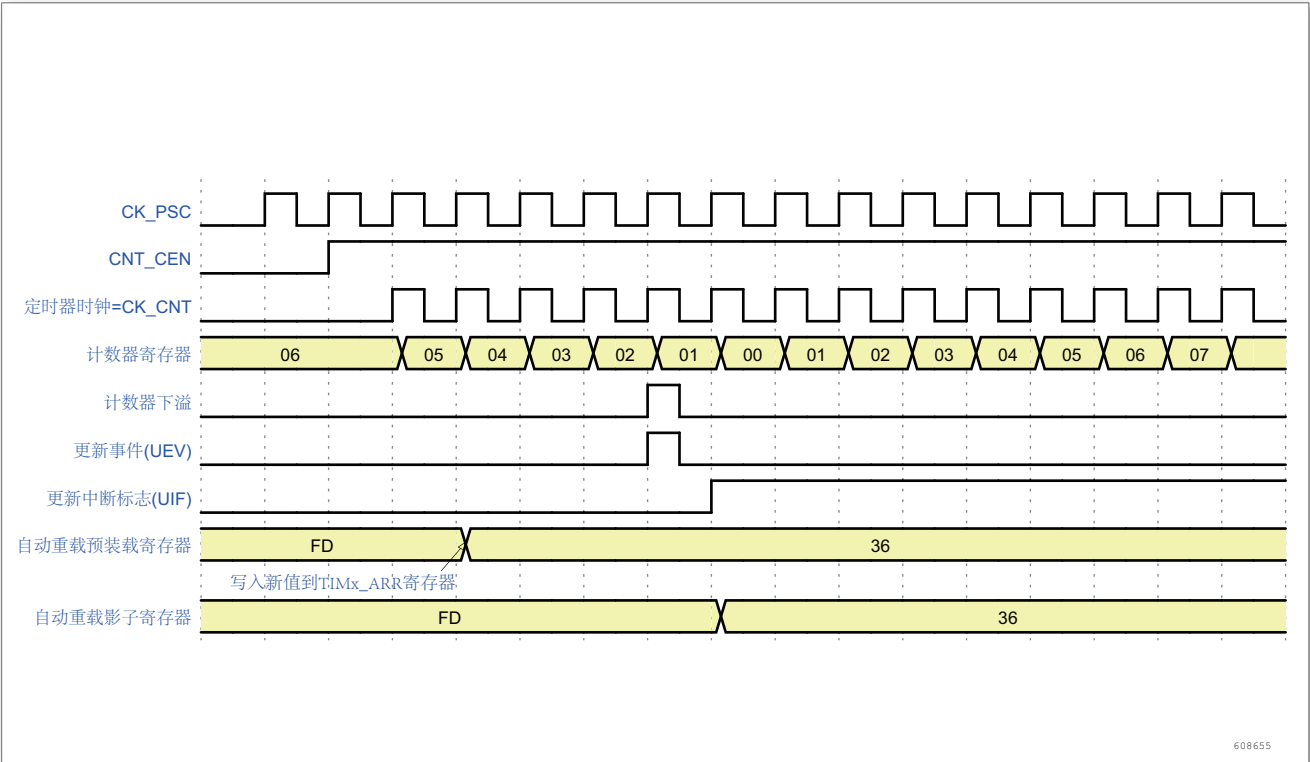


图 91. 计数器时序图, ARPE = 1 时的更新事件 (计数器下溢)

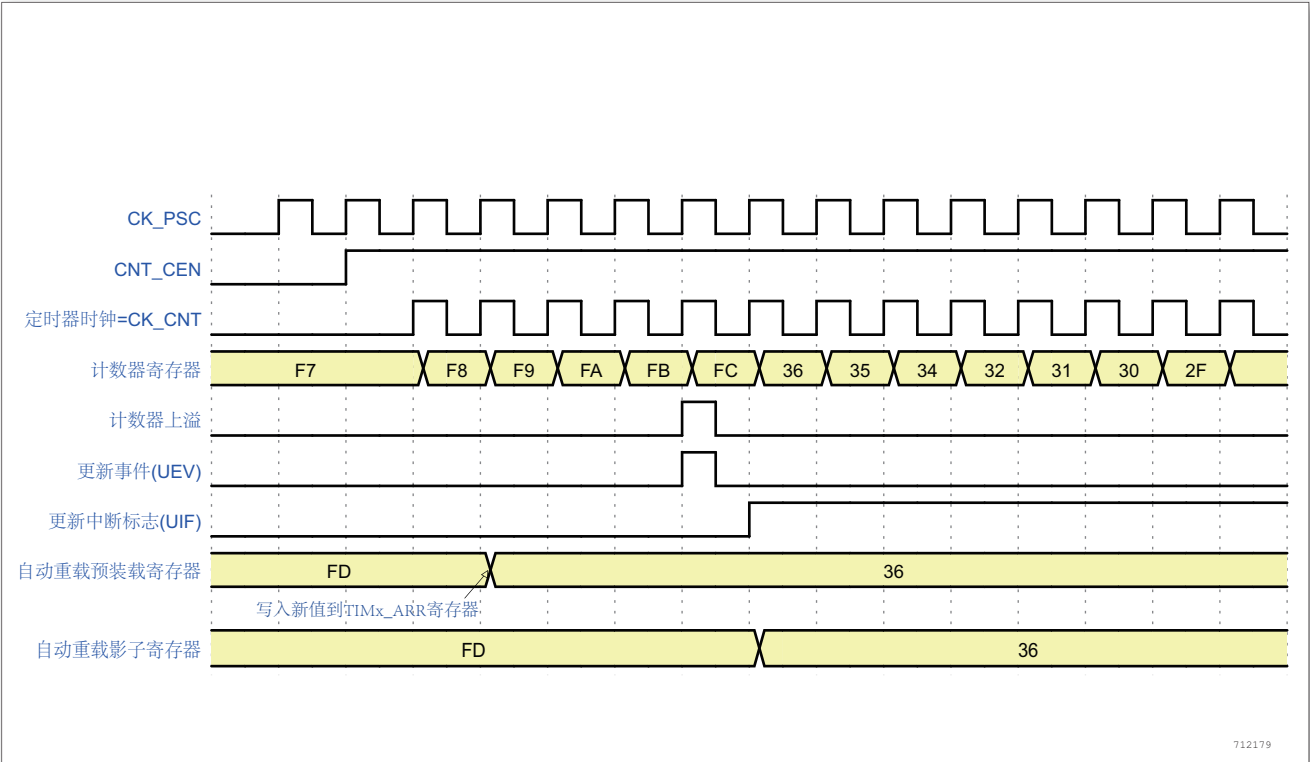


图 92. 计数器时序图, ARPE = 1 时的更新事件 (计数器上溢)

10.3.3 时钟选择

计数器时钟可由下列时钟源提供:

- 内部时钟 (CK_INT)

- 外部时钟模式 1：外部输入脚 (Tlx)
- 内部触发输入 (ITRx)：使用一个定时器作为另一个定时器的预分频器，如可以配置一个定时器 Timer1 作为另一个定时器 Timer3 的预分频器。

内部时钟源 (CK_INT)

如果禁止了从模式控制器 (SMS = 000), 则 CEN、DIR(TIMx_CR1 寄存器) 和 UG 位 (TIMx_EGR 寄存器) 是事实上的控制位, 并且只能被软件修改 (UG 位仍被自动清除)。当 CEN 位被写成 1 时, 预分频器的时钟由内部时钟 CK_INT 提供。

下图显示了控制电路和向上计数器在一般模式下, 不带预分频器时的操作。

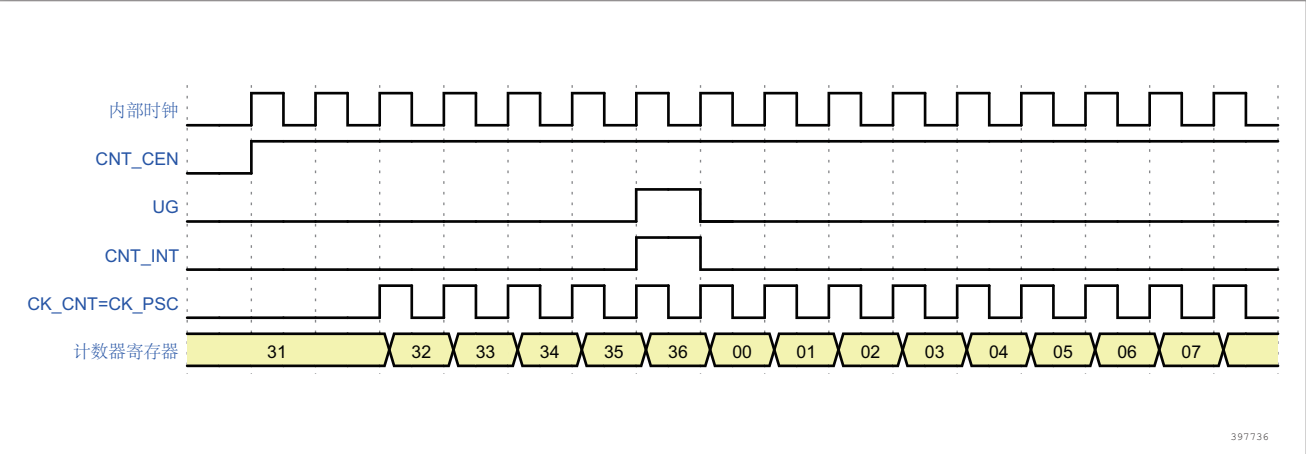


图 93. 一般模式下的控制电路, 内部时钟分频因子为 1

外部时钟源模式 1

当 TIMx_SMCR 寄存器的 SMS = 111 时, 此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

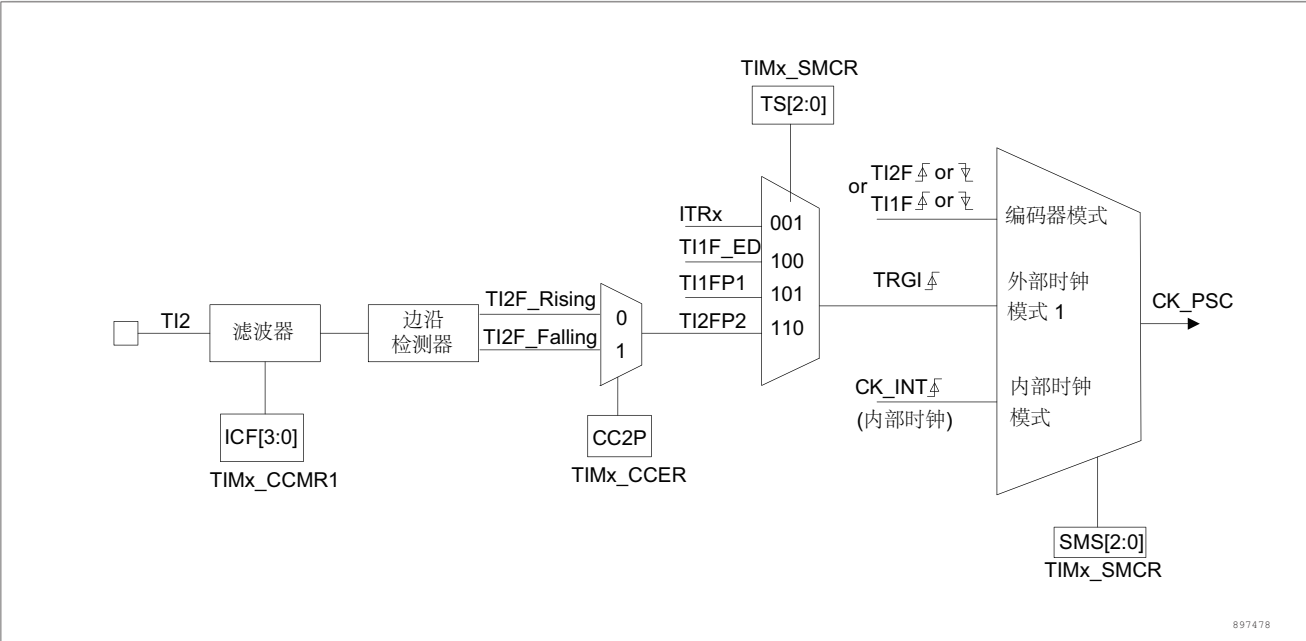


图 94. TI2 外部时钟连接例子

例如, 要配置向上计数器在 T12 输入端的上升沿计数, 使用下列步骤:

1. 配置 TIMx_CCMR1 寄存器 CC2S = 01, 配置通道 2 检测 TI2 输入的上升沿
2. 配置 TIMx_CCMR1 寄存器的 IC2F[3: 0], 选择输入滤波器带宽 (如果不需要滤波器, 保持 IC2F = 0000)

注: 捕获预分频器不用作触发, 所以不需要对它进行配置

3. 配置 TIMx_CCER 寄存器的 CC2P = 0, 选定上升沿极性
4. 配置 TIMx_SMCR 寄存器的 SMS = 111, 选择定时器外部时钟模式 1
5. 配置 TIMx_SMCR 寄存器中的 TS = 110, 选定 TI2 作为触发输入源
6. 设置 TIMx_CR1 寄存器的 CEN = 1, 启动计数器

当上升沿出现在 TI2, 计数器计数一次, 且 TIF 标志被设置。

在 TI2 的上升沿和计数器实际时钟之间的延时取决于在 TI2 输入端的重新同步电路。

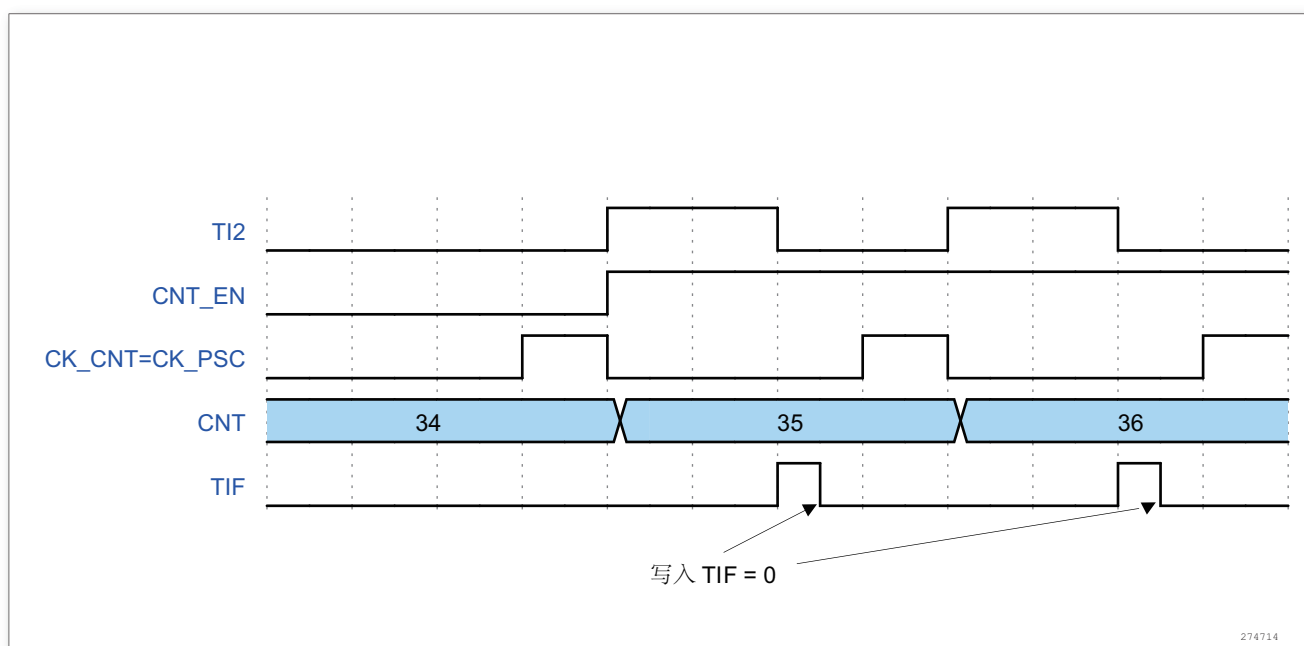


图 95. 外部时钟模式 1 下的控制电路

10.3.4 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器 (包含影子寄存器), 包括捕获的输入部分 (数字滤波、多路复用和预分频器), 和输出部分 (比较器和输出控制)。

下面几张图是一个捕获/比较通道概览。输入部分对相应的 TIx 输入信号采样, 并产生一个滤波后的信号 TIxF。然后, 一个带极性选择的边缘监测器产生一个信号 (TIxFPx), 它可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器 (ICxPS)。

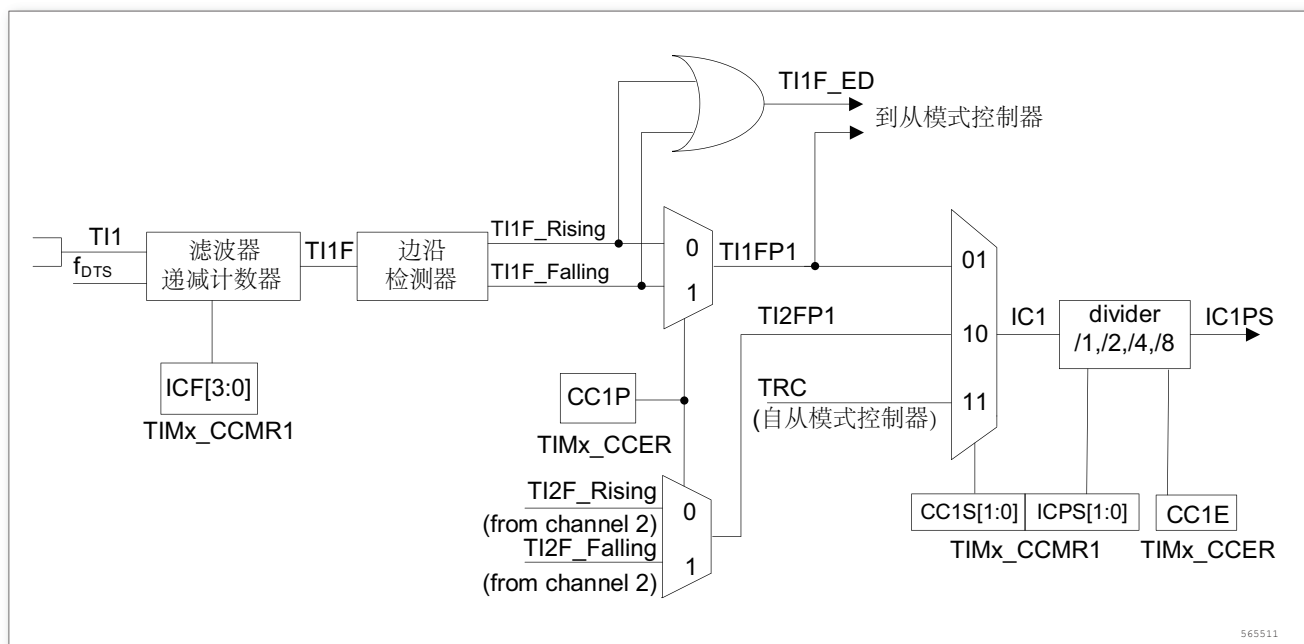


图 96. 捕获/比较通道 (如: 通道 1 输入部分)

输出部分产生一个中间波形 OCxRef(高有效) 作为基准, 链的末端决定最终输出信号的极性。

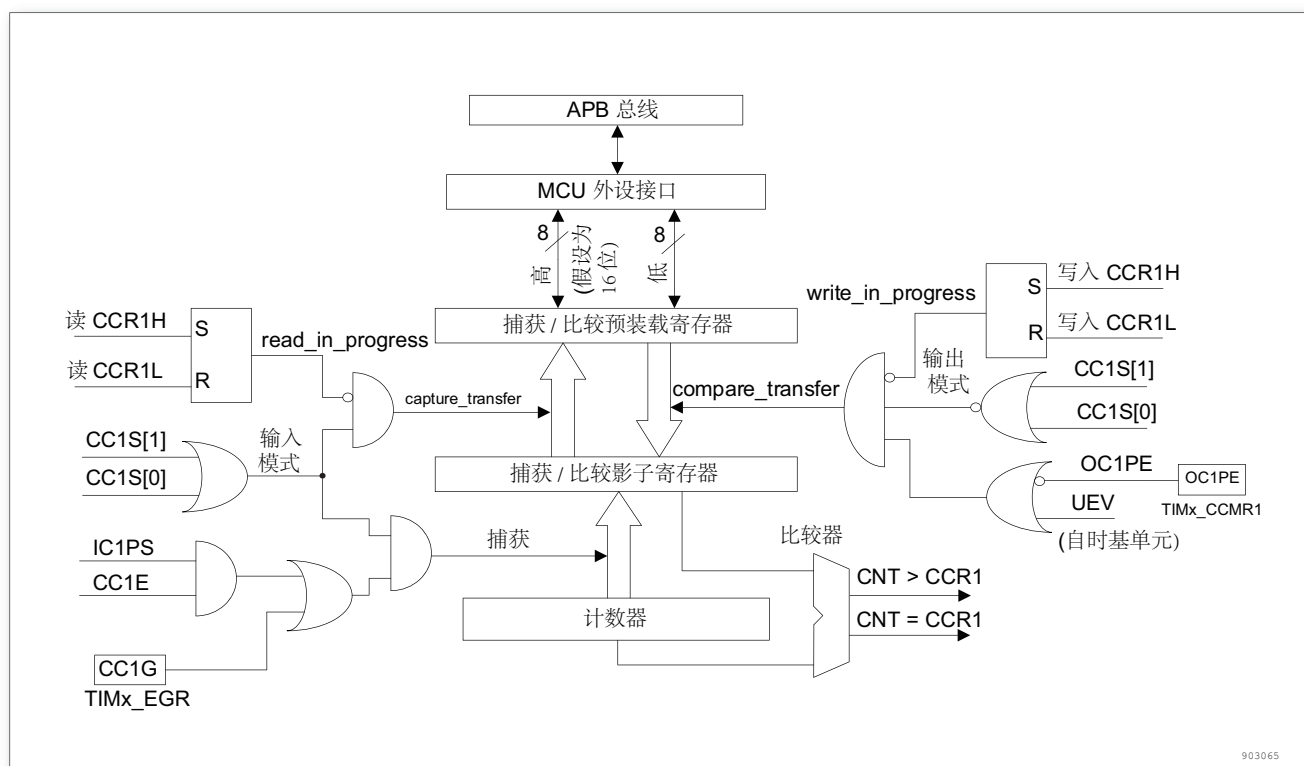


图 97. 捕获/比较通道 1 的主电路

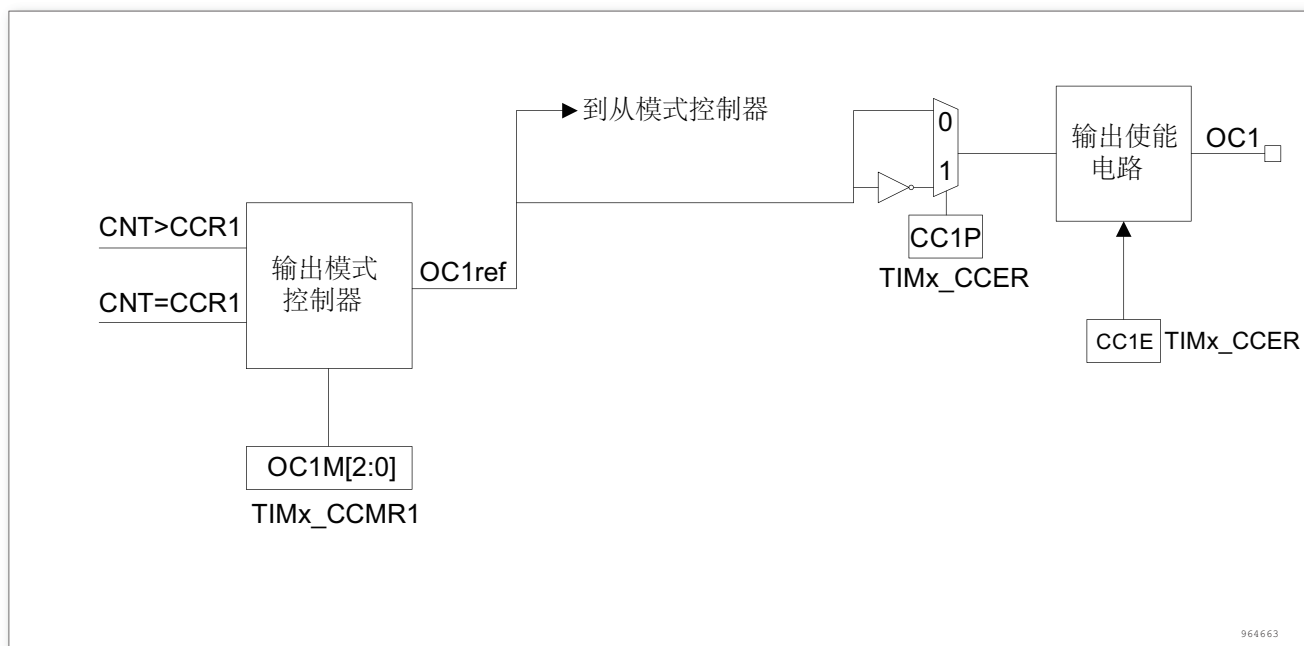


图 98. 捕获/比较通道的输出部分 (通道 1)

捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

10.3.5 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TIMx_CCRx$) 中。当捕获事件发生时，相应的 $CCxIF$ 标志 ($TIMx_SR$ 寄存器) 被置 1，如果开放了中断，则将产生中断。如果捕获事件发生时 $CCxIF$ 标志已经为高，那么重复捕获标志 $CCxOF$ ($TIMx_SR$ 寄存器) 被置 1。写 $CCxIF = 0$ 可清除 $CCxIF$ ，或读取存储在 $TIMx_CCRx$ 寄存器中的捕获数据也可清除 $CCxIF$ 。写 $CCxOF = 0$ 可清除 $CCxOF$ 。

以下例子说明如何在 $TI1$ 输入的上升沿时捕获计数器的值到 $TIMx_CCR1$ 寄存器中，步骤如下：

- 选择有效输入端： $TIMx_CCR1$ 必须连接到 $TI1$ 输入，所以写入 $TIMx_CCR1$ 寄存器中的 $CC1S = 01$ ，当 $CC1S$ 不为 00 时，通道被配置为输入，并且 $TM1_CCR1$ 寄存器变为只读。
- 根据输入信号的特点，配置输入滤波器为所需的带宽 (即输入为 TIx 时，输入滤波器控制位是 $TIMx_CCMRx$ 寄存器中的 $ICxF$ 位)。假设输入信号在最多 5 个时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期。因此我们可以 (以 f_{DTS} 频率) 连续采样 8 次，以确认在 $TI1$ 上一次真实的边沿变换，即在 $TIMx_CCMR1$ 寄存器中写入 $IC1F = 0011$ 。
- 选择 $TI1$ 通道的有效转换边沿，在 $TIMx_CCER$ 寄存器中写入 $CC1P = 0$ (上升沿)。
- 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止 (写 $TIMx_CCMR1$ 寄存器的 $IC1PS = 00$)。
- 设置 $TIMx_CCER$ 寄存器的 $CC1E = 1$ ，允许捕获计数器的值到捕获寄存器中。
- 如果需要，通过设置 $TIMx_DIER$ 寄存器中的 $CC1IE$ 位允许相关中断请求。

当一个输入捕获时:

- 当产生有效的电平转换时, 计数器的值被传送到 TIMx_CCR1 寄存器。
- CC1IF 标志被设置 (中断标志)。当发生至少 2 个连续的捕获时, 而 CC1IF 未曾被清除。
- CC1OF 也被置 1。
- 如设置了 CC1IE 位, 则会产生一个中断。

为了处理捕获溢出, 建议在读出捕获溢出标志之前读取数据, 这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注: 设置 TIMx_EGR 寄存器中相应的 CCxG 位, 可以通过软件产生输入捕获中断。

10.3.6 PWM 输入模式

该模式是输入捕获模式的一个特例, 除下列区别外, 操作与输入捕获模式相同:

- 两个 ICx 信号被映射同一个 Tlx 输入
- 2 个 ICx 信号为边沿有效, 但是极性相反
- 其中一个 TlxFP 信号被作为触发输入信号, 而从模式控制器被配置成复位模式

例如, 你需要测量输入到 TI1 上的 PWM 信号的长度 (TIMx_CCR1 寄存器) 和占空比 (TIMx_CCR2 寄存器), 具体步骤如下 (取决于 CK_INT 的频率和预分频器的值)

- 选择 TIMx_CCR1 的有效输入: 置 TIMx_CCMR1 寄存器的 CC1S = 01(选择 TI1)
- 选择 TI1FP1 的有效极性 (用来捕获数据到 TIMx_CCR1 中和清除计数器): 置 CC1P = 0(上升沿有效)。
- 选择 TIMx_CCR2 的有效输入: 置 TIMx_CCMR1 寄存器的 CC2S = 10(选择 TI1)。
- 选择 TI1FP2 的有效极性 (捕获数据到 TIMx_CCR2): 置 CC2P = 1(下降沿有效)。
- 选择有效的触发输入信号: 置 TIMx_SMCR 寄存器中的 TS = 101(选择 TI1FP1)。
- 配置从模式控制器为复位模式: 置 TIMx_SMCR 中的 SMS = 100。
- 使能捕获: 置 TIMx_CCER 寄存器中 CC1E = 1 且 CC2E = 1。

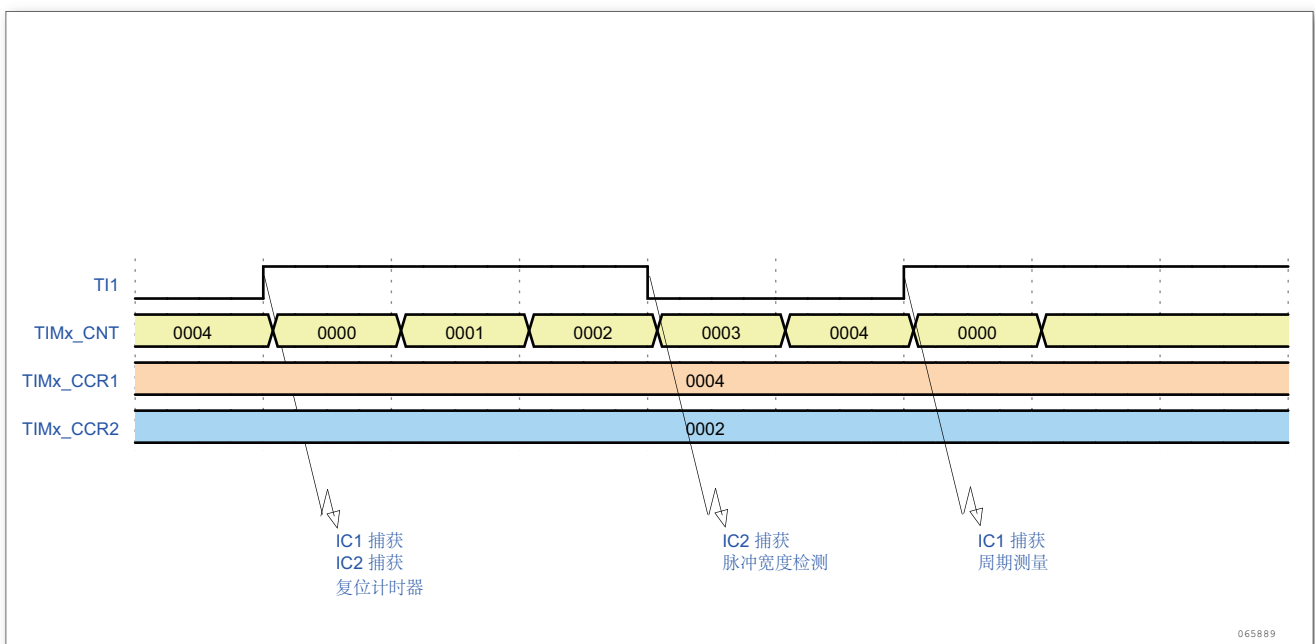


图 99. PWM 输入模式时序

由于只有 TI1FP1 和 TI2FP2 连到了从模式控制器。所以 PWM 输入模式只能使用 TIMx_CH1

/ TIMx_CH2 信号。

10.3.7 强制输出模式

在输出模式 (TIMx_CCMRx 寄存器中 CCxS = 00) 下, 输出比较信号 (OCxREF 和相应的 OCx) 能够直接由软件强置为有效或无效状态, 而不依赖于输出比较寄存器和计数器间的比较结果。

置 TIMx_CCMRx 寄存器中相应的 OCxM = 101, 即可强置输出比较信号 (OCxREF/OCx) 为有效状态。这样 OCxREF 被强置为高电平 (OCxREF 始终为高电平有效), 同时 OCx 得到 CCxP 极性位相反的值。

例如: CCxP = 0(OCx 高电平有效), 则 OCx 被强置为高电平。置 TIMx_CCMRx 寄存器中的 OCxM = 100, 可强置 OCxREF 信号为低。该模式下, 在 TIMx_CCRx 影子寄存器和计数器之间的比较仍然在进行, 相应的标志也会被修改。因此仍然会产生相应的中断。这将会在下面的输出比较模式一节中介绍。

10.3.8 输出比较模式

此项功能是用来控制一个输出波形或者指示何时一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时, 输出比较功能做如下操作:

- 将输出比较模式 (TIMx_CCMRx 寄存器中的 OCxM 位) 和输出极性 (TIMx_CCER 寄存器中的 CCxP 位) 定义的值输出到对应的管脚上。在比较匹配时, 输出管脚可以保持它的电平 (OCxM = 000)、被设置成有效电平 (OCxM = 001)、被设置成无有效电平 (OCxM = 010) 或进行翻转 (OCxM = 011)。
- 设置中断状态寄存器中的标志位 (TIMx_SR 寄存器中的 CCxIF 位)。
- 若设置了相应的中断屏蔽 (TIMx_DIER 寄存器中的 CCXIE 位), 则产生一个中断。

TIMx_CCMRx 中的 OCxPE 位选择 TIMx_CCRx 寄存器是否需要使用预装载寄存器。在输出比较模式下, 更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。同步的精度可以达到计数器的一个计数周期。输出比较模式 (在单脉冲模式下) 也能用来输出一个单脉冲。

输出比较模式的配置步骤:

1. 选择计数器时钟 (内部, 外部, 预分频器)
2. 将相应的数据写入 TIMx_ARR 和 TIMx_CCRx 寄存器中
3. 如果要产生一个中断请求, 设置 CCxIE 位
4. 选择输出模式, 例如: 必须设置 OCxM = '011'、OCxPE = '0'、CCxP = '0' 和 CCxE = '1', 当计数器 CNT 与 CCRx 匹配时翻转 OCx 的输出管脚, CCRx 预装载未用, 开启 OCx 输出且高电平有效
5. 设置 TIMx_CR1 寄存器的 CEN 位启动计数器

TIMx_CCRx 寄存器能够在任何时候通过软件进行更新以控制输出波形, 条件是未使用预装载寄存器 (OCxPE = '0', 否则 TIMx_CCRx 影子寄存器只能在发生下一次更新事件时被更新)。下图给出了一个例子。

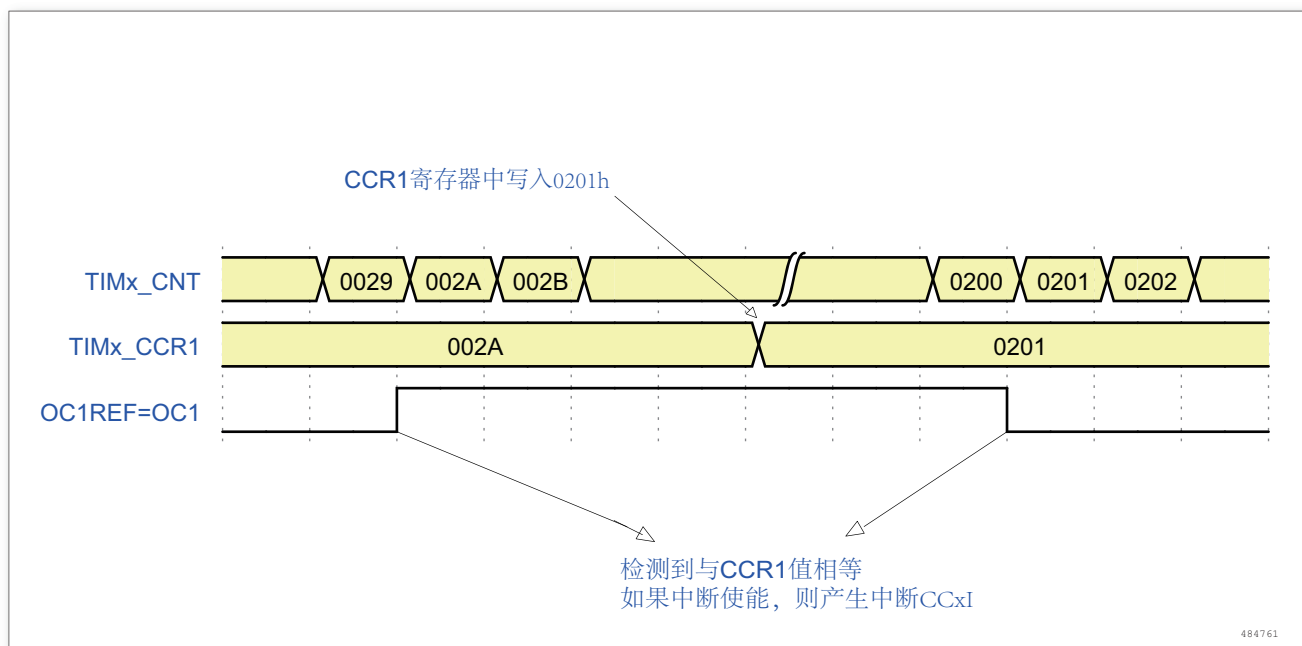


图 100. 输出比较模式，翻转 OC1

10.3.9 PWM 模式

脉冲宽度调制模式可以产生一个由 TIMx_ARR 寄存器确定频率、由 TIMx_CCRx 寄存器确定占空比的信号。

在 TIMx_CCMRx 寄存器中的 OCxM 位写入 ‘110’ (PWM 模式 1) 或 ‘111’ (PWM 模式 2)，能够独立地设置每个 OCx 输出通道产生一路 PWM。必须设置 TIMx_CCMRx 寄存器 OCxPE 位以使能相应的预装载寄存器，最后还要设置 TIMx_CR1 寄存器的 ARPE 位使能自动重载的预装载寄存器 (在向上计数或中心对称模式中)。

因为仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TIMx_EGR 寄存器中的 UG 位来初始化所有的寄存器。

OCx 的极性可以通过软件在 TIMx_CCER 寄存器中的 CCxP 位设置，它可以设置为高电平有效或低电平有效。TIMx_CCER 寄存器中的 CCxE 位控制 OCx 输出使能。详见 TIMx_CCERx 寄存器的描述。

在 PWM 模式 (模式 1 或模式 2) 下，TIMx_CNT 和 TIM1_CCRx 始终在进行比较，(依据计数器的计数方向) 以确定是否符合 $TIM1_CCRx \leq TIM1_CNT$ 或者 $TIM1_CNT \leq TIM1_CCRx$ 。OCxREF 信号只能在下述条件下产生：

- 当比较的结果改变
- 当输出比较模式 (TIMx_CCMRx 寄存器中的 OCxM 位) 从 ‘冻结’ (无比较，OCxM = ‘000’) 切换到某个 PWM 模式 (OCxM = ‘110’ 或 ‘111’)

这样在运行中可以通过软件强置 PWM 输出。根据 TIMx_CR1 寄存器中 CMS 位的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

PWM 边沿对齐模式

向上计数配置

当 TIMx_CR1 寄存器中的 DIR 位为低的时候执行向上计数。

下面是一个 PWM 模式 1 的例子。当 TIMx_CNT < TIMx_CCRx 时 PWM 信号参考 OCxREF 为高, 否则为低。如果 TIMx_CCRx 中的比较值大于自动重载值 (TIMx_ARR), 则 OCxREF 保持为 ‘1’。如果比较值为 0, 则 OCxREF 保持为 ‘0’。下图为 TIMx_ARR = 8 时边沿对齐的 PWM 波形实例。

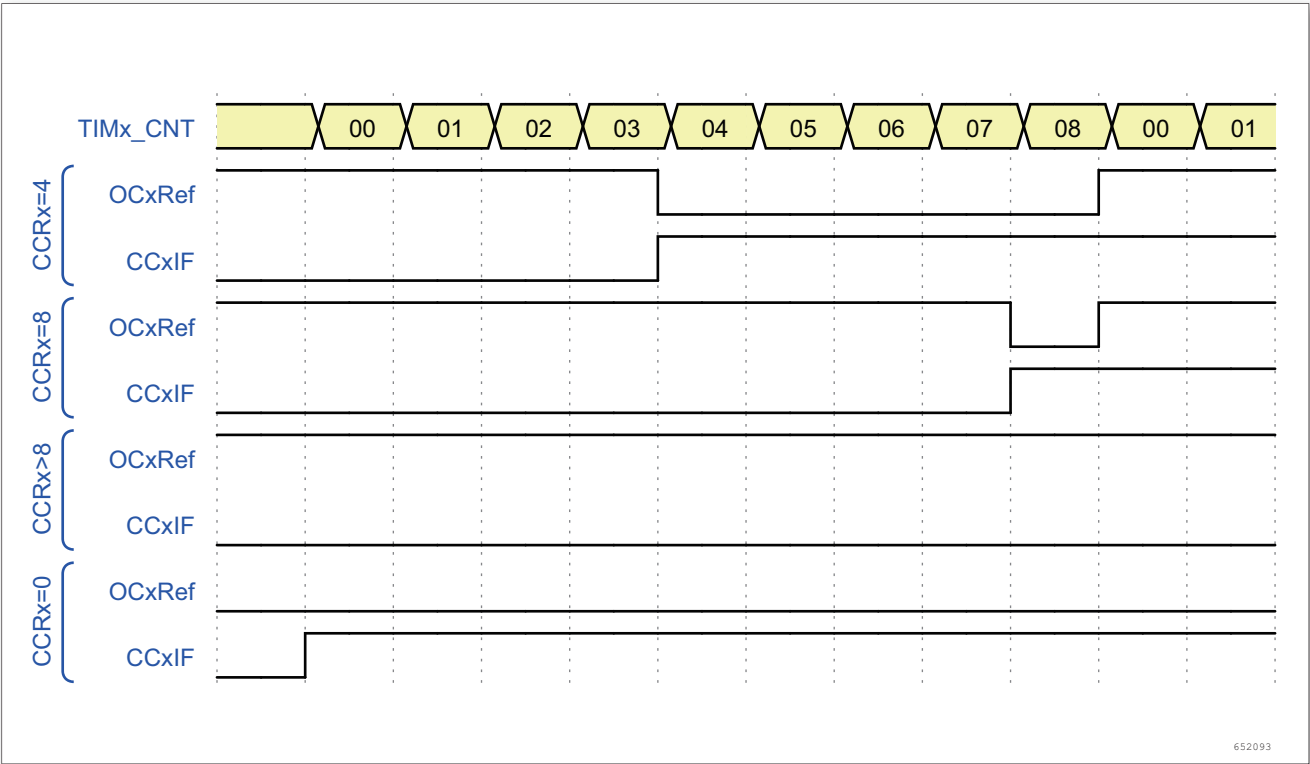


图 101. 边沿对齐的 PWM 波形 (ARR = 8)

向下计数的配置

当 TIMx_CR1 寄存器的 DIR 位为高时执行向下计数。

在 PWM 模式 1, 当 TIMx_CNT > TIMx_CCRx 时参考信号 OCxREF 为低, 否则为高。如果 TIMx_CCRx 中的比较值大于 TIMx_ARR 中的自动重载值, 则 OCxREF 保持为 ‘1’。该模式下不能产生 0 % 的 PWM 波形。

PWM 中央对齐模式

当 TIMx_CR1 寄存器中的 CMS 位不为 ‘00’ 时为中央对齐模式 (所有其他的配置对 OCxREF /OCx 信号都有相同的作用)。根据不同的 CMS 位的设置, 比较标志可以在计数器向上计数时被置 1、在计数器向下计数时被置 1、或在计数器向上和向下计数时被置 1。TIMx_CR1 寄存器中的计数方向位 (DIR) 由硬件更新, 不要用软件修改它。参看中央对齐模式章节。

下图给出了一些中央对齐的 PWM 波形的例子

- TIMx_ARR = 8
- PWM 模式 1
- TIMx_CR1 寄存器中的 CMS = 01, 在中央对齐模式 1 时, 当计数器向下计数时设置比较标志

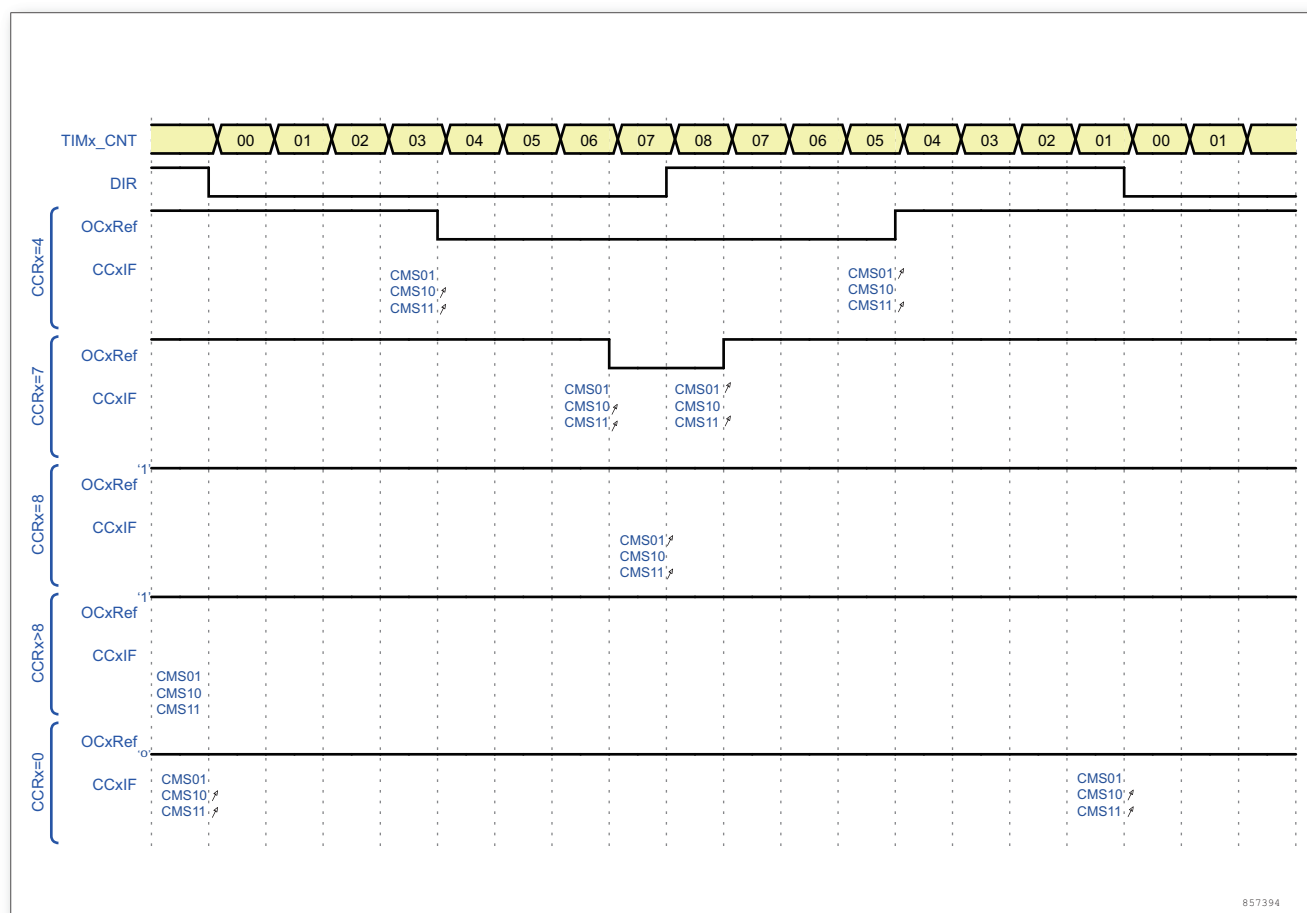


图 102. 中央对齐的 PWM 波形 ($APR = 8$)

使用中央对齐模式的提示:

- 进入中央对齐模式时，使用当前的上/下计数配置；这就意味着计数器向上还是向下计数取决于 **TIMx_CR1** 寄存器中 **DIR** 位的当前值。此外，软件不能同时修改 **DIR** 和 **CMS** 位。
- 不推荐当运行在中央对齐模式时改写计数器，因为会产生不可预知的结果。特别地：
 - 如果写入计数器的值大于自动重加载的值 (**TIMx_CNT** > **TIMx_ARR**)，则方向不会被更新。例如，如果计数器正在向上计数，它就会继续向上计数。
 - 如果将 **0** 或者 **TIMx_ARR** 的值写入计数器，方向被更新，但不产生更新事件 **UEV**
- 使用中央对齐模式最保险的方法，就是在启动计数器之前产生一个软件更新 (设置 **TIMx_EGR** 位中的 **UG** 位)，不要在计数进行过程中修改计数器的值。

10.3.10 单脉冲模式

单脉冲模式 (OPM) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励, 并在一个程序可控的延时之后产生一个脉宽可程序控制的脉冲。

可以通过从模式控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TIMx_CR1 寄存器中的 OPM 位将选择单脉冲模式，这样可以使计数器自动地在产生下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时,才能产生一个脉冲。启动之前(当定时器正在等待触

发), 必须如下配置:

- 向上计数方式: $CNT < CCRx \leq ARR$ (特别地, $0 < CCRx$)
- 向下计数方式: $CNT > CCRx$

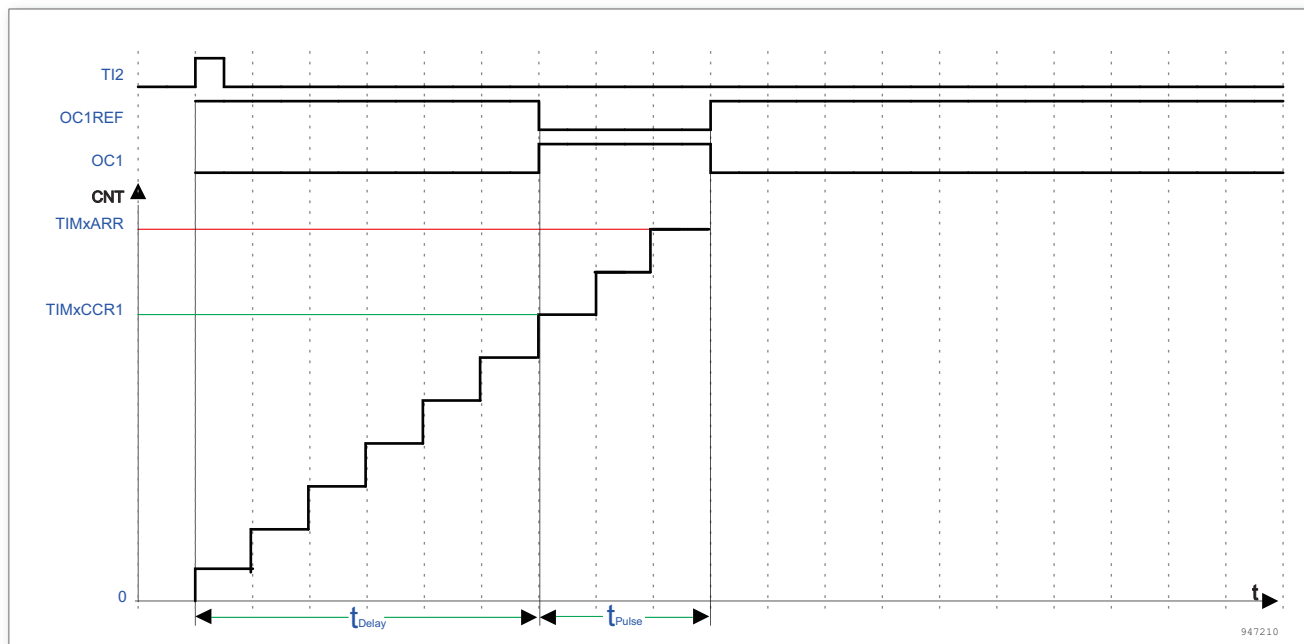


图 103. 单脉冲模式的例子

例如, 你需要在从 TI2 输入脚上检测到一个上升沿开始, 延迟 t_{DELAY} 之后, 在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

假定 TI2FP2 作为触发 1:

- 置 TIMx_CCMR1 寄存器中的 CC2S = 01, 把 TI2FP2 映像到 TI2
- 置 TIMx_CCER 寄存器中的 CC2P = 0, 使 TI2FP2 能够检测上升沿
- 置 TIMx_SMCR 寄存器中的 TS = 110, TI2FP2 作为从模式控制器的触发 (TRGI)
- 置 TIMx_SMCR 寄存器中的 SMS = 110(触发模式), TI2FP2 被用来启动计数器

OPM 波形由写入比较寄存器的数值决定 (要考虑时钟频率和计数器预分频器)。

- t_{DELAY} 由写入 TIMx_CCR1 寄存器中的值定义。
- t_{PULSE} 由自动装载值和比较值之间的差值定义 ($TIMx_ARR - TIMx_CCR1$)。
- 假定当发生比较匹配时要产生从 0 到 1 的波形, 当计数器到达预装载值是要产生一个从 1 到 0 的波形: 首先要置 TIMx_CCMR1 寄存器的 OC1M = 111, 进入 PWM 模式 2: 根据需要有选择地使能预装载寄存器: 置 TIMx_CCMR1 中的 OC1PE = 1 和 TIMx_CR1 寄存器中的 ARPE; 然后在 TIMx_CCR1 寄存器中填写比较值, 在 TIMx_ARR 寄存器中填写自动装载值, 设置 UG 位来产生一个更新事件, 然后等待在 TI2 上的一个外部触发事件。本例中, CC1P = 1。

在这个例子中, TIMx_CR1 寄存器中的 DIR 和 CMS 位应该置低。

因为只需一个脉冲, 所以必须设置 TIMx_CR1 寄存器中的 OPM = 1, 在下一个更新事件 (当计数器从自动装载值翻转到 0) 时停止计数。

特殊情况: OCx 快速使能:

在单脉冲模式下, 在 TIx 输入脚的边沿检测逻辑设置 CEN 位以启动计数器。然后计数器和

比较值间的比较操作产生了输出的转换。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 `TIMx_CCMRx` 寄存器中的 `OCxFE` 位；此时强制 `OCxREF`(和 `OCx`) 被强制响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。`OCxFE` 只在通道配置为 `PWM1` 和 `PWM2` 模式时起作用。

10.3.11 编码器接口模式

选择编码器接口模式的方法是：如果计数器只在 `TI2` 的边沿计数，则置 `TIMx_SMCR` 寄存器中的 `SMS = 001`；如果只在 `TI1` 边沿计数，则置 `SMS = 010`；如果计数器同时在 `TI1` 和 `TI2` 边沿计数，则置 `SMS = 011`。

通过设置 `TIMx_CCER` 寄存器中的 `CC1P` 和 `CC2P` 位，可以选择 `TI1` 和 `TI2` 极性；如果需要，还可以对输入滤波器编程。

两个输入 `TI1` 和 `TI2` 被用来作为增量编码器的接口。下表，假定计数器已经启动 (`TIMx_CR1` 寄存器中的 `CEN = 1`)，则计数器由每次在 `TI1FP1` 或 `TI2FP2` 上的有效跳变驱动。`TI1FP1` 和 `TI2FP2` 是 `TI1` 和 `TI2` 在通过输入滤波器和极性控制后的信号；如果没有滤波和变相，则 `TI1FP1 = TI1`；如果没有滤波和变相，则 `TI2FP2 = TI2`。根据两个输入信号的跳变顺序，产生了计数脉冲和方向信号。依据两个输入信号的跳变顺序，计数器向上或向下计数，同时硬件对 `TIMx_CR1` 寄存器的 `DIR` 位进行相应的设置。不管计数器是依靠 `TI1` 计数、依靠 `TI2` 计数或者同时依靠 `TI1` 和 `TI2` 计数。在任一输入端 (`TI1` 或者 `TI2`) 的跳变都会重新计算 `DIR` 位。

编码器接口模式基本上相当于使用了一个带有方向选择的外部时钟。这意味着计数器只在 0 到 `TIMx_ARR` 寄存器的自动装载值之间连续计数 (根据方向，或是 0 到 `ARR` 计数，或是 `ARR` 到 0 计数)。所以在开始计数之前必须配置 `TIMx_ARR`；同样，捕获器、比较器、预分频器、触发输出特性等仍工作如常。

在这个模式下，计数器依照增量编码器的速度和方向被自动的修改，因此计数器的内容始终指示着编码器的位置。计数方向与相连的传感器旋转的方向对应。下表列出了所有可能的组合，假设 `TI1` 和 `TI2` 不同时变换。

表 154. 计数方向与编码器信号的关系

有效边沿	相对信号的电平 (<code>TI1FP1</code> 对应 <code>TI2</code> , <code>TI2FP2</code> 对应 <code>TI1</code>)	<code>TI1FP1</code> 信号		<code>TI1FP2</code> 信号	
		上升	下降	上升	下降
仅在 <code>TI1</code> 计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在 <code>TI2</code> 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 <code>TI1</code> 和 <code>TI2</code> 上计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

一个外部的增量编码器可以直接与 `MCU` 连接而不需要外部接口逻辑。但是，一般使用比较器将编码器的差动输出转换到数字信号，这大大增加了抗噪声干扰能力。编码器输出的第三个信号表示机械零点，可以把它连接到一个外部中断输入并触发一个计数器复位。

下图是一个计数器操作的实例，显示了计数信号的产生和方向控制。它还显示了当选择了双边沿时，输入抖动是如何被抑制的；抖动可能会在传感器的位置靠近一个转换点时产生。

在这个例子中，我们假定配置如下：

- C1S = '01' (TIMx_CCMR1 寄存器, IC1FP1 映射到 TI1)
- CC2S = '01' (TIMx_CCMR2 寄存器, IC2FP2 映射到 TI2)
- CC1P = '0' (TIMx_CCER 寄存器, IC1FP1 不反相, IC1FP1 = TI1)
- CC2P = '0' (TIMx_CCER 寄存器, IC2FP2 不反相, IC2FP2 = TI2)
- SMS = '011' (TIMx_SMCR 寄存器, 所有的输入均在上升沿和下降沿有效)
- CEN = '1' (TIMx_CR1 寄存器, 计数器使能)

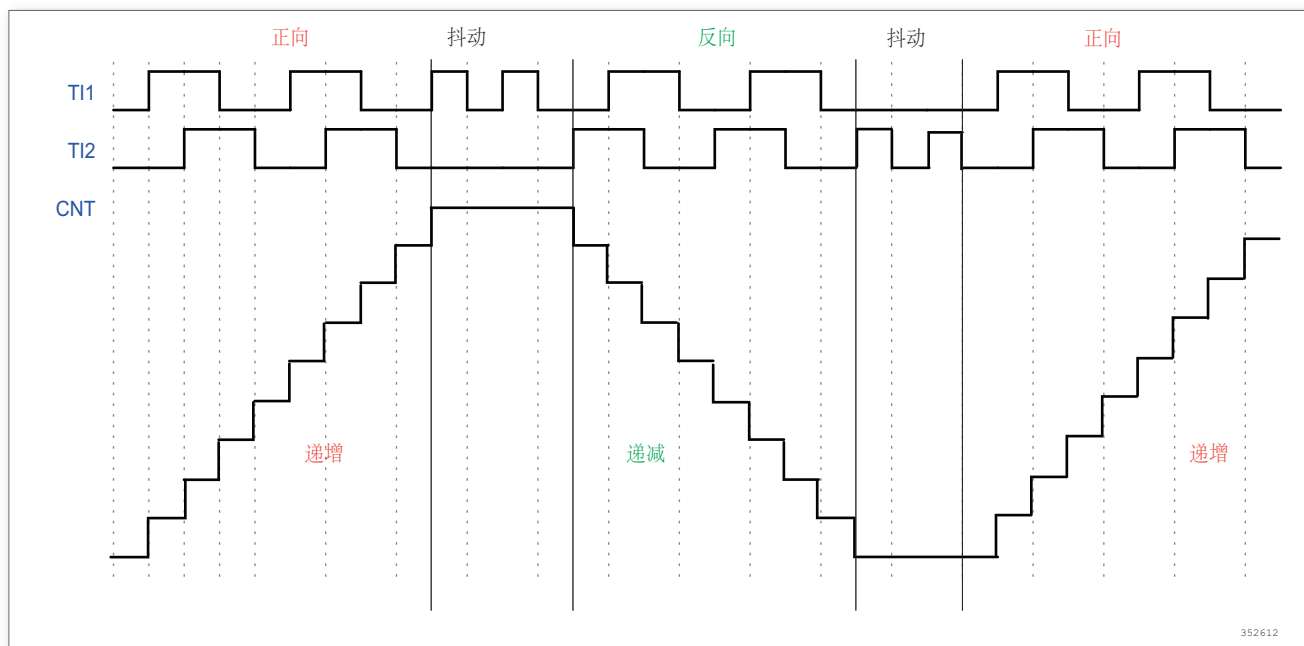


图 104. 编码器模式下的计数器操作实例

下图为当 IC1FP1 极性反相时计数器的操作实例 (CC1P = '1', 其他配置与上例相同)

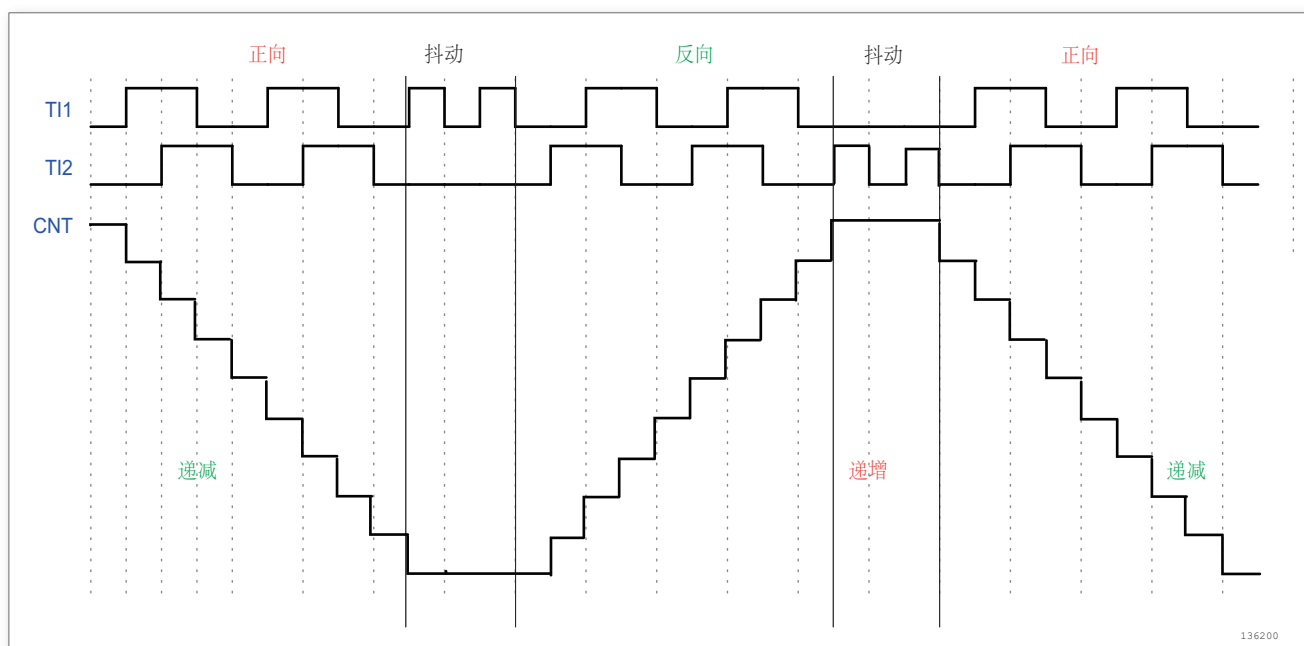


图 105. IC1FP1 反相的编码器接口模式实例

当定时器配置成编码器接口模式时，提供传感器当前位置的信息。使用第二个配置在捕获

模式定时器测量两个编码器事件的间隔, 可以获得动态的信息 (速度, 加速度, 减速度)。指示机械零点的编码器输出可被用做此目的。根据两个事件间的间隔, 可以按照固定的时间读出计数器。如果可能的话, 你可以把计数器的值锁存到第三个输入捕获寄存器 (捕获信号必须是周期的并且可以由另一个定时器产生)。

10.3.12 定时器输入异或功能

TIMx_CR2 寄存器中的 TI1S 位, 允许通道 1 的输入滤波器连接到一个异或门的输出端, 异或门的 3 个输入端为 TIMx_CH1、TIMx_CH2 和 TIMx_CH3。

异或输出能够被用于所有定时器的输入功能, 如触发或输入捕获。高级控制定时器章节给出了此特性用于连接霍尔传感器的例子。

10.3.13 定时器和外部触发的同步

TIMx 定时器能够在多种模式下和一个外部的触发同步: 复位模式、门控模式和触发模式。

从模式: 复位模式

在发生一个触发输入事件时, 计数器和它的预分频器能够重新被初始化; 同时, 如果 TIMx_CR1 寄存器的 URS 位为低, 还产生一个更新事件 UEV; 然后所有的预装载寄存器 (TIMx_ARR, TIMx_CCRx) 都被更新了。

- 在以下的例子中, TI1 输入端的上升沿导致向上计数器被清零
- 配置通道 1 以检测 TI1 的上升沿。配置输入滤波器的带宽 (在本例中, 不需要任何滤波器, 因此保持 IC1F = 0000)。触发操作中不使用捕获预分频器, 所以不需要配置。CC1S 位只选择输入捕获源, 即 TIMx_CCMR1 寄存器中 CC1S = 01。置 TIMx_CCER 寄存器中 CC1P = 0 以确定极性 (只检测上升沿)
- 置 TIMx_SMCR 寄存器中 SMS = 100, 配置定时器为复位模式; 置 TIMx_SMCR 寄存器中 TS = 101, 选择 TI1 作为输入源
- 置 TIMx_CR1 寄存器中 CEN = 1, 启动计数器

计数器开始依据内部时钟计数, 然后正常运转直到 TI1 出现一个上升沿; 此时, 计数器被清零然后从 0 重新开始计数。同时, 触发标志 (TIMx_SR 寄存器中的 TIF 位) 被设置, 根据 TIMx_DIER 寄存器中 TIE(中断使能) 位, 产生一个中断请求。

下图显示当自动重装载寄存器 TIMx_ARR = 0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时取决于 TI1 输入端的重同步电路。

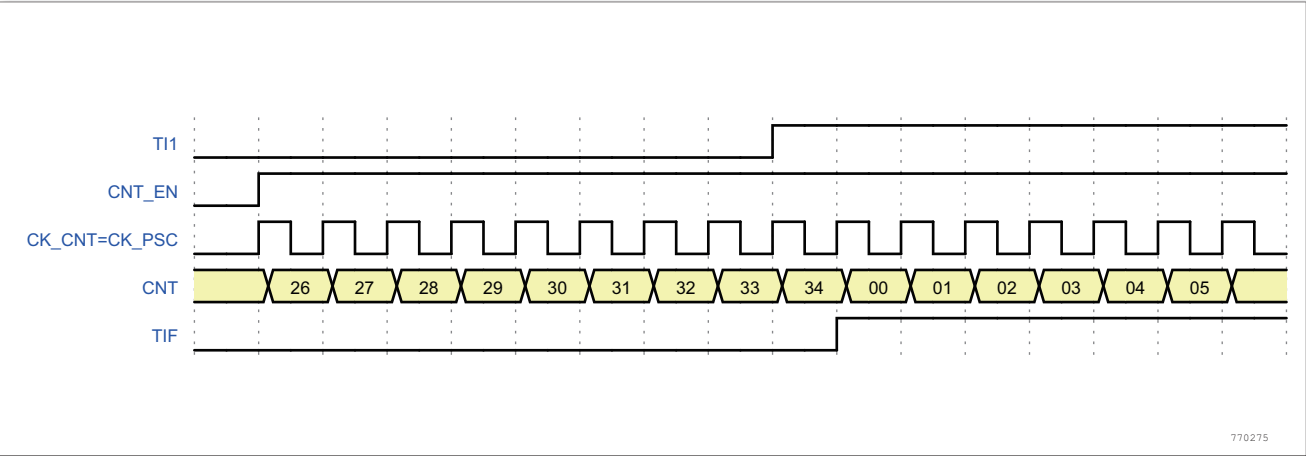


图 106. 复位模式下的控制电路

从模式：门控模式

计数器的使能依赖于选中的输入端的电平。

在如下的例子中，计数器只在 TI1 为低时向上计数：

- 配置通道 1 以检测 TI1 上的低电平。配置输入滤波器带宽 (本例中，不需要滤波，所以保持 IC1F = 0000)。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位用于选择输入捕获源，置 TIMx_CCMR1 寄存器中 CC1S = 01。置 TIMx_CCER 寄存器中 CC1P = 1 以确定极性 (只检测低电平)。
- 置 TIMx_SMCR 寄存器中 SMS = 101，配置定时器为门控模式；置 TIMx_SMCR 寄存器中 TS = 101，选择 TI1 作为输入源。
- 置 TIMx_CR1 寄存器中 CEN = 1，启动计数器。在门控模式下，如果 CEN = 0，则计数器不能启动，不论触发输入电平如何。

只要 TI1 为低，计数器开始依据内部时钟计数，在 TI1 变高时停止计数。当计数器开始或停止时都设置 TIMx_SR 中的 TIF 标志。

TI1 上升沿和计数器实际停止之间的延时取决于 TI1 输入端的重同步电路。

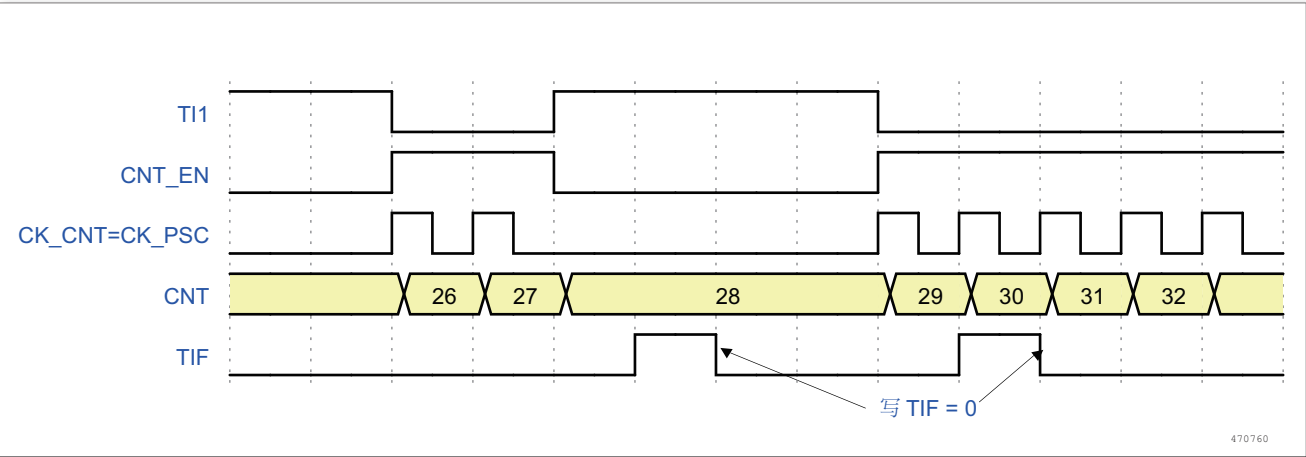


图 107. 门控模式下的控制电路

从模式：触发模式

计数器的使能依赖于选中的输入端上的事件。

在下面的例子中，计数器在 TI2 输入的上升沿开始向上计数：

- 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽 (本例中，不需要任何滤波器，保持 IC2F = 0000)。触发操作中不使用捕获预分频器，不需要配置。CC2S 位只用于选择输入捕获源，置 TIMx_CCMR1 寄存器中 CC2S = 01。置 TIMx_CCER 寄存器中 CC1P = 1 以确定极性 (只检测低电平)。
- 置 TIMx_SMCR 寄存器中 SMS = 110，配置定时器为触发模式；置 TIMx_SMCR 寄存器中 TS = 110，选择 TI2 作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时设置 TIF 标志。

TI2 上升沿和计数器启动计数之间的延时取决于 TI2 输入端的重同步电路。

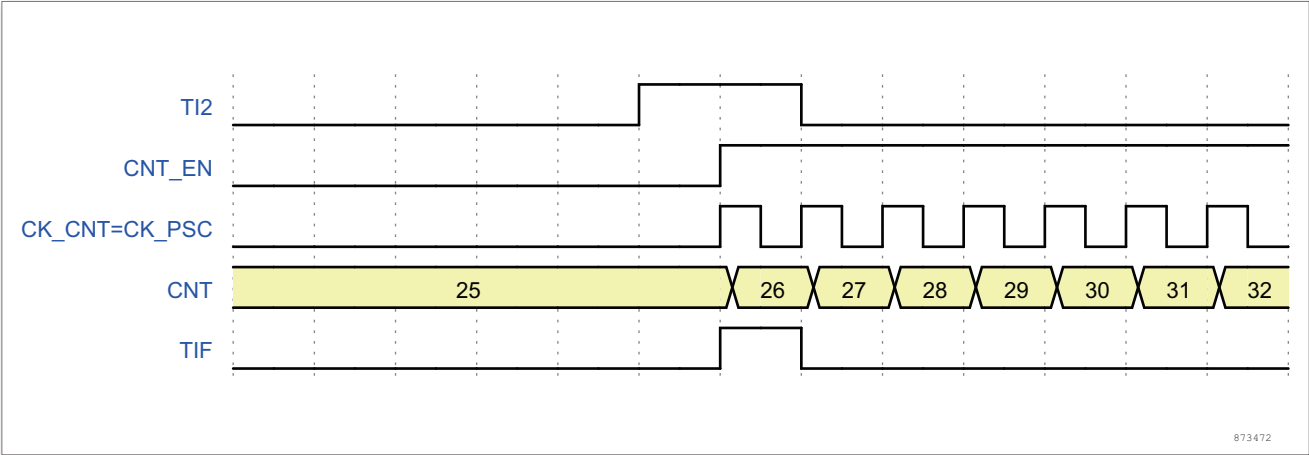


图 108. 触发器模式下的控制电路

10.3.14 定时器同步

所有 TIMx 定时器在内部相连，用于定时器同步或链接。当一个定时器处于主模式时，它可以对另一个处于从模式的定时器的计数器进行复位、启动、停止或提供时钟等操作。

下图显示了触发选择和主模式选择模块的概况。

使用一个定时器作为另一个定时器的预分频器

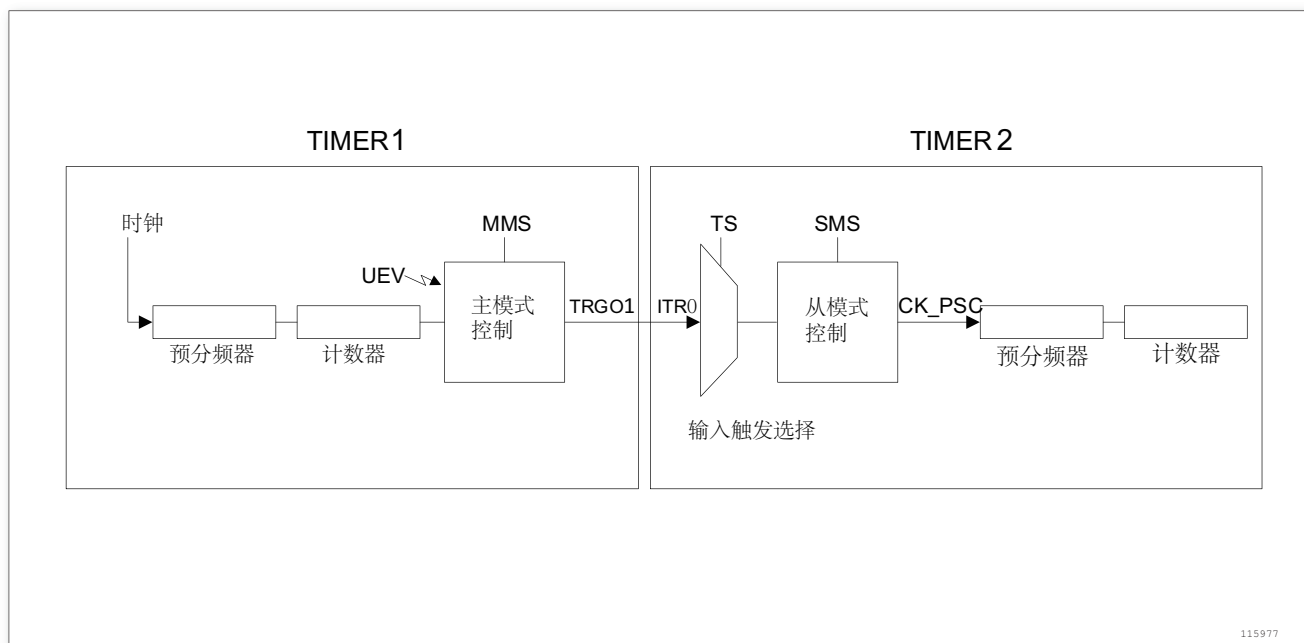


图 109. 主/从定时器的例子

如：可以配置定时器 1 作为定时器 3 的预分频器。参考上图，进行下述操作：

- 配置定时器 1 为主模式，它可以在每一个更新事件 UEV 时输出一个周期性的触发信号。在 TIM1_CR2 寄存器的 MMS = '010' 时，每当产生一个更新事件时在 TRGO1 上输出一个上升沿信号。
- 连接定时器 1 的 TRGO1 输出至定时器 3，设置 TIM3_SMCR 寄存器的 TS = '000'，配置定时器 3 为使用 ITR1 作为内部触发的从模式。
- 然后把从模式控制置于外部时钟模式 1 (TIM3_SMCR 寄存器的 SMS = 111)；这样定时器 3 即可由定时器 1 周期性的上升沿 (即定时器 1 的计数器溢出) 信号驱动。
- 最后，必须设置相应 (TIMx_CR1 寄存器) 的 CEN 位分别启动两个定时器。

注：如果 OCx 已被选中为定时器 1 的触发输出 (MMS = 1xx)，它的上升沿用于驱动定时器 3 的计数器。

使用一个定时器使能另一个定时器

在这个例子中，定时器 3 的运行受由定时器 1 的输出比较控制。参考下图。只当定时器 1 的 OC1REF 为高时定时器 3 才对分频后的内部时钟计数。两个定时器的时钟频率都是由预分频器对 CK_INT 除以 3 ($f_{CK_CNT} = f_{CK_INT}/3$) 得到。

- 配置定时器 1 为主模式，送出它的输出比较参考信号 (OC1REF) 为触发输出 (TIM1_CR2 寄存器的 MMS = 100)
- 配置定时器 1 的 OC1REF 波形 (TIM1_CCMR1 寄存器)
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3_SMCR 寄存器的 TS = 001)
- 配置定时器 3 为门控模式 (TIM3_SMCR 寄存器的 SMS = 101)
- 置 TIM3_CR1 寄存器的 CEN = 1 以使能定时器 3
- 置 TIM1_CR1 寄存器的 CEN = 1 以使能定时器 1

注：定时器 3 的时钟不与定时器 1 的时钟同步，这个模式只影响定时器 3 计数器的使能信号。

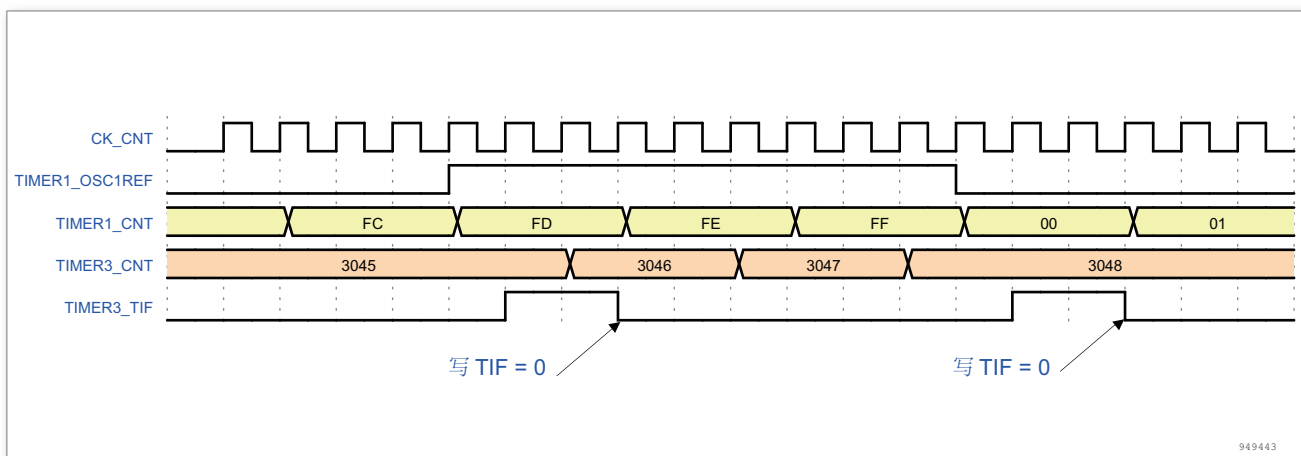


图 110. 定时器 1 的 OC1REF 控制定时器 3

在上图例子中，在定时器 3 启动之前，它们的计数器和预分频器未被初始化，因此它们从当前的数值开始计数。可以在启动定时器 1 之前复位 2 个定时器，使它们从给定的数值开始，即在定时器计数器中写入需要的任意数值。写 `TIMx_EGR` 寄存器的 `UG` 位即可复位定时器。

在下一个例子中，需要同步定时器 1 和定时器 3。定时器 1 是主模式并从 0 开始，定时器 3 是从模式并从 `0xE7` 开始；2 个定时器的预分频器系数相同。写 0 到 `TIM1_CR1` 的 `CEN` 位将禁止定时器 1，定时器 3 随即停止。

- 配置定时器 1 为主模式，送出输出比较 1 参考信号 (OC1REF) 做为触发输出 (`TIM1_CR2` 寄存器的 `MMS = 100`)。
- 配置定时器 1 的 OC1REF 波形 (`TIM1_CCMR1` 寄存器)。
- 配置定时器 3 从定时器 1 获得输入触发 (`TIM3_SMCR` 寄存器的 `TS = 000`)
- 配置定时器 3 为门控模式 (`TIM3_SMCR` 寄存器的 `SMS = 101`)
- 置 `TIM1_EGR` 寄存器的 `UG = 1`，复位定时器 1。
- 置 `TIM3_EGR` 寄存器的 `UG = 1`，复位定时器 3。
- 写 `0xE7` 至定时器 3 的计数器 (`TIM3_CNT`)，初始化它为 `0xE7`。
- 置 `TIM3_CR1` 寄存器的 `CEN = 1` 以使能定时器 3。
- 置 `TIM1_CR1` 寄存器的 `CEN = 1` 以启动定时器 1。
- 置 `TIM1_CR1` 寄存器的 `CEN = 0` 以停止定时器 1。

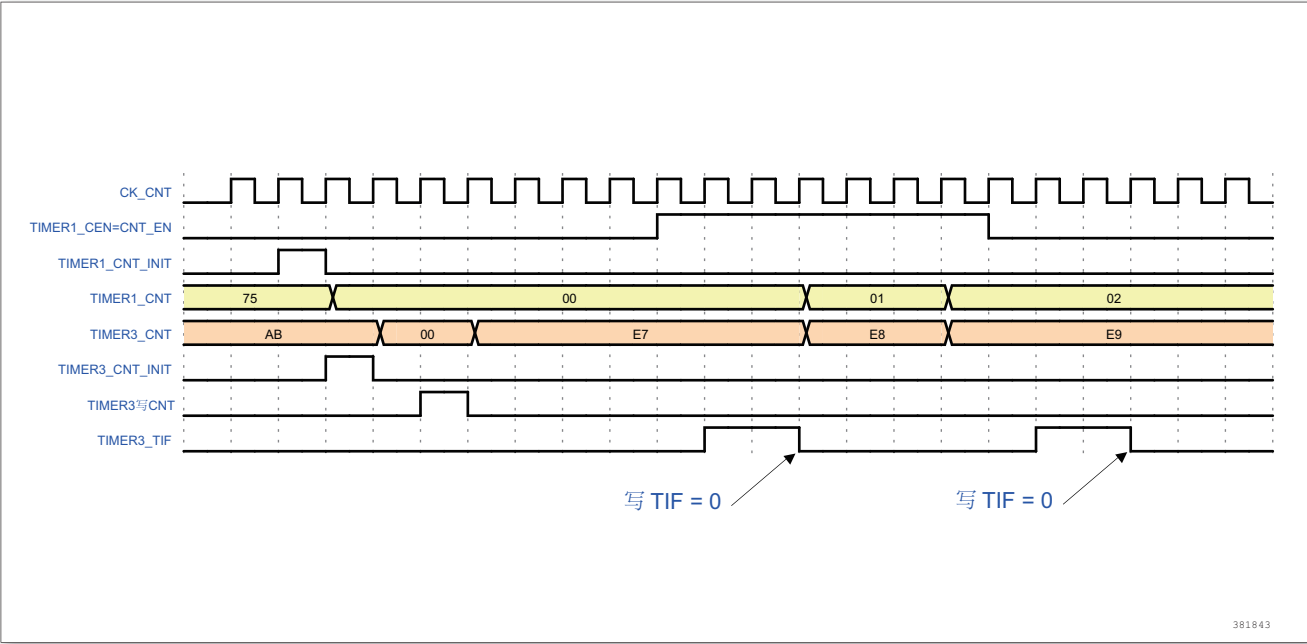


图 111. 通过使能定时器 1 可以控制定时器 3

使用一个定时器去启动另一个定时器

在这个例子中，使用定时器 1 的更新事件使能定时器 3。参考下图。当定时器 1 产生更新事件时，定时器 3 即从它当前的数值 (可以是非 0) 按照分频的内部时钟开始计数。在收到触发信号时，定时器 3 的 CEN 位被自动地置 1，同时计数器开始计数直到写 0 到 TIM3_CR1 寄存器的 CEN 位。两个定时器的时钟频率都是由预分频器对 CK_INT 除以 3($f_{CK_CNT}=f_{CK_INT}/3$)。

- 配置定时器 1 为主模式，送出它的更新事件 (UEV) 做为触发输出 (TIM1_CR2 寄存器的 MMS = 010)。
- 配置定时器 1 的周期 (TIM1_ARR 寄存器)。
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3_SMCR 寄存器的 TS = 000)
- 配置定时器 3 为触发模式 (TIM3_SMCR 寄存器的 SMS = 110)
- 置 TIM1_CR1 寄存器的 CEN = 1 以启动定时器 1。

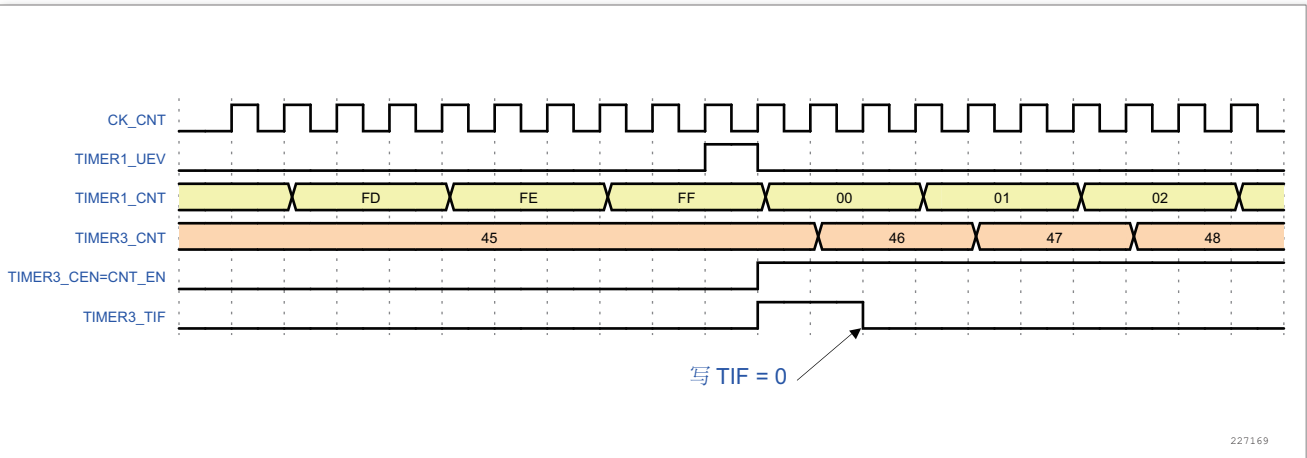


图 112. 使用定时器 1 的更新触发定时器 3

在上一个例子中，可以在启动计数之前初始化两个计数器。下图显示在与 0 相同配置情况

下，使用触发模式而不是门控模式 (TIM3_SMCR 寄存器的 SMS = 110) 的动作。

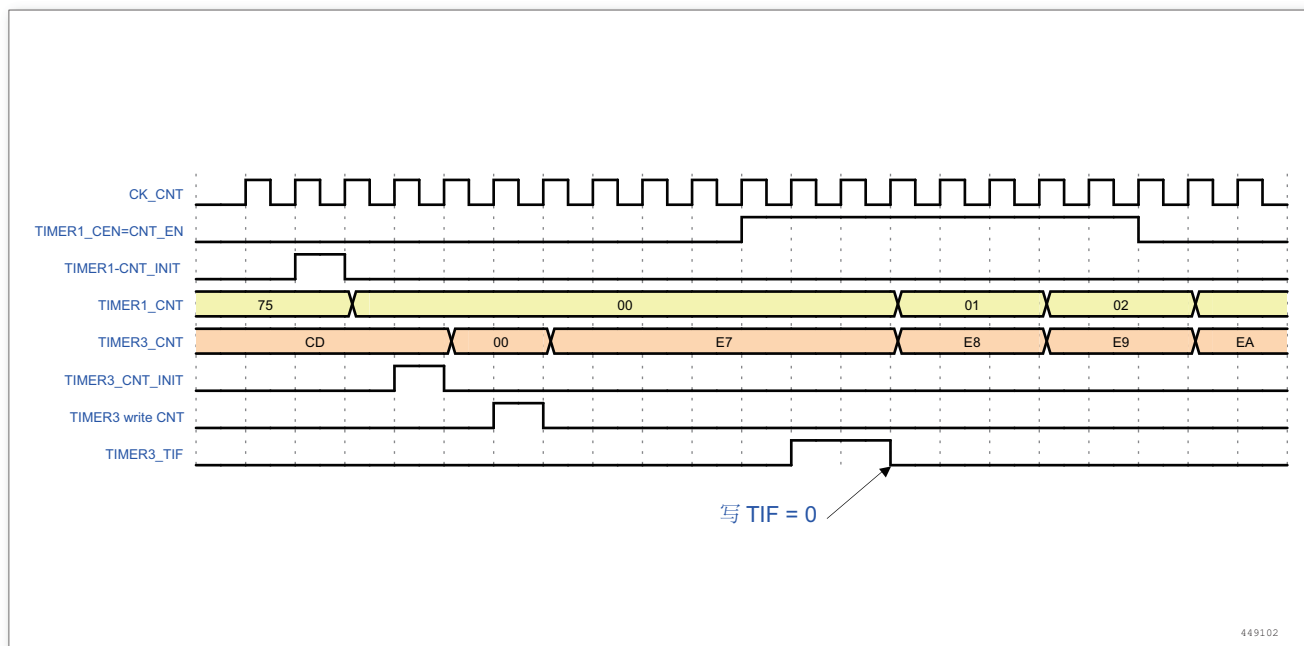


图 113. 利用定时器 1 的使能触发定时器 3

使用一个额定定时器作为另一个的预分频器

这个例子使用定时器 1 作为定时器 3 的预分频器。配置如下：

- 配置定时器 1 为主模式，送出它的更新事件 UEV 作为触发输出 (TIM1_CR2 寄存器的 MMS = '010')。然后每次计数器溢出时输出一个周期信号。
- 配置定时器 1 的周期 (TIM1_ARR 寄存器)。
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3_SMCR 寄存器的 TS = 000)
- 配置定时器 3 使用外部时钟模式 (TIM3_SMCR 寄存器的 SMS = 111)
- 置 TIM1_CR2 寄存器的 CEN = 1 以启动定时器 3
- 置 TIM1_CR1 寄存器的 CEN = 1 以启动定时器 1

使用一个外部触发同步地启动 2 个定时器

这个例子中当定时器 1 的 TI1 输入上升时使能定时器 1，使能定时器 1 的使能定时器 3。为保证计数器的对齐，定时器 1 必须配置为主/从模式 (对应 TI1 为从，对应定时器 3 为主)：

- 配置定时器 1 为主模式，送出它的使能作为触发输出 (TIM1_CR2 寄存器的 MMS = '001')
- 配置定时器 1 为从模式，从 TI1 获得输入触发 (TIM1_SMCR 寄存器的 TS = '100')
- 配置定时器 1 为触发模式 (TIM1_SMCR 寄存器的 SMS = '110')
- 配置定时器 3 从定时器 1 获得输入触发 (TIM3_SMCR 寄存器的 TS = 000)
- 配置定时器 3 为触发模式 (TIM3_SMCR 寄存器的 SMS = 110)

当定时器 1 的 TI1 上出现一个上升沿时，两个定时器同步地按照内部时钟开始计数，两个 TIF 标志也同时被设置。

注：在这个例子中，在启动之前两个定时器都被初始化 (设置相应的 UG 位)，两个计数器都从 0 开始，但可以通过写入任意一个计数器寄存器 (TIMx_CNT) 在定时器间插入一个偏移。下图中能看主/从模式下在定时器 1 的 CNT_EN 和 CK_PSC 之间有个延迟。

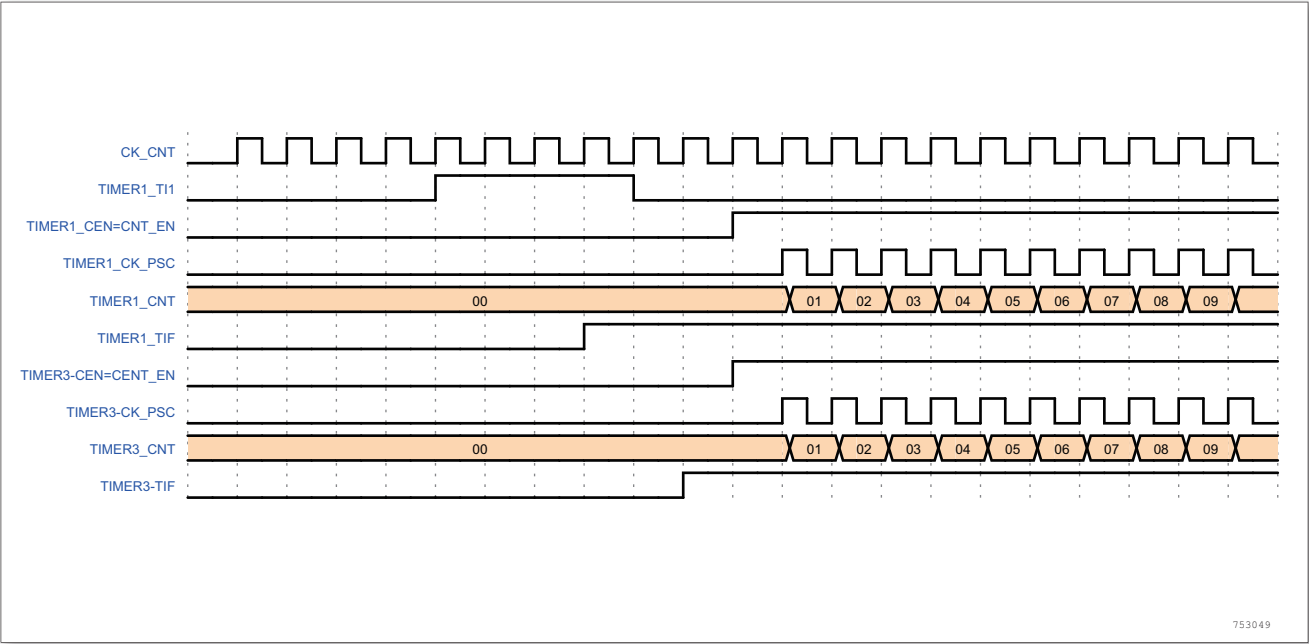


图 114. 使用定时器 1 的 T11 输入触发定时器 1 和定时器 3

10.3.15 调试模式

当微控制器进入调试模式 (CPU 核心停止), 根据 DBG 模块中 DBG_TIMx_STOP 的设置, TIMx 计数器或者继续正常操作, 或者停止。详见调试模块章节。

10.4 TIMx 寄存器描述

可以用半字 (16 位) 或字 (32 位) 的方式操作这些外设寄存器。

表 156. TIMx 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	TIMx_CR1	控制寄存器 1	0x00000000	小节 10.4.1
0x04	TIMx_CR2	控制寄存器 2	0x00000000	小节 10.4.2
0x08	TIMx_SMCR	从模式控制寄存器	0x00000000	小节 10.4.3
0x0C	TIMx_DIER	中断使能寄存器	0x00000000	小节 10.4.4
0x10	TIMx_SR	状态寄存器	0x00000000	小节 10.4.5
0x14	TIMx_EGR	事件产生寄存器	0x00000000	小节 10.4.6
0x18	TIMx_CCMR1	捕获/比较模式寄存器 1	0x00000000	小节 10.4.7
0x1C	TIMx_CCMR2	捕获/比较模式寄存器 2	0x00000000	小节 10.4.8
0x20	TIMx_CCER	捕获/比较使能寄存器	0x00000000	小节 10.4.9
0x24	TIMx_CNT	计数器	0x00000000	小节 10.4.10
0x28	TIMx_PSC	预分频器	0x00000000	小节 10.4.11
0x2C	TIMx_ARR	自动装载寄存器	0x00000000	小节 10.4.12
0x34	TIMx_CCR1	捕获/比较寄存器 1	0x00000000	小节 10.4.13
0x38	TIMx_CCR2	捕获/比较寄存器 2	0x00000000	小节 10.4.14

Offset	Acronym	Register Name	Reset	Section
0x3C	TIMx_CCR3	捕获/比较寄存器 3	0x00000000	小节 10.4.15
0x40	TIMx_CCR4	捕获/比较寄存器 4	0x00000000	小节 10.4.16

10.4.1 控制寄存器 1(TIMx_CR1)

偏移地址: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD	ARPE	CMS	DIR	OPM	URS	UDIS	CEN		
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 10	Reserved			保留, 读为 0
9: 8	CKD	rw	0x00	时钟分频因子 (Clock division) 这 2 位定义在定时器时钟 (CK_INT) 频率、死区时间和由死区发生器与数字滤波器 (Tl_x) 所用的采样时钟之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留, 不要使用这个配置
7	ARPE	rw	0x00	自动重载预装载允许位 (Auto-reload preload enable) 0: TIMx_ARR 寄存器没有缓冲 1: TIMx_ARR 寄存器被装入缓冲器
6: 5	CMS	rw	0x00	选择中央对齐模式 (Center-aligned mode selection) 00: 边沿对齐模式。计数器依据方向位 (DIR) 向上或向下计数 01: 中央对齐模式 1。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS = 00) 的输出比较中断标志位, 只在计数器向下计数时被设置 10: 中央对齐模式 2。计数器交替地向上和向下计数。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS = 00) 的输出比较中断标志位, 只在计数器向上计数时被设置 11: 中央对齐模式 3。计数器交替地向上和向下计数。计数器交替地向上和向下计数。配置为输出的通道 (TIMx_CCMRx 寄存器中 CCxS = 00) 的输出比较中断标志位, 在计数器向上和向下计数时均被设置 注: 在计数器开启时 (CEN = 1), 不允许从边沿对齐模式转换到中央对齐模式。

Bit	Field	Type	Reset	Description
4	DIR	rw	0x00	方向 (Direction) 0: 计数器向上计数 1: 计数器向下计数 注: 当计数器配置为中央对齐模式或编码器模式时, 该位为只读。
3	OPM	rw	0x00	单脉冲模式 (One pulse mode) 0: 在发生更新事件时, 计数器不停止 1: 在发生下一次更新事件 (清除 CEN 位) 时, 计数器停止
2	URS	rw	0x00	更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源。 0: 如果允许产生更新中断, 则下述任一事件产生一个更新中断: - 计数器溢出/下溢 - 设置 UG 位 - 从模式控制器产生的更新 1: 如果允许产生更新中断, 则只有计数器溢出/下溢才产生一个更新中断
1	UDIS	rw	0x00	更新禁止 (Update disable) 软件通过该位允许/禁止 UEV 事件产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: - 计数器溢出/下溢 - 设置 UG 位为 1 - 通过从模式控制器产生的更新事件 然后更新影子寄存器的值。 1: 禁止 UEV。不产生更新事件, 影子寄存器 (ARR、PSC、CCR _x) 保持值不变。如果设置了 UG 位为 1, 或者从模式控制器接收到硬件复位, 计数器和预分频器被重新初始化。
0	CEN	rw	0x00	允许计数器 (Counter enable) 0: 禁止计数器 1: 使能计数器。 注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。触发模式可以自动地通过硬件设置 CEN 位。

10.4.2 控制寄存器 2(TIMx_CR2)

偏移地址: 0x04

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TI1S	MMS			Reserved			
								rw	rw						

Bit	Field	Type	Reset	Description
15: 8	Reserved			保留, 读为 0
7	TI1S	rw	0x00	TI1 选择 (TI1 selection) 0: TIMx_CH1 管脚连到 TI1 输入 1: TIMx_CH1、TIMx_CH2 和 TIMx_CH3 管脚经异或后连到 TI1 输入
6: 4	MMS	rw	0x00	主模式选择 (Master mode selection) 这两位用于选择在主模式下送到从定时器的同步信息 (TRGO)。可能的组合如下: 000: 复位-TIMx_EGR 寄存器的 UG 位被用于作为触发输出 (TRGO)。如果触发输入 (从模式控制器处于复位模式) 产生复位, 则 TRGO 上的信号相对实际的复位会有一个延迟。 001: 使能-计数器使能信号 CNT_EN 被用于作为触发输出 (TRGO)。有时需要在同一时间启动多个定时器或控制在一段时间内使能从定时器。计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。当计数器使能信号受控于触发输入时, TRGO 上会有一个延迟, 除非选择了主/从模式 (见 TIMx_SMCR 寄存器中 MSM 位的描述)。 010: 更新-更新事件被选为触发输入 (TRGO)。例如, 一个主定时器的时钟可以被用作一个从定时器的预分频器。 011: 比较脉冲-发生一次捕获或一次比较成功时, 当要设置 CC1IF 标志时 (即使它已经为高), 触发输出送出一个正脉冲 (TRGO)。 100: 比较-OC1REF 信号被用于作为触发输出 (TRGO) 101: 比较-OC2REF 信号被用于作为触发输出 (TRGO) 110: 比较-OC3REF 信号被用于作为触发输出 (TRGO) 111: 比较-OC4REF 信号被用于作为触发输出 (TRGO)
3: 0	Reserved			保留, 读为 0

10.4.3 从模式控制寄存器 (TIMx_SMCR)

偏移地址: 0x08

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								MSM	TS		Res.		SMS		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw

Bit	Field	Type	Reset	Description
15:8	Reserved			保留, 读为 0

Bit	Field	Type	Reset	Description
7	MSM	rw	0x00	主/从模式 (Master/slave mode) 0: 无作用 1: 触发输入 (TRGI) 上的事件被延迟了, 以允许在当前定时器 (通过 TRGO) 与它的从定时器间的完美同步, 这对要求把几个定时器同步到一个单一的外部事件时是非常有用的
6: 4	TS	rw	0x00	触发选择 (Trigger selection) 这 3 位选择用于同步计数器的触发输入。 000: 内部触发 0(ITR0) 001: 内部触发 1(ITR1) 010: 内部触发 2(ITR2) 011: 内部触发 3(ITR3) 100: TI1 的边沿检测器 (TI1F_ED) 101: 滤波后的定时器输入 1(TI1FP1) 110: 滤波后的定时器输入 2(TI2FP2) 更多有关 ITRx 的细节, 参见下表。 注: 这些位只能在未用到 (如 SMS = 000) 时被改变, 以避免在改变时产生错误的边沿检测。
3	Reserved			保留, 读为 0

Bit	Field	Type	Reset	Description
2: 0	SMS	rw	0x00	从模式选择 (Slave mode selection) 当选择了外部信号, 触发信号 (TRGI) 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明) 000: 关闭从模式 - 如果 CEN = 1, 则预分频器直接由内部时钟驱动。 001: 编码器模式 1 - 根据 TI1FP1 的电平, 计数器在 TI2FP2 的边沿向上/下计数。 010: 编码器模式 2 - 根据 TI2FP2 的电平, 计数器在 TI1FP1 的边沿向上/下计数。 011: 编码器模式 3 - 根据另一个输入的电平, 计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。 100: 复位模式 - 选中的触发输入 (TRGI) 的上升沿重新初始化计数器, 并且产生一个更新寄存器的信号。 101: 门控模式 - 当触发输入 (TRGI) 为高时, 计数器的时钟开启。当触发输入变为低时, 计数器停止 (但不复位)。计数器的启动和停止都是受控的。 110: 触发模式 - 计数器在触发输入 TRGI 的上升沿启动 (但不复位), 只有计数器的启动是受控的。 111: 外部时钟模式 1 - 选中的触发输入 (TRGI) 的上升沿驱动计数器。 注: 如果 TI1F_EN 被选为触发输入 (TS = 100) 时, 不要使用门控模式。这是因为, TI1F_ED 在每次 TI1F 变化时输出一个脉冲, 但是门控模式是要检查触发输入的电平。

表 160. TIMx 内部触发连接

从定时器	ITR0(TS = 000)	ITR1(TS = 001)	ITR2(TS = 010)	ITR3(TS = 011)
TIM3	TIM1	无	无	无

10.4.4 中断使能寄存器 (TIMx_DIER)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
									rw		rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15:7	Reserved			保留, 读为 0

Bit	Field	Type	Reset	Description
6	TIE	rw	0x00	触发中断使能 (Trigger interrupt enable) 0: 禁止触发中断 1: 使能触发中断
5	Reserved			保留, 读为 0
4	CC4IE	rw	0x00	允许捕获/比较 4 中断 (Capture/Compare 4 interrupt enable) 0: 禁止捕获/比较 4 中断 1: 允许捕获/比较 4 中断
3	CC3IE	rw	0x00	允许捕获/比较 3 中断 (Capture/Compare 3 interrupt enable) 0: 禁止捕获/比较 3 中断 1: 允许捕获/比较 3 中断
2	CC2IE	rw	0x00	允许捕获/比较 2 中断 (Capture/Compare 2 interrupt enable) 0: 禁止捕获/比较 2 中断 1: 允许捕获/比较 2 中断
1	CC1IE	rw	0x00	允许捕获/比较 1 中断 (Capture/Compare 1 interrupt enable) 0: 禁止捕获/比较 1 中断 1: 允许捕获/比较 1 中断
0	UIE	rw	0x00	允许更新中断 (Update interrupt enable) 0: 禁止更新中断 1: 允许更新中断

10.4.5 状态寄存器 (TIMx_SR)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.			CC3OF	CC2OF	CC1OF	Res.			TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0				rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

Bit	Field	Type	Reset	Description
15: 12	Reserved			保留, 读为 0
11	CC3OF	rc_w0	0x00	捕获/比较 3 重复捕获标记 (Capture/Compare 3 overcapture flag) 参见 CC1OF 描述。
10	CC2OF	rc_w0	0x00	捕获/比较 2 重复捕获标记 (Capture/Compare 2 overcapture flag) 参见 CC1OF 描述。

Bit	Field	Type	Reset	Description
9	CC1OF	rc_w0	0x00	捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时，该标记可由硬件置 1。写 0 可清除该位。 0: 无重复捕获产生； 1: 计数器的值被捕获到 TIMx_CCR1 寄存器时，CC1IF 的状态已经为 1。
8: 7	Reserved			保留, 读为 0
6	TIF	rc_w0	0x00	触发器中断标记 (Trigger interrupt flag) 当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时，在 TRGI 输入端检测到有效边沿，或门控模式下的任一边沿) 时由硬件对该位置 1。它由软件清 0。 0: 无触发器事件产生 1: 触发器中断等待响应
5	Reserved			保留, 读为 0
4	CC4IF	rc_w0	0x00	捕获/比较 4 中断标记 (Capture/Compare 4 interrupt flag) 参考 CC1IF 描述。
3	CC3IF	rc_w0	0x00	捕获/比较 3 中断标记 (Capture/Compare 3 interrupt flag) 参考 CC1IF 描述。
2	CC2IF	rc_w0	0x00	捕获/比较 2 中断标记 (Capture/Compare 2 interrupt flag) 参考 CC1IF 描述。
1	CC1IF	rc_w0	0x00	捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式： 当计数器值与比较值匹配时该位由硬件置 ‘1’，但在中心对称模式下除外 (参考 TIMx_CR1 寄存器的 CMS 位)。它由软件清 ‘0’。 0: 无匹配发生 1: TIMx_CNT 的值与 TIMx_CCR1 的值匹配 如果通道 CC1 配置为输入模式： 当捕获事件发生时该位由硬件置 ‘1’，它由软件清 0 或通过读 TIMx_CCR1 清 ‘0’。 0: 无输入捕获产生 1: 计数器值已被捕获 (拷贝) 至 TIMx_CCR1(在 IC1 上检测到与所选极性相同的边沿)

Bit	Field	Type	Reset	Description
0	UIF	rc_w0	0x00	更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置 ‘1’。它由软件清 ‘0’。 0: 无更新事件产生 1: 更新事件等待响应。当寄存器被更新时该位由硬件置 ‘1’: - 若 TIMx_CR1 寄存器的 UDIS = 0, 当 REP_CNT = 0 时产生更新事件 (重复向下计数器上溢或下溢时) - 若 TIMx_CR1 寄存器的 UDIS = 0、URS = 0, 当 TIMx_EGR 寄存器的 UG = 1 时产生更新事件 (软件对计数器 CNT 重新初始化) - 若 TIMx_CR1 寄存器的 UDIS = 0、URS = 0, 当计数器 CNT 被触发事件重初始化时产生更新事件。(参考同步控制寄存器的说明)

10.4.6 事件产生寄存器 (TIMx_EGR)

偏移地址: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.									TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
									w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
15: 7	Reserved			保留, 读为 0
6	TG	w	0x00	产生触发事件 (Trigger generation) 该位由软件置 ‘1’, 用于产生一个刹车事件, 由硬件自动清 ‘0’。 0: 无动作 1: TIMx_SR 寄存器的 TIF = 1, 若开启对应的中断, 则产生相应的中断
5: 4	Reserved			保留, 读为 0
4	CC4G	w	0x00	产生捕获/比较 4 事件 (Capture/Compare 4 generation) 参考 CC1G 描述。
3	CC3G	w	0x00	产生捕获/比较 3 事件 (Capture/Compare 3 generation) 参考 CC1G 描述。
2	CC2G	w	0x00	产生捕获/比较 2 事件 (Capture/Compare 2 generation) 参考 CC1G 描述。

Bit	Field	Type	Reset	Description
1	CC1G	w	0x00	产生捕获/比较 1 事件 (Capture/Compare 1 generation) 该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。 0：无动作 1：在通道 CC1 上产生一个捕获/比较事件： 若通道 CC1 配置为输出： 设置 CC1IF=1，若开启对应的中断，则产生相应的中断。 若通道 CC1 配置为输入： 当前的计数器值被捕获至 TIMx_CCR1 寄存器，设置 CC1IF = 1，若开启对应的中断，则产生相应的中断。若 CC1IF 已经为 1，则设置 CC1OF = 1。
0	UG	w	0x00	产生更新事件 (Update generation) 该位由软件置 ‘1’，由硬件自动清 ‘0’。 0：无动作 1：重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清 ‘0’ (但是预分频系数不变)。若在中心对称模式下或 DIR = 0(向上计数) 则计数器被清 ‘0’；若 DIR = 1(向下计数) 则计数器取 TIMx_ARR 的值。

10.4.7 捕获/比较模式寄存器 1(TIMx_CCMR1)

偏移地址：0x18

复位值：0x0000

通道可用于输入 (捕获模式) 或输出 (比较模式)，通道的方向由相应的 CCxS 定义。该寄存器其他位的作用和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输出模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OC2M			OC2PE	OC2FE	CC2S		Res.	OC1M			OC1PE	OC1FE	CC1S	
IC2F				IC2PSC				IC1F			IC1PSC				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

输出比较模式：

Bit	Field	Type	Reset	Description
15	Reserved			保留, 读为 0
14: 12	OC2M	rw	0x00	输出比较 2 模式 (Output compare 2 mode)
11	OC2PE	rw	0x00	输出比较 2 预装载使能 (Output compare 2 preload enable)
10	OC2FE	rw	0x00	输出比较 2 快速使能 (Output compare 4 fast enable)

Bit	Field	Type	Reset	Description
9: 8	CC2S	rw	0x00	捕获/比较 2 选择 (Capture/Compare 2 selection) 该位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出 01: CC2 通道被配置为输入, IC2 映射在 TI2 上 10: CC2 通道被配置为输入, IC2 映射在 TI1 上 11: CC2 通道被配置为输入, IC2 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC2S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC2E = 0) 才是可写的。
7	Reserved			保留, 读为 0
6: 4	OC1M	rw	0x00	输出比较 1 模式 (Output compare 1 mode) 该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1、OC1N 的值。OC1REF 是高电平有效, 而 OC1、OC1N 的有效电平取决于 CC1P、CC1NP 位。 000: 冻结。输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 间的比较对 OC1REF 不起作用 001: 匹配时设置通道 1 为有效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CCR1) 相同时, 强制 OC1REF 为高 010: 匹配时设置通道 1 为无效电平。当计数器 TIMx_CNT 的值与捕获/比较寄存器 1(TIMx_CCR1) 相同时, 强制 OC1REF 为低 011: 翻转。当 TIMx_CCR1=TIMx_CNT 时, 翻转 OC1REF 的电平 100: 强制为无效电平。强制 OC1REF 为低 101: 强制为有效电平。强制 OC1REF 为高 110: PWM 模式 1 - 在向上计数时, 当 TIMx_CNT < TIMx_CCR1 时通道 1 为有效电平, 否则为无效电平; 在向下计数时, 当 TIMx_CNT > TIMx_CCR1 时通道 1 为无效电平 (OC1REF = 0), 否则为有效电平 (OC1REF = 1) 111: PWM 模式 2 - 在向上计数时, 当 TIMx_CNT < TIMx_CCR1 时通道 1 为无效电平, 否则为有效电平; 在向下计数时, 当 TIMx_CNT > TIMx_CCR1 时通道 1 为有效电平, 否则为无效电平 注 1: 当 LOCK 级别设为 3(TIMx_BDTR 寄存器中的 LOCK 位) 并且 CC1S = 00(该通道配置成输出) 时, 该位不能被修改。 注 2: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。

Bit	Field	Type	Reset	Description
3	OC1PE	rw	0x00	输出比较 1 预装载使能 (Output compare 1 preload enable) 0: 禁止 TIMx_CCR1 寄存器的预装载功能, 可随时写入 TIMx_CCR1 寄存器, 并且新写入的数值立即起作用 1: 开启 TIMx_CCR1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIMx_CCR1 的预装载值在更新事件到来时被加载至当前寄存器中 注 1: 当 LOCK 级别设为 3(TIMx_BDTR 寄存器中的 LOCK 位) 并且 CC1S = 00(该通道配置成输出) 时, 该位不能被修改。 注 2: 仅在单脉冲模式下 (TIMx_CR1 寄存器的 OPM = 1), 可以在未确认预装载寄存器情况下使用 PWM 模式, 否则其动作不确定。
2	OC1FE	rw	0x00	输出比较 1 快速使能 (Output compare 1 fast enable) 该位用于加快 CC 输出对触发输入事件的响应。 0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。OCFE 只在通道被配置成 PWM1 或 PWM2 模式时起作用
1: 0	CC1S	rw	0x00	捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出 01: CC1 通道被配置为输入, IC1 映射在 TI1 上 10: CC1 通道被配置为输入, IC1 映射在 TI2 上 11: CC1 通道被配置为输入, IC1 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC1S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC1E = 0) 才是可写的。

输入捕获模式:

Bit	Field	Type	Reset	Description
15: 12	IC2F	rw	0x00	输入捕获 2 滤波器 (Input capture 2 filter)
11: 10	IC2PSC	rw	0x00	输入/捕获 2 预分频器 (Input capture 2 prescaler)

Bit	Field	Type	Reset	Description
9: 8	CC2S	rw	0x00	捕获/比较 2 选择 (Capture/Compare 2 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC2 通道被配置为输出 01: CC2 通道被配置为输入, IC2 映射在 TI2 上 10: CC2 通道被配置为输入, IC2 映射在 TI1 上 11: CC2 通道被配置为输入, IC2 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC2S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC2E = 0) 才是可写的。
7: 4	IC1F	rw	0x00	输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变: 0000: 无滤波器, 以 fDTS 采样 1000: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$, N = 6 0001: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 2 1001: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$, N = 8 0010: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 4 1010: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 5 0011: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 8 1011: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 6 0100: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$, N = 6 1100: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 8 0101: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$, N = 8 1101: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 5 0110: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$, N = 6 1110: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 6 0111: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$, N = 8 1111: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 8
3: 2	IC1PSC	rw	0x00	输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。 当 CC1E = 0(TIMx_CCER 寄存器中) 时, 预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获

Bit	Field	Type	Reset	Description
1: 0	CC1S	rw	0x00	捕获/比较 1 选择 (Capture/compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出 01: CC1 通道被配置为输入, IC1 映射在 TI1 上 10: CC1 通道被配置为输入, IC1 映射在 TI2 上 11: CC1 通道被配置为输入, IC1 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC1S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC1E = 0) 才是可写的。

10.4.8 捕获/比较模式寄存器 2(TIMx_CCMR2)

偏移地址: 0x1C

复位值: 0x0000

参看以上 CCMR1 寄存器的描述

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OC4M			OC4PE	OC4FE	CC4S		OC3CE	OC3M			OC3PE	OC3FE	CC3S	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

输出比较模式

Bit	Field	Type	Reset	Description
15	Reserved			保留, 读为 0
14: 12	OC4M	rw	0x00	输出比较 4 模式 (Output compare 4 mode)
11	OC4PE	rw	0x00	输出比较 4 预装载使能 (Output compare 4 preload enable)
10	OC4FE	rw	0x00	输出比较 4 快速使能 (Output compare 4 fast enable)
9: 8	CC4S	rw	0x00	捕获/比较 4 选择 (Capture/Compare 4 selection) 该 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC4 通道被配置为输出 01: CC4 通道被配置为输入, IC4 映射在 TI4 上 10: CC4 通道被配置为输入, IC4 映射在 TI3 上 11: CC4 通道被配置为输入, IC4 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC4S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC4E = 0) 才是可写的。
7	OC3CE	rw	0x00	输出比较 3 清 '0' 使能 (Output compare 3 clear enable)
6: 4	OC3M	rw	0x00	输出比较 3 模式 (Output compare 3 mode)

Bit	Field	Type	Reset	Description
3	OC3PE	rw	0x00	输出比较 3 预装载使能 (Output compare 3 preload enable)
2	OC3FE	rw	0x00	输出比较 3 快速使能 (Output compare 3 fast enable)
1: 0	CC3S	rw	0x00	捕获/比较 3 选择 (Capture/Compare 3 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出 01: CC3 通道被配置为输入, IC3 映射在 TI3 上 10: CC3 通道被配置为输入, IC3 映射在 TI4 上 11: CC3 通道被配置为输入, IC3 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC3S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC3E = 0) 才是可写的。

输入捕获模式

Bit	Field	Type	Reset	Description
15: 8	Reserved			保留, 读为 0
7: 4	IC3F	rw	0x00	输入捕获 3 滤波器 (Input capture 3 filter)
3: 2	IC3PSC	rw	0x00	输入/捕获 3 预分频器 (Input capture 3 prescaler)
1: 0	CC3S	rw	0x00	捕获/比较 3 选择 (Capture/compare 3 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC3 通道被配置为输出 01: CC3 通道被配置为输入, IC3 映射在 TI3 上 10: CC3 通道被配置为输入, IC3 映射在 TI4 上 11: CC3 通道被配置为输入, IC3 映射在 TRC 上, 此模式仅工作在内部触发器输入被选中时 (由 TIMx_SMCR 寄存器的 TS 位选择) 注: CC3S 仅在通道关闭时 (TIMx_CCER 寄存器的 CC3E = 0) 才是可写的。

10.4.9 捕获/比较使能寄存器 (TIMx_CCER)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4 NP	Res.	CC4P	CC4E	CC3 NP	Res.	CC3P	CC3E	CC2 NP	Res.	CC2P	CC2E	CC1 NP	Res.	CC1P	CC1E
rw		rw	rw	rw	rw	rw	rw	rw		rw	rw	rw		rw	rw

Bit	Field	Type	Reset	Description
15	CC4NP	rw	0x00	输入/捕获 4 互补输出极性 (Capture/Compare 4 complementary output polarity) 参考 CC1NP 的描述。
14	Reserved			保留, 始终读为 0
13	CC4P	rw	0x00	输入/捕获 4 输出极性 (Capture/Compare 4 output polarity) 参考 CC1P 的描述。
12	CC4E	rw	0x00	输入/捕获 4 输出使能 (Capture/Compare 4 output enable) 参考 CC1E 的描述。
11	CC3NP	rw	0x00	输入/捕获 3 互补输出极性 (Capture/Compare 4 complementary output polarity) 参考 CC1NP 的描述。
10	Reserved			保留, 始终读为 0
9	CC3P	rw	0x00	输入/捕获 3 输出极性 (Capture/Compare 3 output polarity) 参考 CC1P 的描述。
8	CC3E	rw	0x00	输入/捕获 3 输出使能 (Capture/Compare 3 output enable) 参考 CC1E 的描述。
7	CC2NP	rw	0x00	输入/捕获 2 互补输出极性 (Capture/Compare 2 complementary output polarity) 参考 CC1NP 的描述。
6	Reserved			保留, 始终读为 0
5	CC2P	rw	0x00	输入/捕获 2 输出极性 (Capture/Compare 2 output polarity) 参考 CC1P 的描述。
4	CC2E	rw	0x00	输入/捕获 2 输出使能 (Capture/Compare 2 output enable) 参考 CC1E 的描述。
3	CC1NP	rw	0x00	输入/捕获 1 互补输出极性 (Capture/Compare 1 complementary output polarity) 0: OC1N 高电平有效 1: OC1N 低电平有效 注: 一旦 LOCK 级别 (TIMx_BDTR 寄存器中的 LOCK 位) 设为 3 或 2 且 CC1S = 00(通道配置为输出) 则该位不能被修改。
2	Reserved			保留, 始终读为 0

Bit	Field	Type	Reset	Description
1	CC1P	rw	0x00	输入/捕获 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出： 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入： 该位选择是 IC1 还是 IC1 的反相信号作为触发或捕获信号。 0: 不反相: 捕获发生在 IC1 的上升沿; 当用作外部触发器时, IC1 不反相 1: 反相: 捕获发生在 IC1 的下降沿; 当用作外部触发器时, IC1 反相 注: 当 LOCK 级别 (TIMx_BDTR 寄存器中的 LCCK 位) 设为 3 或 2 时, 该位不能被修改。
0	CC1E	rw	0x00	输入/捕获 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出： 0: 关闭 - OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值 1: 开启 - OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值 CC1 通道配置为输入： 该位决定了计数器的值是否能捕获入 TIMx_CCR1 寄存器。 0: 捕获禁止 1: 捕获使能

表 169. 标准 Oc_x 通道的输出控制位

CC _x E 位	OC _x 输出状态
0	禁止输出 (OC _x = 0, OC _x _EN = 0)
1	OC _x = OC _x REF + 极性, OC _x _EN = 1

注: 管脚连接到标准的 OC_x 通道的外部 I/O 管脚的状态, 取决于 OC_x 通道状态和 GPIO 以及 AFIO 寄存器。

10.4.10 计数器 (TIMx_CNT)

偏移地址: 0x24

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CNT	rw	0x0000	计数器的值 (Counter value)

10.4.11 预分频器 (TIMx_PSC)

偏移地址: 0x28

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	PSC	rw	0x0000	预分频器的值 (Prescaler value) 计数器的时钟频率 (CK_CNT) 等于 $f_{CK_PSC} / (PSC + 1)$。 PSC 包含了每次当更新事件产生时, 装入当前预分频器寄存器的值。更新事件包括计数器被 TIM_EGR 的 UG 位清 '0' 或被工作在复位模式的从控制器清 '0'。

10.4.12 自动装载寄存器 (TIMx_ARR)

偏移地址: 0x2C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	ARR	rw	0x0000	自动重装载的值 (Prescaler value) ARR 包含了将要装载入实际的自动重装载寄存器的数值。 详细参考小节 10.3.1: 有关 ARR 的更新和动作。 当自动重装载的值为空时, 计数器不工作。

10.4.13 捕获/比较寄存器 1(TIMx_CCR1)

偏移地址: 0x34

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR1	rw	0x0000	捕获/比较 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出： CCR1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。 如果在 TIMx_CCMR1 寄存器 (OC1PE 位) 中未选择预装载功能，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入： CCR1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。

10.4.14 捕获/比较寄存器 2(TIMx_CCR2)

偏移地址：0x38

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR2	rw	0x0000	捕获/比较 2 的值 (Capture/Compare 2 value) 若 CC2 通道配置为输出： CCR2 包含了装入当前捕获/比较 2 寄存器的值 (预装载值)。 如果在 TIMx_CCMR2 寄存器 (OC2PE 位) 中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 2 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC2 端口上产生输出信号。 若 CC2 通道配置为输入： CCR2 包含了由上一次输入捕获 2 事件 (IC2) 传输的计数器值。

10.4.15 捕获/比较寄存器 3(TIMx_CCR3)

偏移地址：0x3C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR3	rw	0x0000	捕获/比较 3 的值 (Capture/Compare 3 value) 若 CC3 通道配置为输出： CCR3 包含了装入当前捕获/比较 3 寄存器的值 (预装载值)。 如果在 TIMx_CCMR3 寄存器 (OC3PE 位) 中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 3 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC3 端口上产生输出信号。若 CC3 通道配置为输入： CCR3 包含了由上一次输入捕获 3 事件 (IC3) 传输的计数器值。

10.4.16 捕获/比较寄存器 4(TIMx_CCR4)

偏移地址：0x40

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR4	rw	0x0000	捕获/比较 4 的值 (Capture/Compare 4 value) 若 CC4 通道配置为输出： CCR4 包含了装入当前捕获/比较 4 寄存器的值 (预装载值)。 如果在 TIMx_CCMR4 寄存器 (OC4PE 位) 中未选择预装载特性，写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时，此预装载值才传输至当前捕获/比较 4 寄存器中。当前捕获/比较寄存器参与同计数器 TIMx_CNT 的比较，并在 OC4 端口上产生输出信号。 若 CC4 通道配置为输入： CCR4 包含了由上一次输入捕获 4 事件 (IC4) 传输的计数器值。

10.4.17 输入选项寄存器 (TIM3_OR)

偏移地址：0x50

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TI4_RMP		Reserved				ETR_RMP	
								rw						rw	

Bit	Field	Type	Reset	Description
15: 2	Reserved			保留，必须保持复位值。
1: 0	ETR_RMP			ETR 复用 00: 保留 01: LSI 时钟输入 10: 保留 11: HSE_CLK_DIV_128 时钟输入

11

基本定时器 (TIM14)

基本定时器 (TIM14)

11.1 TIM14 简介

基本定时器 TIM14 由一个 16 位的自动装载计数器组成，它由一个可编程的预分频器驱动。它适合多种用途，包含测量输入信号的脉冲宽度 (输入捕获)，或者产生输出波形 (输出比较和 PWM)。

使用定时器预分频器和 RCC 时钟控制预分频器，可以实现脉冲宽度和波形周期从几个微秒到几个毫秒的调节。

基本定时器 TIM14 是完全独立的，不共享任何资源。

11.2 TIM14 主要特征

- 16 位自动装载计数器
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1 ~ 65536 之间的任意数值
- 独立通道
 - 输入捕获
 - 输出比较
 - PWM 生成 (边缘对齐模式)
- 如下事件发生时产生中断
 - 更新：计数器溢出，计数器初始化 (通过软件)
 - 输入捕获
 - 输出比较

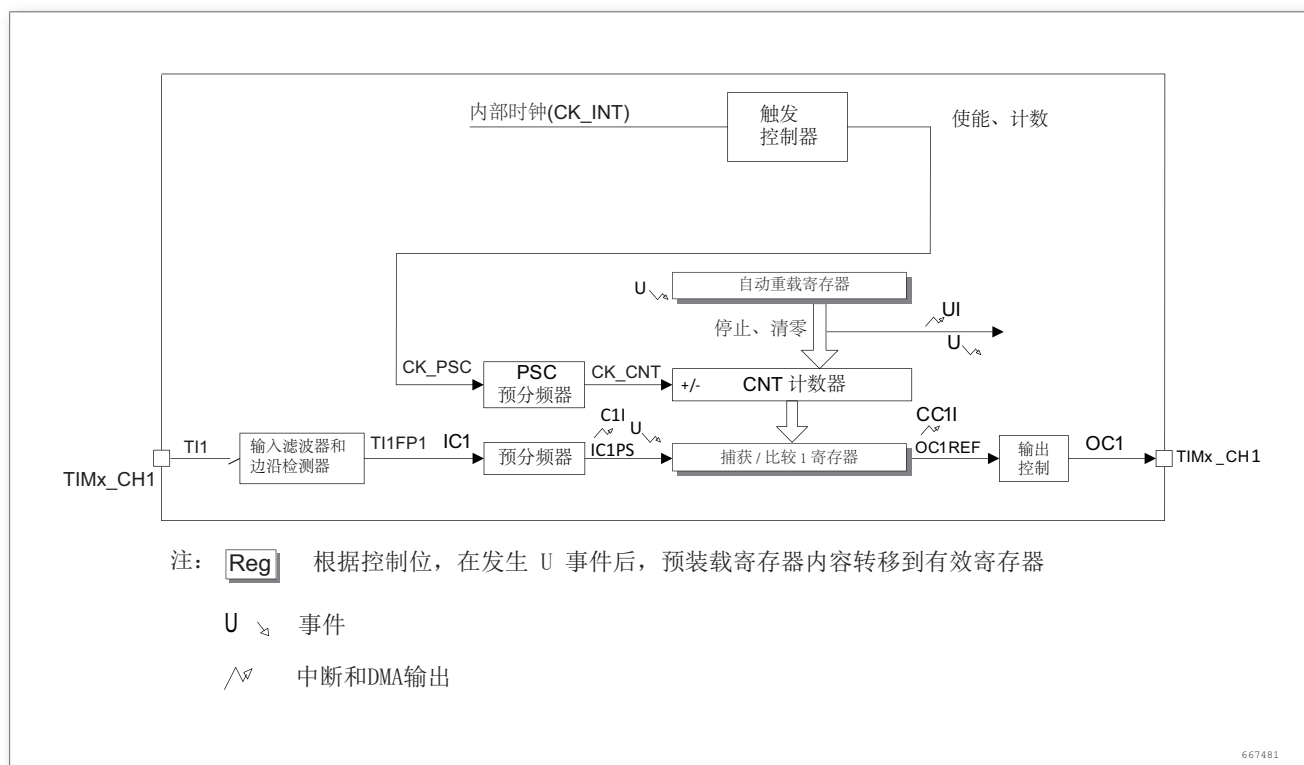


图 115. 基本定时器框图

11.3 TIM14 功能描述

11.3.1 时基单元

可编程基本定时器的主要部分是一个 16 位计数器和与其相关的自动装载寄存器。这个计数器可以向上计数。此计数器时钟由预分频器分频得到。计数器、自动装载寄存器和预分频器寄存器可以由软件读写, 在计数器运行时仍可以读写, 时基单元包含:

- 计数器寄存器 (TIM14_CNT)
- 预分频器寄存器 (TIM14_PSC)
- 自动装载寄存器 (TIM14_ARR)

自动装载寄存器是预先装载的, 写或读自动重载寄存器将访问预装载寄存器。根据在 TIM14_CR1 寄存器中的自动装载预装载使能位 (ARPE) 的设置, 预装载寄存器的内容被立即或在每次的更新事件 UEV 时传送到影子寄存器。当计数器达到溢出条件并当 TIM14_CR1 寄存器中的 UDIS 位等于 0 时, 产生更新事件。更新事件也可以由软件产生。随后会详细描述每一种配置下更新事件的产生。

计数器由预分频器的时钟输出 CK_CNT 驱动, 仅当设置了计数器 TIM14_CR1 寄存器中的计数器使能位 (CEN) 时, CK_CNT 才有效。(有关计数器使能的细节, 请参见控制器的从模式描述)。

注: 真正的计数器使能信号 CNT_EN 是在 CEN 的一个时钟周期后被设置。

预分频器描述

预分频器可以将计数器的时钟频率按 1 ~ 65536 之间的任意值分频。它是基于一个 (在 TIM14_PSC 寄存器中的) 16 位寄存器控制的 16 位计数器。这个控制寄存器带有缓冲器,

它能够在工作时被改变。新的预分频器的参数在下一次更新事件到来时被采用。

下面几张图分别给出了在预分频器运行时，更改计数器参数的例子。

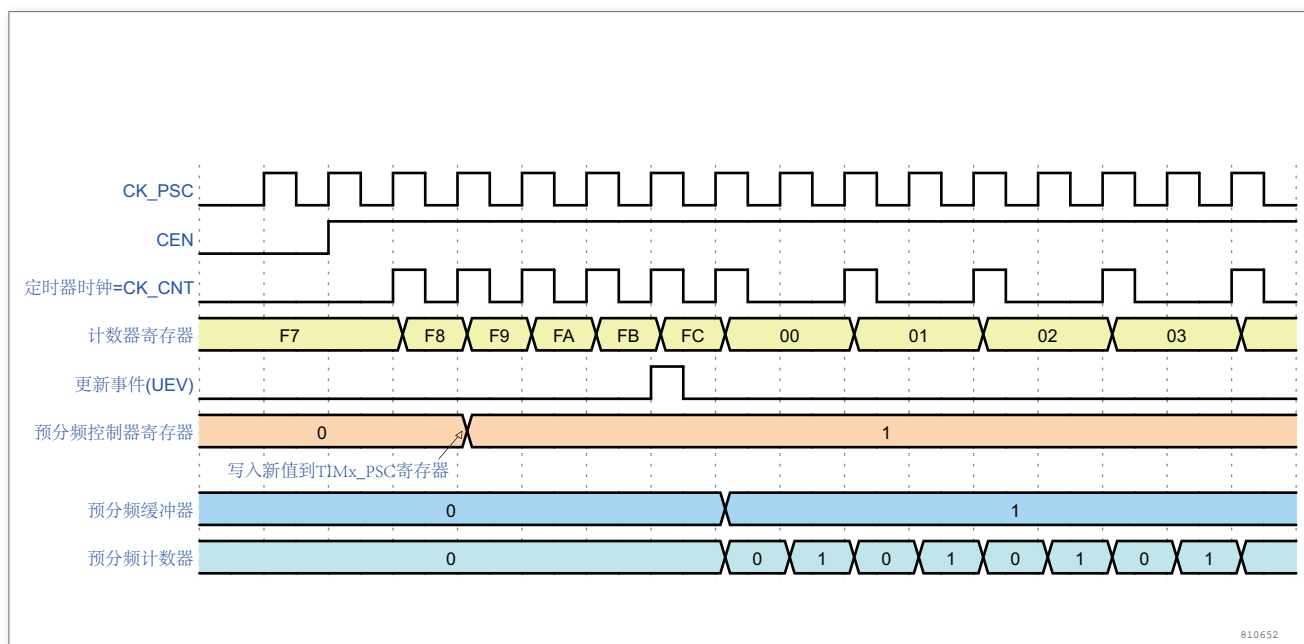


图 116. 当预分频器的参数从 1 变到 2 时，计数器的时序图

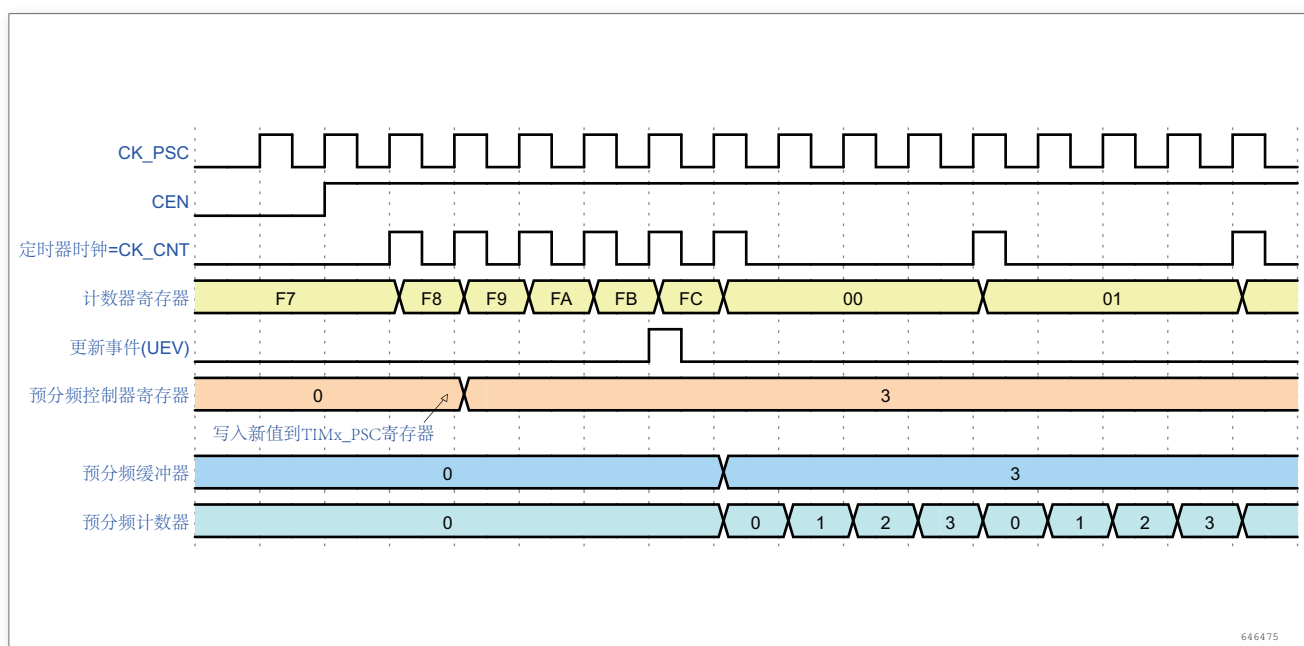


图 117. 当预分频器的参数从 1 变到 4 时，计数器的时序图

11.3.2 计数模式

向上计数模式

在向上计数模式中，计数器从 0 计数到自动加载值 (TIM14_ARR 计数器的内容)，然后重新从 0 开始计数并且产生一个计数器溢出事件。

在 TIM14_EGR 寄存器中设置 UG 位也同样可以产生一个更新事件。

设置 TIM14_CR1 寄存器中的 UDIS 位，可以禁止更新事件；这样可以避免在向预装载寄

寄存器中写入新值时更新影子寄存器。在 **UDIS** 位被清 0 之前，将不产生更新事件。但是在应该产生更新事件时，计数器仍会被清 0，同时预分频器的计数也被清 0(但预分频器的数值不变)。此外，如果设置了 **TIM14_CR1** 寄存器中的 **URS** 位(选择更新请求)，设置 **UG** 位将产生一个更新事件 **UEV**，但硬件不设置 **UIF** 标志(即不产生中断): 这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

当发生一个更新事件时，所有的寄存器都被更新，硬件同时(依据 **URS** 位)设置更新标志位(**TIM14_SR** 寄存器中的 **UIF** 位)。

- 自动装载影子寄存器被重新置入预装载寄存器的值(**TIM14_ARR**)
- 预分频器的缓冲区被置入预装载寄存器的值(**TIM14_PSC** 寄存器的内容)

下图给出一些例子，当 **TIM14_ARR = 0x36** 时计数器在不同时钟频率下的动作：

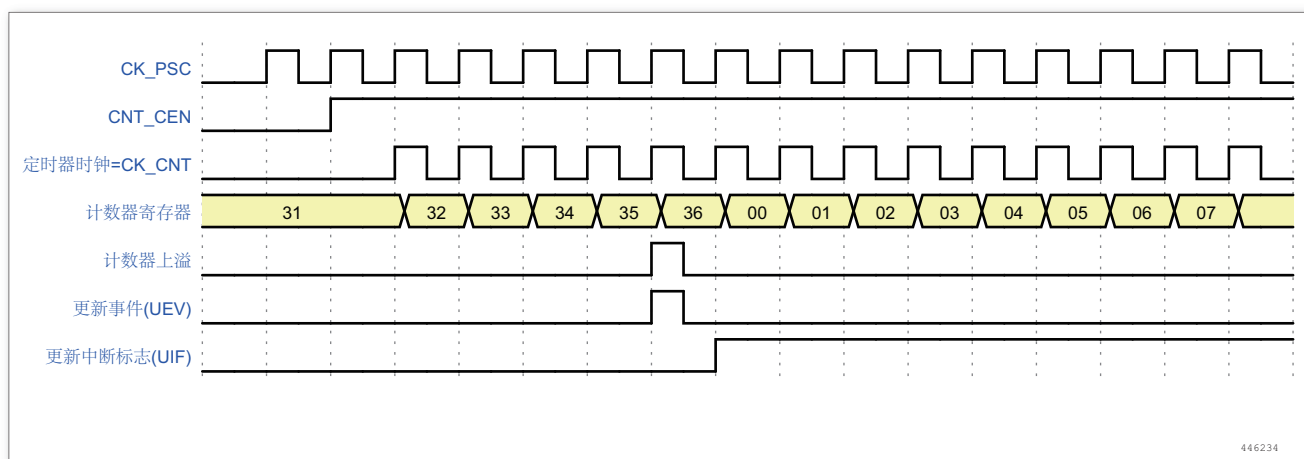


图 118. 计数器时序图，内部时钟分频因子为 1

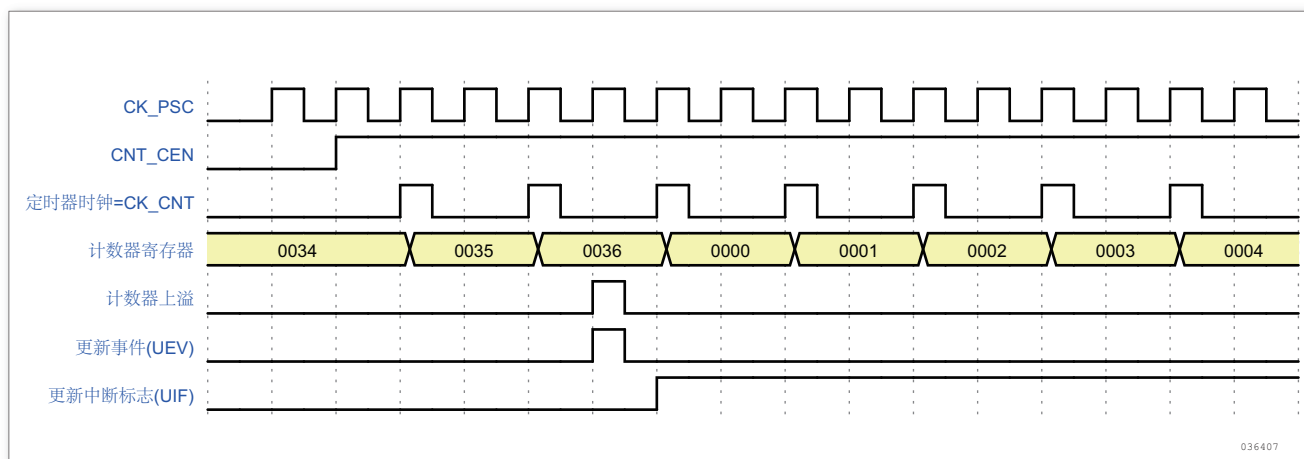


图 119. 计数器时序图，内部时钟分频因子为 2

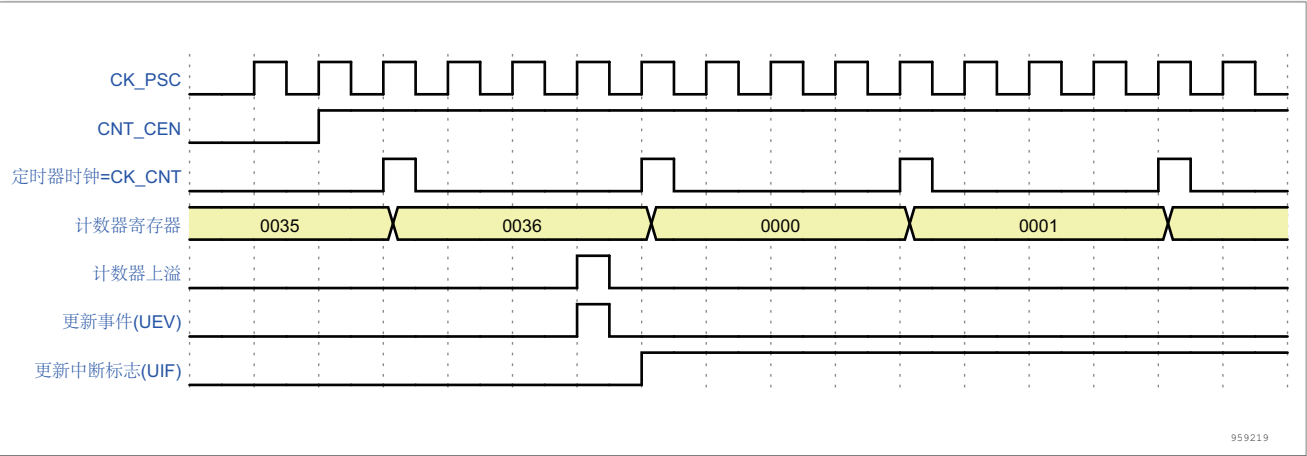


图 120. 计数器时序图，内部时钟分频因子为 4

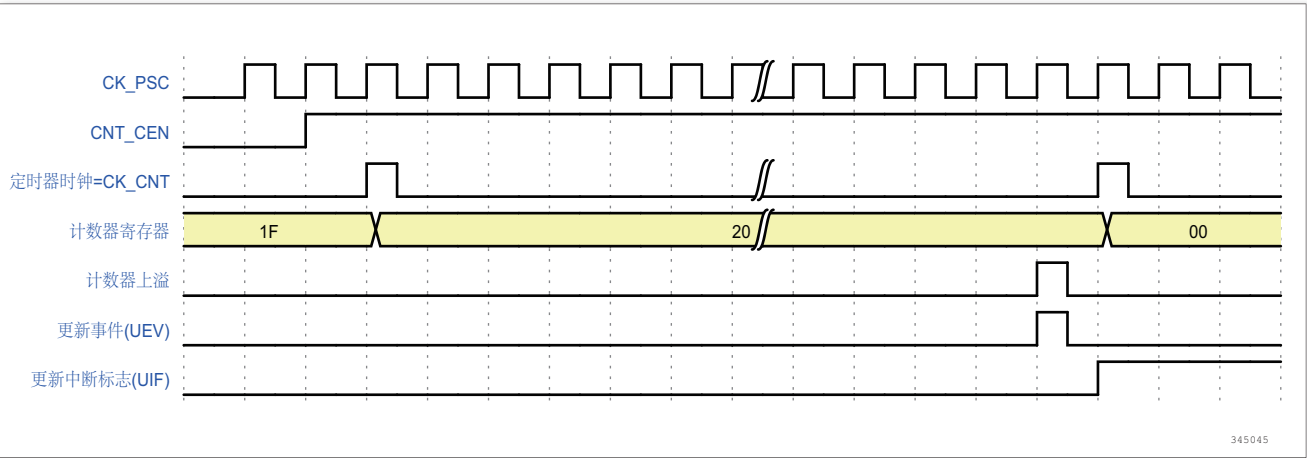


图 121. 计数器时序图，内部时钟分频因子为 N

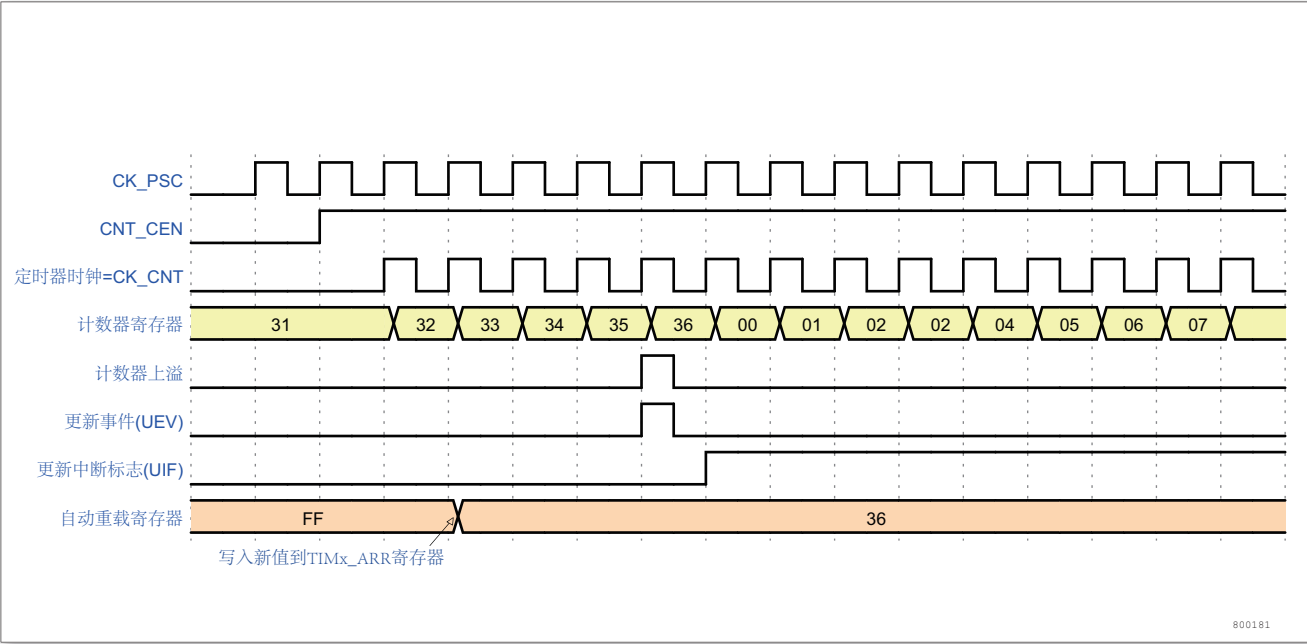


图 122. 计数器时序图，当 ARPE = 0 时的更新事件 (TIM14_ARR 没有预装载)

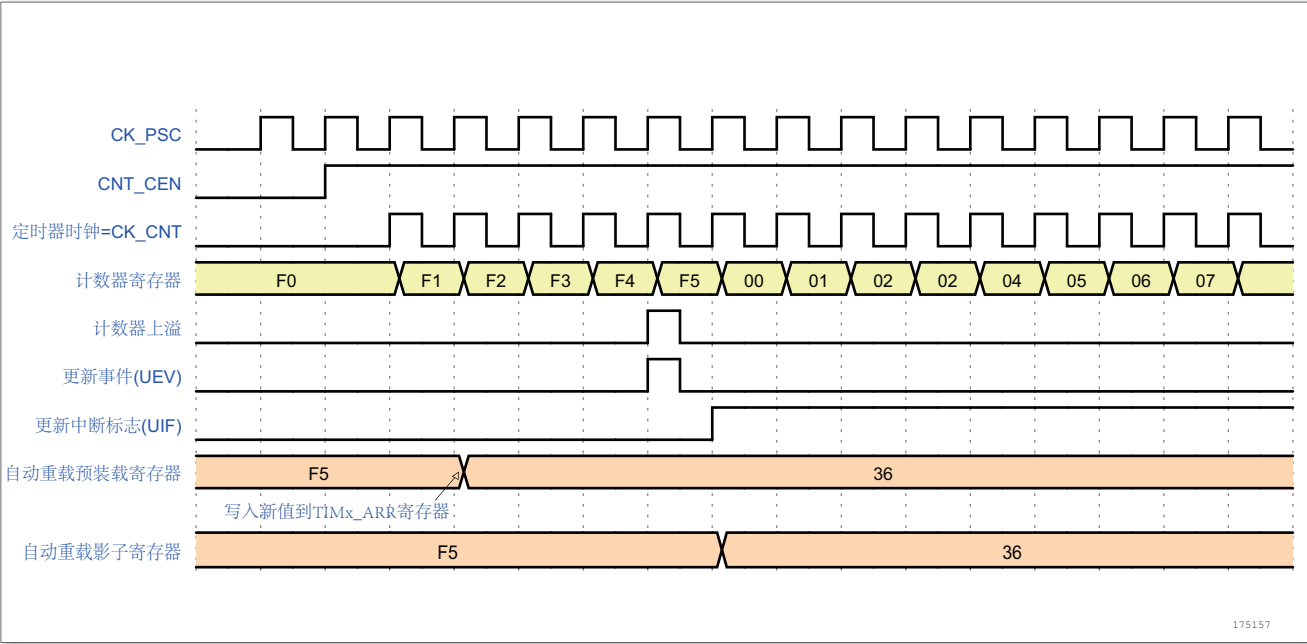


图 123. 计数器时序图，当 ARPE = 1 时的更新事件 (预装载了 TIM14_ARR)

11.3.3 时钟源

计数器时钟由内部时钟 (CK_INT) 提供。

CEN(TIM14_CR1 寄存器) 和 UG 位 (TIM14_EGR 寄存器) 是事实上的控制位，并且只能被软件修改 (除了 UG 位仍被自动清除)。只要 CEN 位被写成 ‘1’，预分频器的时钟就由内部时钟 CK_INT 提供。

下图显示了控制电路和向上计数器在一般模式下，不带预分频器时的操作。

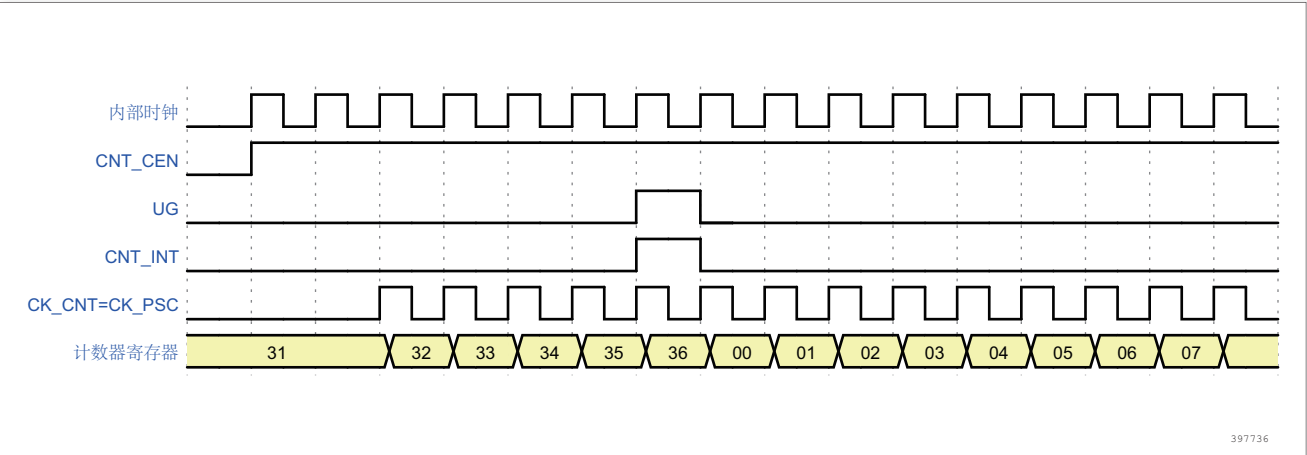


图 124. 一般模式下的控制电路，内部时钟分频因子为 1

11.3.4 捕获/比较通道

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器 (包含影子寄存器)，包括捕获的输入部分 (数字滤波、多路复用和预分频器)，和输出部分 (比较器和输出控制)。

下面几张图是一个捕获/比较通道概览。输入部分对相应的 Tl_x 输入信号采样，并产生一个滤波后的信号 Tl_xF。然后，一个带极性选择的边缘检测器产生一个信号 (Tl_xFP_x)，它

可以作为从模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器 (ICxPS)。

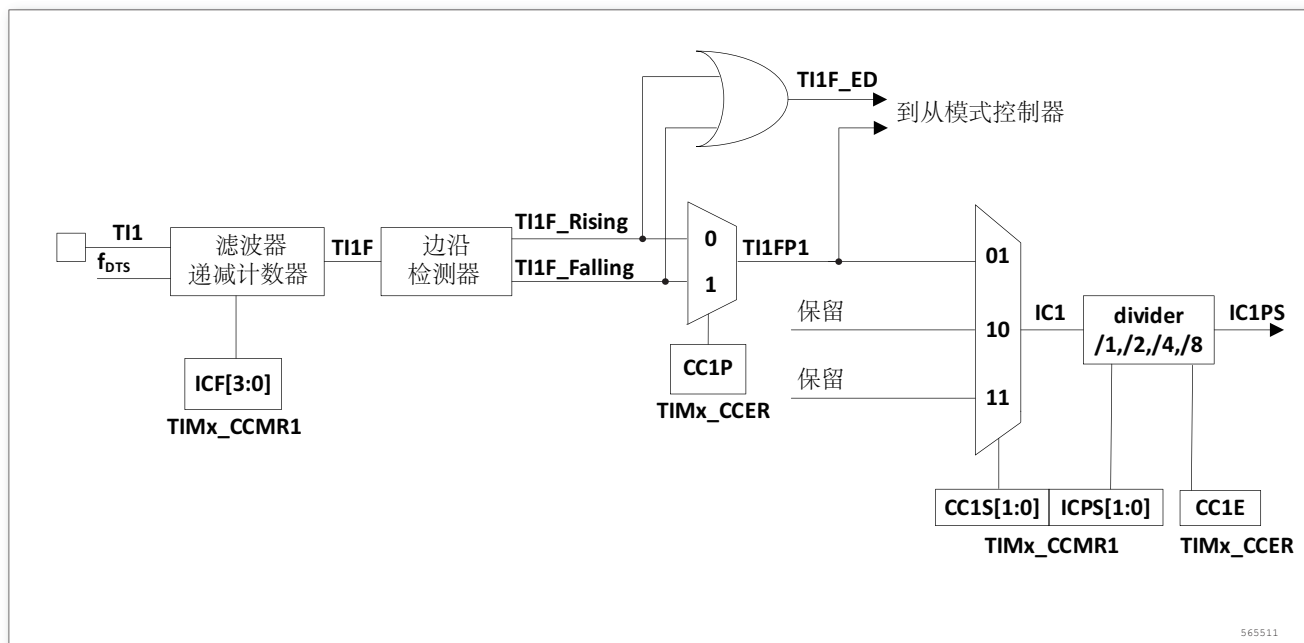


图 125. 捕获/比较通道 (如：通道 1 输入部分)

输出部分产生一个中间波形 OCxREF(高有效) 作为基准，链的末端决定最终输出信号的极性。

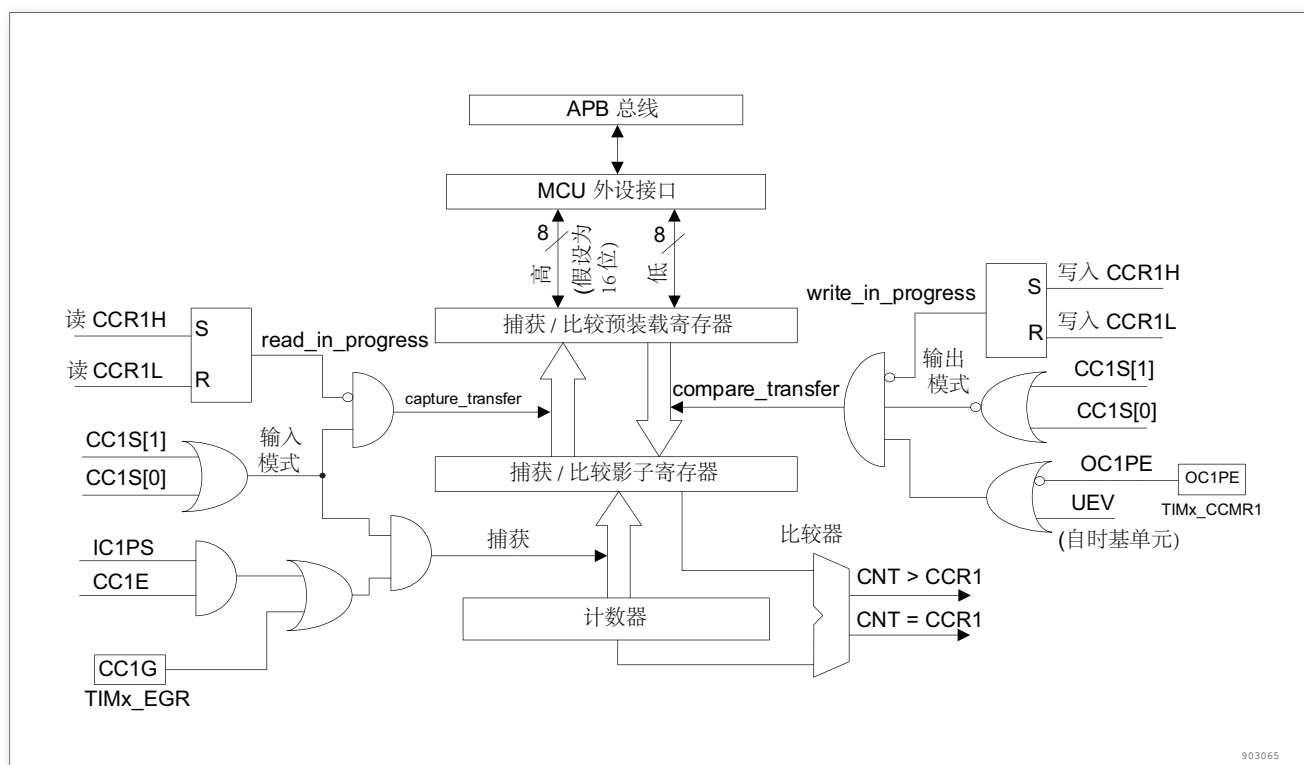


图 126. 捕获/比较通道 1 的主电路

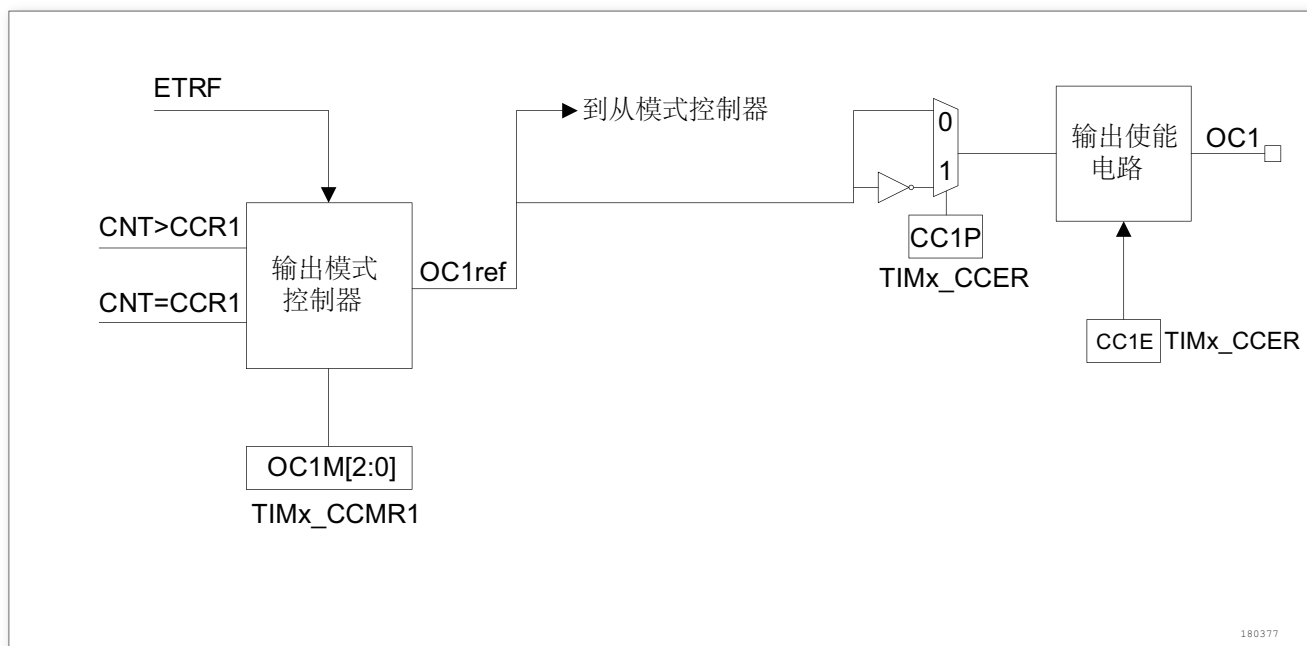


图 127. 捕获/比较通道的输出部分 (通道 1)

捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。在捕获模式下，捕获发生在影子寄存器上，然后再复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。

11.3.5 输入捕获模式

在输入捕获模式下，当检测到 ICx 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TIM14_CCRx$) 中。当捕获事件发生时，相应的 $CCxIF$ 标志 ($TIM14_SR$ 寄存器) 被置 1，如果开放了中断，则将产生中断。如果捕获事件发生时 $CCxIF$ 标志已经为高，那么重复捕获标志 $CCxOF$ ($TIM14_SR$ 寄存器) 被置 1。写 $CCxIF = 0$ 可清除 $CCxIF$ ，或读取存储在 $TIM14_CCRx$ 寄存器中的捕获数据也可清除 $CCxIF$ 。写 $CCxOF = 0$ 可清除 $CCxOF$ 。以下例子说明如何在 $TI1$ 输入的上升沿时捕获计数器的值到 $TIM14_CCR1$ 寄存器中，步骤如下：

1. 选择有效输入端： $TIM14_CCR1$ 必须连接到 $TI1$ 输入，所以写入 $TIM14_CCMR1$ 寄存器中的 $CC1S = 01$ ，当 $CC1S$ 不为 00 时，通道被配置为输入，并且 $TIM14_CCR1$ 寄存器变为只读。
2. 根据输入信号的特点，配置输入滤波器为所需的带宽 (即输入为 TIx 时，输入滤波器控制位是 $TIM14_CCMRx$ 寄存器中的 $ICx\bar{F}$ 位)。假设输入信号在最多 5 个时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期。因此我们可以 (以 f_{DTS} 频率) 连续采样 8 次，以确认在 $TI1$ 上一次真实的边沿变换，即在 $TIM14_CCMR1$ 寄存器中写入 $IC1\bar{F} = 0011$ 。
3. 选择 $TI1$ 通道的有效转换边沿，在 $TIM14_CCER$ 寄存器中写入 $CC1P = 0$ 和 $CC1NP = 0$ (上升沿)。
4. 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止 (写 $TIM14_CCMR1$ 寄存器的 $IC1PS = 00$)。
5. 设置 $TIM14_CCER$ 寄存器的 $CC1E = 1$ ，允许捕获计数器的值到捕获寄存器中。

6. 如果需要, 通过设置 TIM14_DIER 寄存器中的 CC1IE 位允许相关中断请求。

当一个输入捕获时:

- 产生有效的电平转换时, 计数器的值被传送到 TIM14_CCR1 寄存器。CC1IF 标志被设置 (中断标志)。当发生至少 2 个连续的捕获时, 而 CC1IF 未曾被清除, CC1OF 也被置 1。
- 如设置了 CC1IE 位, 则会产生一个中断。

为了处理捕获溢出, 建议在读出捕获溢出标志之前读取数据, 这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的捕获溢出信息。

注: 设置 TIM14_EGR 寄存器中相应的 CCxG 位, 可以通过软件产生输入捕获中断请求。

11.3.6 强制输出模式

在输出模式 (TIM14_CCMRx 寄存器中 CCxS = 00) 下, 输出比较信号 (OCxREF 和相应的 OCx) 能够直接由软件强置为有效或无效状态, 而不依赖于输出比较寄存器和计数器间的比较结果。

置 TIM14_CCMRx 寄存器中相应的 OCxM = 101, 即可强置输出比较信号 (OCxREF/OCx) 为有效状态。这样 OCxREF 被强置为高电平 (OCxREF 始终为高电平有效), 同时 OCx 得到 CCxP 极性位相反的值。例如: CCxP = 0 (OCx 高电平有效), 则 OCx 被强置为高电平。置 TIM14_CCMRx 寄存器中的 OCxM = 100, 可强置 OCxREF 信号为低。该模式下, 在 TIM14_CCRx 影子寄存器和计数器之间的比较仍然在进行, 相应的标志也会被修改。因此仍然会产生相应的中断请求。这将会在下面的输出比较模式一节中介绍。

11.3.7 输出比较模式

此功能是用来控制一个输出波形或者指示何时一段给定的时间已经到时。

当计数器与捕获/比较寄存器的内容相同时, 输出比较功能做如下操作:

1. 将输出比较模式 (TIM14_CCMRx 寄存器中的 OCxM 位) 和输出极性 (TIM14_CCER 寄存器中的 CCxP 位) 定义的值输出到对应的管脚上。在比较匹配时, 输出管脚可以保持它的电平 (OCxM = 000)、被设置成有效电平 (OCxM = 001)、被设置成无有效电平 (OCxM = 010) 或进行翻转 (OCxM = 011)。
2. 设置中断状态寄存器中的标志位 (TIM14_SR 寄存器中的 CCxIF 位)。
3. 若设置了相应的中断屏蔽 (TIM14_DIER 寄存器中的 CCXIE 位), 则产生一个中断。

TIM14_CCMRx 中的 OCxPE 位选择 TIM14_CCRx 寄存器是否需要使用预装载寄存器。在输出比较模式下, 更新事件 UEV 对 OCxREF 和 OCx 输出没有影响。同步的精度可以达到计数器的一个计数周期。输出比较模式 (在单脉冲模式下) 也能用来输出一个单脉冲。

输出比较模式的配置步骤:

- 选择计数器时钟 (内部, 外部, 预分频器)
- 将相应的数据写入 TIM14_ARR 和 TIM14_CCRx 寄存器中
- 如果要产生一个中断请求, 设置 CCxIE 位
- 选择输出模式,
 - 写 OCxM = '011', 当计数器 CNT 与 CCRx 匹配时翻转 OCx 的输出引脚
 - 写 OCxPE = '0', 禁止预装载
 - 写 CCxP = '0', 选择高电平有效
 - 写 CCxE = '1', 允许输出

- 设置 TIM14_CR1 寄存器的 CEN 位启动计数器

TIM14_CCRx 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器 (OCxPE = '0'，否则 TIM14_CCRx 影子寄存器只能在发生下一次更新事件时被更新)。下图给出了一个例子。

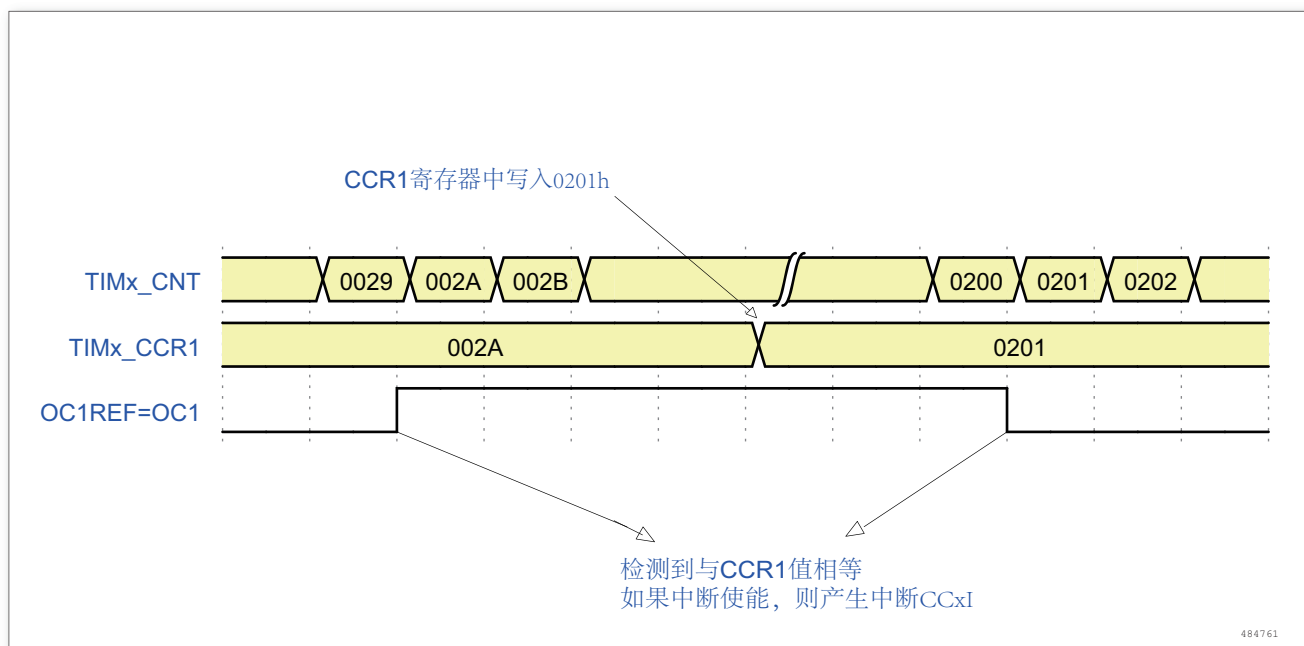


图 128. 输出比较模式，翻转 OC1

11.3.8 PWM 模式

脉冲宽度调制模式可以产生一个由 TIM14_ARR 寄存器确定频率、由 TIM14_CCRx 寄存器确定占空比的信号。

在 TIM14_CCMRx 寄存器中的 OCxM 位写入 '110' (PWM 模式 1) 或 '111' (PWM 模式 2)，能够独立地设置每个 OCx 输出通道产生一路 PWM。必须设置 TIM14_CCMRx 寄存器 OCxPE 位以使能相应的预装载寄存器，最后还要设置 TIM14_CR1 寄存器的 ARPE 位使能自动重载的预装载寄存器 (在向上计数模式中)。

仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TIM14_EGR 寄存器中的 UG 位来初始化所有的寄存器。

OCx 的极性可以通过软件在 TIM14_CCER 寄存器中的 CCxP 位设置，它可以设置为高电平有效或低电平有效。TIM14_CCER 寄存器中的 CCxE 位控制 OCx 输出使能。详见 TIM14_CCERx 寄存器的描述。

在 PWM 模式 (模式 1 或模式 2) 下，TIM14_CNT 和 TIM14_CCRx 始终在进行比较是否符合 $TIM14_CNT \leq TIM14_CCRx$ 。

因为本计数器是向上计数只能产生边沿对齐的 PWM 模式。

PWM 边沿对齐模式

下面是一个 PWM 模式 1 的例子。当 $TIM14_CNT < TIM14_CCRx$ 时 PWM 信号参考 OCxREF 为高，否则为低。如果 TIM14_CCRx 中的比较值大于自动重载值 (TIM14_ARR)，则 OCxREF 保持为 '1'。如果比较值为 0，则 OCxREF 保持为 '0'。下图为 TIM14_ARR

= 8 时边沿对齐的 PWM 波形实例。

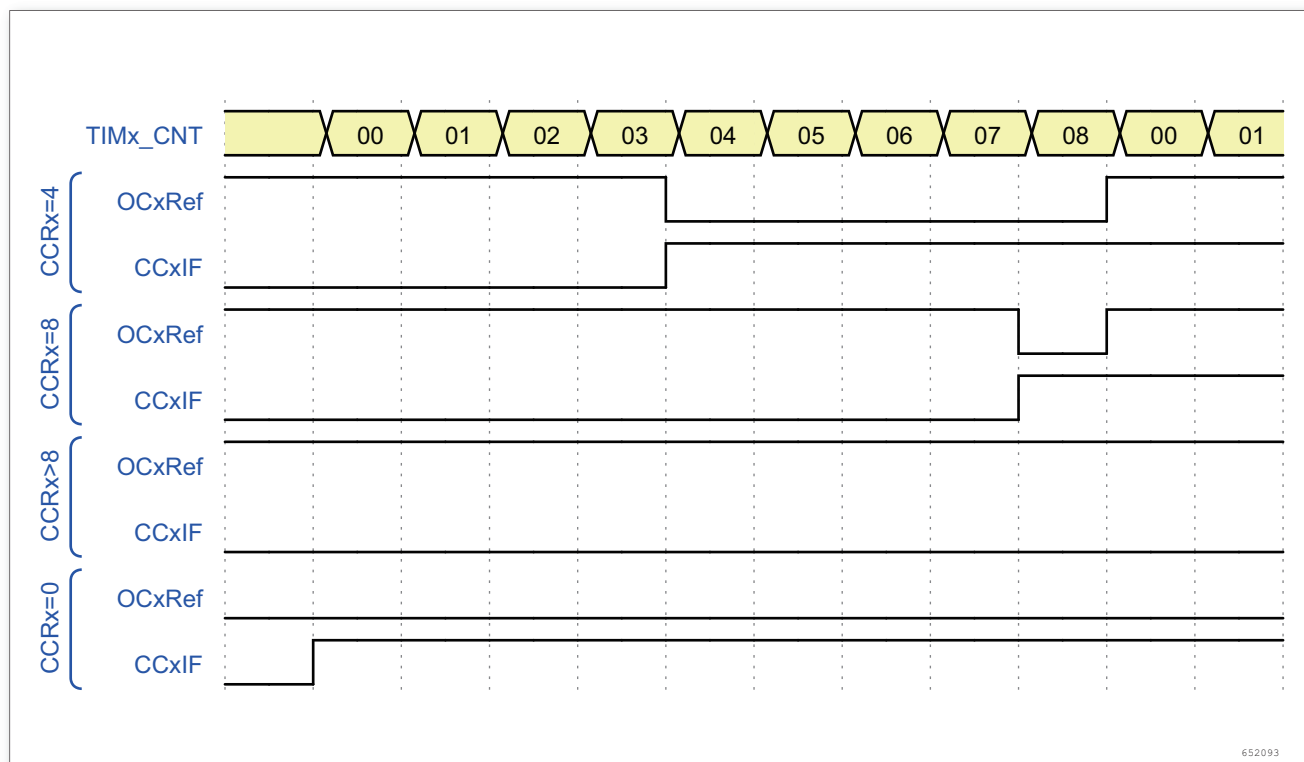


图 129. 边沿对齐的 PWM 波形 (ARR = 8)

11.3.9 调试模式

当微控制器进入调试模式 (Cortex®-M0 核停止), 根据 DBG 模块中 DBG_TIMx_STOP 的设置, TIM14 计数器或者继续正常操作, 或者停止。

11.4 TIM14 寄存器描述

表 182. TIM14 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	TIM14_CR1	控制寄存器 1	0x00000000	小节 11.4.1
0x0C	TIM14_DIER	中断使能寄存器	0x00000000	小节 11.4.2
0x10	TIM14_SR	状态寄存器	0x00000000	小节 11.4.3
0x14	TIM14_EGR	事件产生寄存器	0x00000000	小节 11.4.4
0x18	TIM14_CCMR1	捕获/比较模式寄存器 1	0x00000000	小节 11.4.5
0x20	TIM14_CCER	捕获/比较使能寄存器	0x00000000	小节 11.4.6
0x24	TIM14_CNT	计数器	0x00000000	小节 11.4.7
0x28	TIM14_PSC	预分频器	0x00000000	小节 11.4.8
0x2C	TIM14_ARR	自动装载寄存器	0x00000000	小节 11.4.9
0x34	TIM14_CCR1	捕获/比较寄存器 1	0x00000000	小节 11.4.10
0x44	TIM14_BDTR	刹车和死区寄存器	0x00000000	小节 11.4.11

11.4.1 控制寄存器 1(TIM14_CR1)

偏移地址: 0x00

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CKD		ARPE	Reserved				URS	UDIS	CEN
						rw	rw	rw					rw	rw	rw

Bit	Field	Type	Reset	Description
15: 10	Reserved			保留, 读为 0
9: 8	CKD	rw	0x00	时钟分频因子 (Clock division) 这 2 位定义在定时器时钟 (CK_INT) 频率、死区时间和由死区发生器与数字滤波器 (ETR, TIX) 所用的采样频率之间的分频比例。 00: $t_{DTS} = t_{CK_INT}$ 01: $t_{DTS} = 2 \times t_{CK_INT}$ 10: $t_{DTS} = 4 \times t_{CK_INT}$ 11: 保留, 不要使用这个配置
7	ARPE	rw	0x00	自动重载预装载允许位 (Auto-reload preload enable) 0: TIM14_ARR 寄存器没有缓冲 1: TIM14_ARR 寄存器被装载缓冲器
6: 3	Reserved			保留, 读为 0
2	URS	rw	0x00	更新请求源 (Update request source) 软件通过该位选择 UEV 事件的源。 0: 如果使能了 UEV 则下述任一事件产生 UEV: - 计数器溢出 - 设置 UG 位 - 从模式控制器产生的更新 1: 如果使能了 UEV 只有计数器溢出产生 UEV 事件
1	UDIS	rw	0x00	禁止更新 (Update disable) 软件通过该位允许/禁止 UEV 事件的产生 0: 允许 UEV。更新 (UEV) 事件由下述任一事件产生: - 计数器溢出 - 设置 UG 位 随后更新影子寄存器的值。1: 禁止 UEV。不产生更新事件, 影子寄存器 (ARR、PSC、CCR_x) 保持它们的值。如果设置了 UG 位则计数器和预分频器被重新初始化。
0	CEN	rw	0x00	使能计数器 (Counter enable) 0: 禁止计数器 1: 使能计数器。

11.4.2 中断使能寄存器 (TIM14_DIER)

偏移地址: 0x0C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CC1IE	UIE
														rw	rw

Bit	Field	Type	Reset	Description
15:2	Reserved			保留, 读为 0
1	CC1IE	rw	0x00	捕获/比较 1 中断使能 (Capture/Compare 1 interrupt enable) 0: CC1 中断禁止 1: CC1 中断允许
0	UIE	rw	0x00	更新中断使能 (Update interrupt enable) 0: 禁止更新中断 1: 允许更新中断

11.4.3 状态寄存器 (TIM14_SR)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						CC1OF	Reserved						CC1IF	UIF	
rc w0													rc w0	rc w0	

Bit	Field	Type	Reset	Description
15: 10	Reserved			保留, 读为 0
9	CC1OF	rc_w0	0x00	捕获/比较 1 重复捕获标记 (Capture/Compare 1 overcapture flag) 仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 1。写 0 可清除该位。 0: 无重复捕获产生; 1: 计数器的值被捕获到 TIM14_CCR1 寄存器时, CC1IF 的状态已经为 1。
8: 2	Reserved			保留, 读为 0

Bit	Field	Type	Reset	Description
1	CC1IF	rc_w0	0x00	捕获/比较 1 中断标记 (Capture/Compare 1 interrupt flag) 如果通道 CC1 配置为输出模式： 当计数器值与比较值匹配时该位由硬件置 ‘1’，它由软件清 ‘0’。 0: 无匹配发生 1: TIM14_CNT 的值与 TIM14_CCR1 的值匹配 当 TIM14_CCR1 的内容大于 TIM14_ARR 时，在计数器溢出时 CC1IF 位变高。 如果通道 CC1 配置为输入模式：当捕获事件发生时该位由硬件置 ‘1’，它由软件清 0 或通过读 TIM14_CCR1 清 ‘0’。 0: 无输入捕获产生 1: 计数器值已被捕获 (拷贝) 至 TIM14_CCR1(在 IC1 上检测到与所选极性相同的边沿)
0	UIF	rc_w0	0x00	更新中断标记 (Update interrupt flag) 当产生更新事件时该位由硬件置 ‘1’。它由软件清 ‘0’。 0: 无更新事件产生 1: 更新中断等待响应。当寄存器被更新时该位由硬件置 ‘1’： —若 TIM14_CR1 寄存器的 UDIS = 0，当计数溢出时； —若 TIM14_CR1 寄存器的 UDIS = 0、URS = 0，通过软件写 TIM14_EGR 寄存器的 UG 位重初始化定时器时。

11.4.4 事件产生寄存器 (TIM14_EGR)

偏移地址: 0x14

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CC1G	UG
														w	w

Bit	Field	Type	Reset	Description
15: 2	Reserved			保留, 读为 0
1	CC1G	w	0x00	产生捕获/比较 1 事件 (Capture/Compare 1 generation) 该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。 0: 无动作 1: 在通道 CC1 上产生一个捕获/比较事件： 若通道 CC1 配置为输出： 设置 CC1IF=1，若开启对应的中断则产生相应的中断。 若通道 CC1 配置为输入： 当前的计数器值被捕获至 TIM14_CCR1 寄存器，设置 CC1IF = 1，若开启对应的中断则产生相应的中断。若 CC1IF 已经为 1，则设置 CC1OF = 1。

Bit	Field	Type	Reset	Description
0	UG	w	0x00	产生更新事件 (Update generation) 该位由软件置 ‘1’，由硬件自动清 ‘0’。 0：无动作 1：重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清 ‘0’ (但是预分频系数不变)。计数器被清 ‘0’。

11.4.5 捕获/比较模式寄存器 1(TIM14_CCMR1)

偏移地址：0x18

复位值：0x0000

通道可用于输入 (捕获模式) 或输出 (比较模式)，通道的方向由相应的 CCxS 定义。该寄存器其他位的作用和输出模式下不同。OCxx 描述了通道在输出模式下的功能，ICxx 描述了通道在输出模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								Res.	OC1M		OC1PE	OC1FE	CC1S		
								IC1F				IC1PSC			
								rw	rw	rw	rw	rw	rw	rw	rw

输出比较模式：

Bit	Field	Type	Reset	Description
15:7	Reserved			保留, 读为 0

Bit	Field	Type	Reset	Description
6: 4	OC1M	rw	0x00	输出比较 1 模式 (Output compare 1 mode) 该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效, 而 OC1 的有效电平取决于 CC1P 位。 000: 冻结。输出比较寄存器 TIM14_CCR1 与计数器 TIM14_CNT 间的比较对 OC1REF 不起作用 001: 匹配时设置通道 1 为有效电平。当计数器 TIM14_CNT 的值与捕获/比较寄存器 1(TIM14_CCR1) 相同时, 强制 OC1REF 为高 010: 匹配时设置通道 1 为无效电平。当计数器 TIM14_CNT 的值与捕获/比较寄存器 1(TIM14_CCR1) 相同时, 强制 OC1REF 为低 011: 翻转。当 TIM14_CCR1=TIM14_CNT 时, 翻转 OC1REF 的电平 100: 强制为无效电平。强制 OC1REF 为低 101: 强制为有效电平。强制 OC1REF 为高 110: PWM 模式 1, 当 TIM14_CNT < TIM14_CCR1 时通道 1 为有效电平, 否则为无效电平 111: PWM 模式 2, 当 TIM14_CNT < TIM14_CCR1 时通道 1 为无效电平, 否则为有效电平。 注: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。
3	OC1PE	rw	0x00	输出比较 1 预装载使能 (Output compare 1 preload enable) 0: 禁止 TIM14_CCR1 寄存器的预装载功能, 可随时写入 TIM14_CCR1 寄存器, 并且新写入的数值立即起作用 1: 开启 TIM14_CCR1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIM14_CCR1 的预装载值在更新事件到来时被加载至当前寄存器中 注: 仅在单脉冲模式下 (TIM14_CR1 寄存器的 OPM = '1'), 可以在未确认预装载寄存器情况下使用 PWM 模式, 否则其动作不确定。
2	OC1FE	rw	0x00	输出比较 1 快速使能 (Output compare 1 fast enable) 该位用于加快 CC 输出对触发输入事件的响应。 0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期 1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。 OCFE 只在通道被配置成 PWM1 或 PWM2 模式时起作用

Bit	Field	Type	Reset	Description
1: 0	CC1S	rw	0x00	捕获/比较 1 选择 (Capture/Compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出 01: CC1 通道被配置为输入, IC1 映射在 TI1 上 10: 保留 11: 保留 注: CC1S 仅在通道关闭时 (TIM14_CCER 寄存器的 CC1E = 0) 才是可写的。

输入捕获模式:

Bit	Field	Type	Reset	Description
15:8	Reserved			保留, 读为 0
7: 4	IC1F	rw	0x00	输入捕获 1 滤波器 (Input capture 1 filter) 这几位定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产一个输出的跳变: 0000: 无滤波器, 以 fDTS 采样 1000: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$, N = 6 0001: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 2 1001: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/8$, N = 8 0010: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 4 1010: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 5 0011: 采样频率 $f_{\text{SAMPLING}} = f_{\text{CK_INT}}$, N = 8 1011: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 6 0100: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$, N = 6 1100: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/16$, N = 8 0101: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/2$, N = 8 1101: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 5 0110: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$, N = 6 1110: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 6 0111: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/4$, N = 8 1111: 采样频率 $f_{\text{SAMPLING}} = f_{\text{DTS}}/32$, N = 8
3: 2	IC1PSC	rw	0x00	输入/捕获 1 预分频器 (Input capture 1 prescaler) 这 2 位定义了 CC1 输入 (IC1) 的预分频系数。 当 CC1E = 0(TIM14_CCER 寄存器中) 时, 预分频器复位。 00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获 01: 每 2 个事件触发一次捕获 10: 每 4 个事件触发一次捕获 11: 每 8 个事件触发一次捕获

Bit	Field	Type	Reset	Description
1: 0	CC1S	rw	0x00	捕获/比较 1 选择 (Capture/compare 1 selection) 这 2 位定义通道的方向 (输入/输出), 及输入脚的选择: 00: CC1 通道被配置为输出 01: CC1 通道被配置为输入, IC1 映射在 TI1 上 10: 保留 11: 保留 注: CC1S 仅在通道关闭时 (TIM14_CCER 寄存器的 CC1E = 0) 才是可写的。

11.4.6 捕获/比较使能寄存器 (TIM14_CCER)

偏移地址: 0x20

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CC1NP	Res.	CC1P	CC1E
												rw		rw	rw

Bit	Field	Type	Reset	Description
15: 4	Reserved			保留, 读为 0
3	CC1NP	rw	0x00	捕获/比较 1 互补输出极性 (Capture/Compare 1 complementary output Polarity) 通道 CC1 配置为输出时, CC1NP 必须清除, CC1NP = 0; 通道 CC1 配置为输入时, CC1NP 与 CC1P 联合控制 TI1FP1 的极性参考 CC1P 描述
2	Reserved			保留, 读为 0
1	CC1P	rw	0x00	捕获/比较 1 输出极性 (Capture/Compare 1 output polarity) CC1 通道配置为输出: 0: OC1 高电平有效 1: OC1 低电平有效 CC1 通道配置为输入: CC1P/CC1NP 用于选择作为触发或捕获的信号 TI1FP1 和 TI2FP1 的极性, 该位 IC1 还是 IC1 的反相信号。 00: 不反相/上升沿: 捕获发生在 TIxFP1 的上升沿 (捕获模式), TIxFP1 不反相; 01: 反相/下降沿: 捕获发生在 TIxFP1 的下降沿 (捕获模式), TIxFP1 反相; 10: 保留, 不使用此配置; 11: 不反相/上升和下降沿: 捕获发生在 TIxFP1 的上升沿和下降沿 (捕获模式), TIxFP1 不反相。 注: 当 LOCK 级别设为 2 或 3(TIMx_BDTR 寄存器中的 LOCK 位) 并且 CC1S = '00' (该通道配置成输出) 时, 该位不能被修改。

Bit	Field	Type	Reset	Description
0	CC1E	rw	0x00	捕获/比较 1 输出使能 (Capture/Compare 1 output enable) CC1 通道配置为输出： 0：关闭— OC1 禁止输出 1：开启— OC1 信号输出到对应的输出引脚 CC1 通道配置为输入：该位决定了计数器的值是否能捕获入 TIM14_CCR1 寄存器。 0：捕获禁止 1：捕获使能

表 190. 标准 OCx 通道的输出控制位

CCxE 位	OCx 输出状态
0	禁止输出 (OCx = 0, OCx_EN = 0)
1	OCx = OCxREF + 极性, OCx_EN = 1

注：连接到标准 OCx 通道的外部 I/O 引脚状态，取决于 OCx 通道状态和 GPIO 寄存器。

11.4.7 计数器 (TIM14_CNT)

偏移地址：0x24

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CNT	rw	0x0000	计数器的值 (counter value)

11.4.8 预分频器 (TIM14_PSC)

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	PSC	rw	0x0000	预分频器的值 (Prescaler value) 计数器的时钟频率 (CK_CNT) 等于 $f_{CK_PSC} / (PSC + 1)$ 。 PSC 包含了每次当更新事件产生时，装入当前预分频器寄存器的值。

11.4.9 自动装载寄存器 (TIM14_ARR)

偏移地址: 0x2C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	ARR	rw	0x0000	自动重载寄存器的值 (Auto-reload value) ARR 包含了将要装载入实际的自动重载寄存器的数值。 详细参考时基单元章节: 有关 ARR 的更新和动作。 当自动重载的值为空时, 计数器不工作。

11.4.10 捕获/比较寄存器 1(TIM14_CCR1)

偏移地址: 0x34

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15: 0	CCR1	rw	0x0000	捕获/比较 1 的值 (Capture/Compare 1 value) 若 CC1 通道配置为输出: CCR1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。 如果在 TIM14_CCMR1 寄存器 (OC1PE 位) 中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器参与同计数器 TIM14_CNT 的比较, 并在 OC1 端口上产生输出信号。 若 CC1 通道配置为输入: CCR1 包含了由上一次输入捕获 1 事件 (IC1) 传输的计数器值。

11.4.11 刹车和死区寄存器 (TIM14_BDTR)

偏移地址: 0x44

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	Reserved														
rw															

Bit	Field	Type	Reset	Description
15	MOE	rw	0x00	MOE: 主输出使能 (Main output enable) 0: 禁止输出 1: 如果设置了相应的使能位 (TIM14_CCER 寄存器的 CCxE、CCxNE 位), 则开启输出 有关 OC/OCN 使能的细节, 参见小节 11.4.6, 捕获/比较使能寄存器 (TIM14_CCER)。
14: 0	Reserved			保留, 始终读为 0

12 独立看门狗 (IWDG)

独立看门狗 (IWDG)

12.1 (IWDG 简介)

内置独立看门狗，提供了更高的安全性、时间的精确性和使用的灵活性。可用来检测和解解决由软件错误引起的故障，当计数器达到给定的超时值时，产生系统复位。

独立看门狗 (IWDG) 由专门的低速时钟 (LSI) 驱动，即使主时钟发生故障它也仍然有效。

IWDG 最适合应用于那些需要看门狗作为一个正在主程序外，能够完全独立工作，并且对时间精度要求低的场合。

12.2 IWDG 主要性能

- 自由运行的递减计数器
- 时钟由独立的振荡器提供 (可在停止和待机模式下工作)
- 看门狗被激活后，则在计数器计数至 0x0000 时产生复位。

12.3 IWDG 功能描述

下图为独立看门狗模块的功能框图。

在键寄存器 (IWDG_KR) 中写入 0xCCCC。开始启动独立看门狗；此时计数器开始从其复位值 0xFFFF 递减计数。当计数器计数到末尾 0x0000 时，会产生一个复位信号 (IWDG_RESET)。无论何时，只要在键寄存器 IWDG_KR 中写入 0xAAAA，IWDG_RLR 中的值就会被重新加载到计数器，从而避免产生看门狗复位。

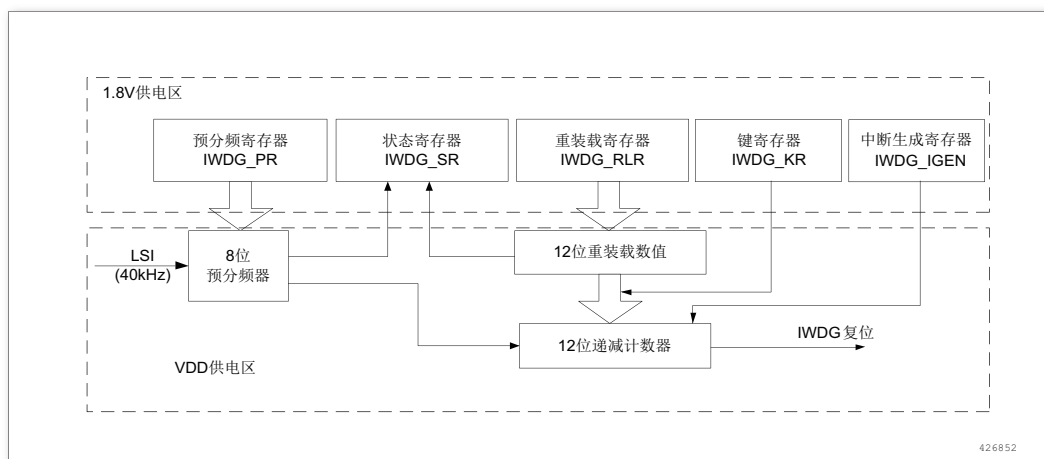


图 130. 独立看门狗框图

注：看门狗功能处于 V_{DD} 供电区，即在停机和待机模式时仍能正常工作。

表 199. 看门狗超时时间 (40KHz 的输入时钟 (LSI))

预分频系数	PR[2:0] 位	最短时间 RL[11:0]=0x000	最长时间
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	(6 或 7)	6.4	26214.4

注：这些时间是按照 40KHz 时钟给出。实际上，MCU 内部的振荡器频率会在 30KHz 到 60KHz 之间变化。

此外，即使振荡器的频率是精确的，确切的时序仍然依赖于 APB 接口时钟与振荡器时钟之间的相位差，因此总会有一个完整的振荡器周期是不确定的。

12.3.1 硬件看门狗

如果用户在选择字节中 (请参考“嵌入式闪存”章节) 启动了‘硬件看门狗’功能，在系统上电复位后，看门狗会自动开始运行；如果在计数器计数结束前，若软件没有向键寄存器写入相应的值，则系统会产生复位。

12.3.2 寄存器访问保护

IWDG_PR、IWDG_RLR 和 IWDG_IGEN 寄存器具有写保护功能。要修改这三个寄存器的值，必须先向 IWDG_KR 寄存器中写入 0x5555。以不同的值写入这个寄存器将会打乱操作顺序，寄存器将重新被保护。重装载操作 (即写入 0xAAAA) 也会启动写保护功能。

状态寄存器指示预分频值和递减计数器是否正在被更新。

12.3.3 调试模式

当微控制器进入调试模式时 (CPU 核心停止)，根据调试模块中的 DBG_IWDG_STOP 配置位的状态，IWDG 的计数器能够继续工作或停止。详见调试模块的章节。

12.4 IWDG 寄存器描述

表 201. IWDG 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	IWDG_KR	键寄存器	0x00000000	小节 12.4.1
0x04	IWDG_PR	预分频寄存器	0x00000000	小节 12.4.2
0x08	IWDG_RLR	重装载寄存器	0x00000FFF	小节 12.4.3
0x0C	IWDG_SR	状态寄存器	0x00000000	小节 12.4.4
0x10	IWDG_CR	控制寄存器	0x00000000	小节 12.4.5
0x14	IWDG_IGEN	中断生成寄存器	0x00000FFF	小节 12.4.6
0x18	IWDG_CNT	计数寄存器	0x00000000	小节 12.4.7

12.4.1 键寄存器 (IWDG_KR)

偏移地址: 0x00

复位值: 0x0000 0000(在待机模式复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Bit	Field	Type	Reset	Description
31 : 16	Reserved			始终读为 0。
15 : 0	KEY	w	0x0000	键值 (只写寄存器, 读出值为 0x0000)(Key value) 软件必须以一定的间隔写入 0xAAAA, 否则, 当计数器为 0 时, 看门狗会产生复位。 写入 0x5555 表示允许访问 IWDG_PR、IWDG_RLR、IWDG_IGEN 和 IWDG_CR[IRQ_SEL] 寄存器。 写入 0xCCCC, 启动看门狗工作。

12.4.2 预分频寄存器 (IWDG_PR)

偏移地址: 0x04

复位值: 0x0000 0000(在待机模式复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													PR		
													rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 3	Reserved			始终读为 0。

Bit	Field	Type	Reset	Description
2 : 0	PR	rw	0x00	预分频因子 (Prescaler divider) 这些位具有写保护设置。通过设置这些位来选择计数器时钟的预分频因子。要改变预分频因子，IWDG_SR 寄存器的 PVU 位必须为 0。 000: 预分频因子 = 4 100: 预分频因子 = 64 001: 预分频因子 = 8 101: 预分频因子 = 128 010: 预分频因子 = 16 110: 预分频因子 = 256 011: 预分频因子 = 32 111: 预分频因子 = 256 注意：对此寄存器进行读操作，将从 V_{DD} 电压域返回预分频值。如果写操作正在进行，则读回的值可能是无效的。因此，只有对那个 IWDG_SR 寄存器的 PUV 位为 0 时，读出的值才有效。

12.4.3 重装载寄存器 (IWDG_RLR)

偏移地址：0x08

复位值：0x0000 0FFF(在待机模式复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				RL											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 12	Reserved			始终读为 0。
11 : 0	RL	rw	0xFFFF	看门狗计数器重装载值 (Watchdog counter reload value) 这些位具有写保护。用于定义看门狗计数器的重装载值，每当向 IWDG_KR 寄存器写入 0xAAAA 时，重装载值会被传送到计数器中。随后计数器从这个值开始递减计数。看门狗超时周期可通过次重装载值和时钟预分频值来计算。 注：对此寄存器进行读操作，将从 V_{DD} 电压域返回预分频值。如果写操作正在进行，则读回的值可能是无效的。因此，只有当 IWDG_SR 寄存器的 RUV 位为 0 时，读出的值才有效。

12.4.4 状态寄存器 (IWDG_SR)

偏移地址：0x0C

复位值：0x0000 0000(待机模式时不复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												UPDATE	IVU	RVU	PVU
												r	r	r	r

Bit	Field	Type	Reset	Description
31 : 4	Reserved			始终读为 0。
3	UPDATE	r	0x00	看门狗重装值更新标记 此位由硬件置‘1’用来指示 IWDG_KR 寄存器中写入 0xAAAA。当看门狗的重装值写入计数器后,计数器被更新,此位由硬件清‘0’。
2	IVU	r	0x00	看门狗中断生成值更新 (Watchdog Interrupt Generate value update) 此位由硬件置‘1’用来指示中断生成值的更新正在进行中。当在 V _{DD} 域中的中断生成值更新结束后,此位由硬件清‘0’ (最多需要 5 个 40KHz 的振荡器周期) 中断生成值只有在 IVU 位被清‘0’后才可更新。
1	RVU	r	0x00	看门狗计数器重载值更新 (Watchdog counter reload value update) 此位由硬件置‘1’用来指示重载值的更新正在进行中。当在 V _{DD} 域中的重载值更新结束后,此位由硬件清‘0’ (最多需要 5 个 40KHz 的振荡器周期) 重载值只有在 RVU 位被清‘0’后才可更新。
0	PVU	r	0x00	看门狗预分频更新 (Watchdog prescaler value update) 此位由硬件置‘1’用来指示预分频值的更新正在进行中。当在 V _{DD} 域中的预分频值更新结束后,此位由硬件清‘0’ (最多需要 5 个 40KHz 的振荡器周期) 预分频值只有在 RVU 位被清‘0’后才可更新。

注：如果在应用程序中使用多个重载值、预分频值或中断生成值，则必须在 RVU 位被清除后才能重新改变预装载值，在 PVU 位被清除后才能重新改变预分频值，必须在 IVU 位被清除后才能重新改变中断生成值。然而，在预分频或重装值更新后，不必等待 RVU 或 PVU 复位，可以继续执行下面的代码。(即使在低功耗模式下，次写操作仍会被继续执行完成)

12.4.5 IWDG 控制寄存器 (IWDG_CR)

地址偏移：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													IRQ_CLR	IRQ_SEL	
													rw	rw	

Bit	Field	Type	Reset	Description
31: 2	Reserved			保留，始终读为 0。
1	IRQ_CLR	rw	0x00	IWDG 中断清除 1: 写 1 清除中断 0: 无操作
0	IRQ_SEL	rw	0x00	IWDG 溢出操作选择 1: 溢出后产生中断 0: 溢出后产生复位

12.4.6 IWDG 中断生成寄存器 (IWDG_IGEN)

地址偏移: 0x14

复位值: 0x0000 0FFF

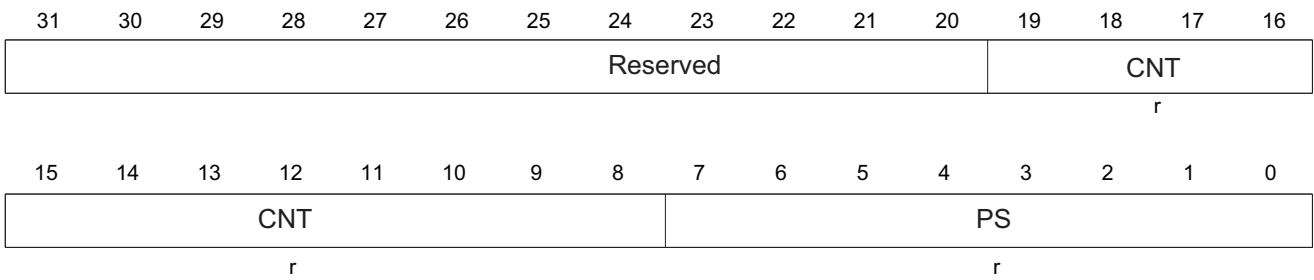
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				IGEN											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:12	Reserved			保留，始终读为 0。
11:0	IGEN	rw	0xFFFF	IWDG 中断生成值 (Watchdog Interrupt Generate value) 这些位具有写保护。 用于定义看门狗计数器产生中断的阈值，每当计数器值递减等于阈值时，会产生中断。 只有当 IWDG_SR 寄存器中的 IVU 位为 0 时，才能对此寄存器进行修改。 注：对此寄存器进行读操作，将从 VDD 电压域返回中断生成值。如果写操作正在进行，返回值可能无效。只有当 IWDG_SR 寄存器的 IUV 位为 0 时，返回值才能保证有效。

12.4.7 IWDG 计数寄存器 (IWDG_CNT)

地址偏移: 0x18

复位值: 0x0000 0000



Bit	Field	Type	Reset	Description
31:20	Reserved			保留，始终读为 0。
19:8	CNT	r	0x00	IWDG 计数器的当前值。
7:0	PS	r	0x00	IWDG 预分频计数器当前值。

13 窗口看门狗 (WWDG)

窗口看门狗 (WWDG)

13.1 WWDG 简介

窗口看门狗通常用来监测由外部干扰或不可预见的逻辑条件造成应用程序运行异常而产生的软件故障。除非递减计数器的值在 T6 位变成 0 前被刷新，看门狗电路在达到预置的时间周期时，会产生一个 MCU 复位。当递减计数器值大于窗口值时，重装计数器也会也将产生一个 MCU 复位。这表明递减计数器需要在一个有限的时间窗口中被刷新。

13.2 WWDG 主要特征

- 可编程的自由运行递减计数器
- 条件复位：
 - 当递减计数器的值小于 0x40，(若看门狗被启动) 则产生复位。
 - 当递减计数器在窗口外被重新装载，(若看门狗被启动) 则产生复位
- 如果启动了看门狗并且允许中断，当递减计数器计数至 0x40 时产生提前唤醒中断 (EWI)，它可以被用于重装计数器以避免 WWDG 复位。

13.3 WWDG 功能描述

如果看门狗被启动 (WWDG_CR 寄存器中的 WDGA 位被置 '1')，并且当 7 位 (T[6: 0]) 递减计数器从 0x40 翻转到 0x3F (T6 位清零) 时，则产生一个复位。如果软件在计数器值大于窗口寄存器中的数值时重新装载计数器，将产生一个复位。

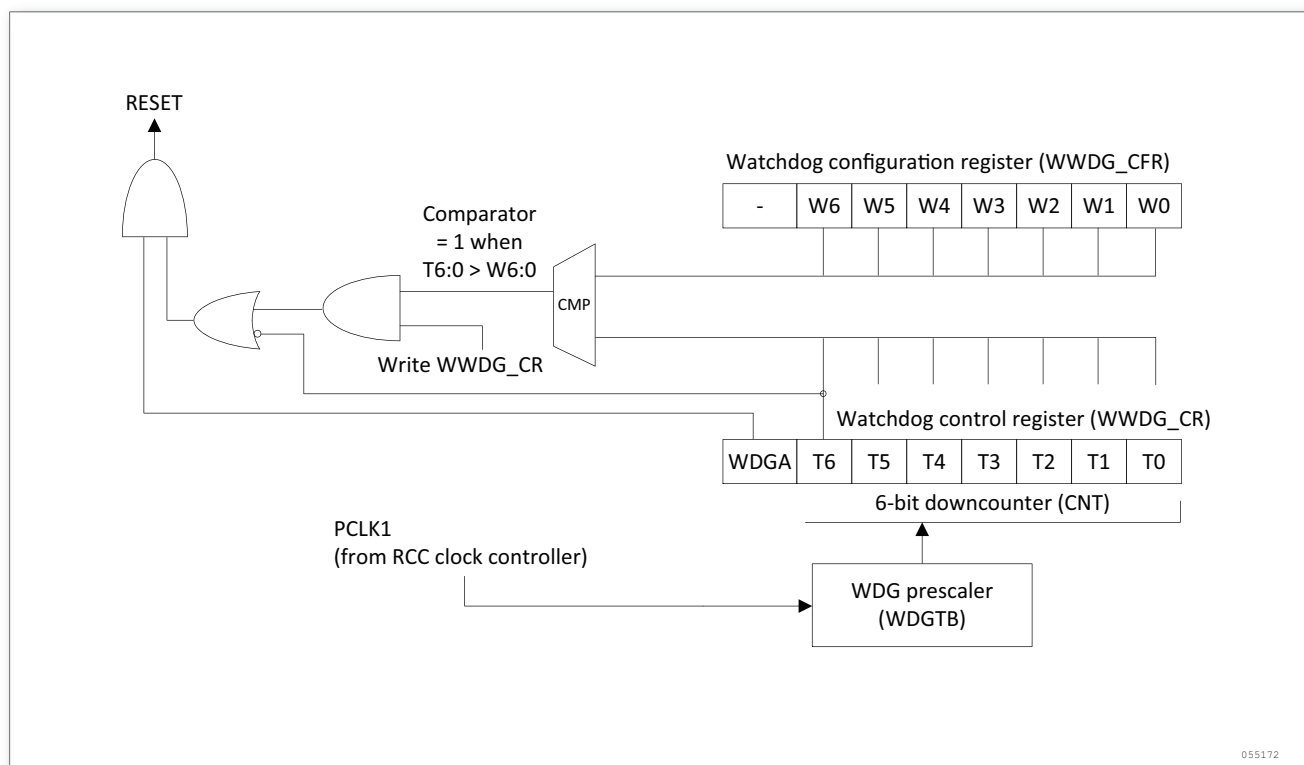


图 131. 看门狗框图

应用程序在正常运行过程中必须定期地写 WWDG_CR 寄存器以防止 MCU 发生复位。只有当计数器值小于窗口寄存器的值时，才能进行写操作。储存在 WWDG_CR 寄存器中的数值必须在 0xFF 和 0xC0 之间：

- 启动看门狗

在系统复位后，看门狗总是处于关闭状态，对 WWDG_CR 寄存器的 WDGA 位进行设置能够开启看门狗，随后它不能再被关闭，除非发生复位。

- 控制递减计数器

递减计数器处于自由运行状态，即使看门狗被禁止，递减计数器仍继续递减计数。当看门狗被启用时，T6 位必须被置位，以防止立即产生一个复位。

T[5: 0] 位包含了看门狗产生复位之前的计时数目，复位前的延时时间在一个最小值和一个最大值之间变化，这是因为写入 WWDG_CR 寄存器时，预分频值是未知的。

配置寄存器 (WWDG_CFR) 中包含窗口的上限值：要避免产生复位，递减计数器必须在其值小于窗口寄存器的数值并且大于 0x3F 时被重新装载，上图描述了窗口寄存器的工作过程。

另一个重装计数器的方法是利用早期唤醒中断 (EWI)。置位 WWDG_CFR 寄存器中的 WEI 位开启该中断。当递减计数器到达 0x40 时，则产生此中断，相应的中断服务程序 (ISR) 可以用来设置大于 0x40 的计数值，以防止 WWDG 复位。设置 WWDG_SR 寄存器的 EWIF 位为 '0' 时，可以清除该中断。

注：可以用 T6 位来产生一个软件复位 (WDGA 位被置位，T6 位清零)

13.4 如何编写看门狗超时程序

下图显示了装载到看门狗计数器 (CNT) 中的计数值和看门狗的延时时间之间的线性关系 (以 mS 为单位)。此图可用来做为快速计算的参考，而未将时间的偏差考虑在内。如果需要更高的精度，可以使用下图提供的计算公式。

警告：当写 WWDG_CR 寄存器时，始终置 T6 位为 ‘1’ 以避免立即产生一个复位。

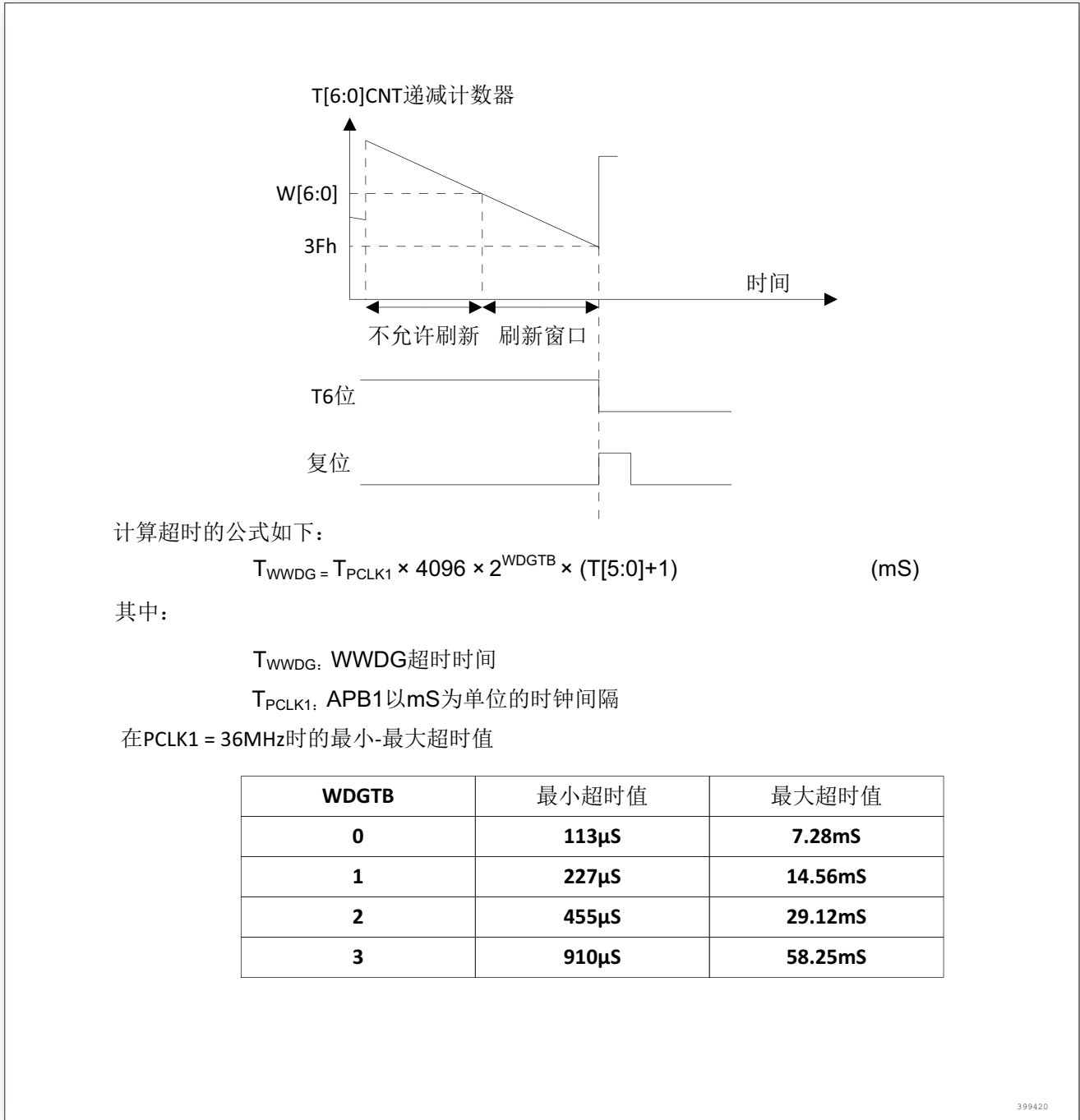


图 132. 窗口看门狗时序图

13.5 调试模式

当微控制器进入调试模式时 (CPU 核心停止)，根据调试模块中的 DBG_WWDG_STOP 配置位的状态，可以使能或禁止 WWDG 计数器的工作状态。详见有关调试模块的章节。

13.6 WWDG 寄存器描述

表 215. WWDG 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	WWDG_CR	控制寄存器	0x0000007F	小节 13.6.1
0x04	WWDG_CFGR	配置寄存器	0x0000007F	小节 13.6.2
0x08	WWDG_SR	状态寄存器	0x00000000	小节 13.6.3

13.6.1 控制寄存器 (WWDG_CR)

偏移地址: 0x00

复位值: 0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								WDGA	T						
								rw	rw						

Bit	Field	Type	Reset	Description
31:8	Reserved			保留, 始终读为 0
7	WDGA	rw	0x00	激活位 (Activation bit) 此位由软件置‘1’, 但仅能由硬件在复位后清‘0’。当 WDGA = 1 时, 看门狗可以产生复位。 0: 禁止看门狗 1: 启动看门狗
6:0	T	rw	0x7F	7 位计数器 (MSB 至 LSB)(7 - bit counter) 这些位用来存储看门狗的计数器值。每 (4096×2^{WDGTB}) 个 PCLK1 周期减 1。当计数器值从 40h 递减为 3Fh 时 (T6 变成 0), 产生看门狗复位。

13.6.2 配置寄存器 (WWDG_CFGR)

偏移地址: 0x04

复位值: 0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						EWI	WDGTB		WINDOW						
						rw	rw		rw						

Bit	Field	Type	Reset	Description
31:10	Reserved			保留，始终读为 0
9	EWI	rw	0x00	提前唤醒中断 (Early wakeup interrupt) 此位置 ‘1’ 时，当计数器值达到 40h 时，即产生中断。 此中断只能由硬件在复位后清除。
8:7	WDGTB	rw	0x00	时基 (Timer base) 预分频器的时基可根据如下修改： 00: CK 计时器时钟 (PCLK1 除以 4096) 除以 1 01: CK 计时器时钟 (PCLK1 除以 4096) 除以 2 10: CK 计时器时钟 (PCLK1 除以 4096) 除以 4 11: CK 计时器时钟 (PCLK1 除以 4096) 除以 8
6:0	WINDOW	rw	0x7F	7 位窗口值 (7-bit window value) 这些位包含了用来与递减计数器进行比较用的窗口值。

13.6.3 状态寄存器 (WWDG_SR)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															EWIF
rc_w0															

Bit	Field	Type	Reset	Description
31:1	Reserved			保留，始终读为 0
0	EWIF	rc_w0	0x00	提前唤醒中断标志 (Early wakeup interrupt flag) 当计数器值达到 40h 时，此位由硬件置 ‘1’。它必须通过软件写 ‘0’ 来清除。 对此位写 ‘1’ 无效。若该中断禁止，此位也会被置 ‘1’。

14 串行外设接口 (SPI)

串行外设接口 (SPI)

14.1 SPI 简述

SPI 接口广泛用于不同设备之间的板级通讯，如扩展串行 Flash，ADC 等。许多 IC 制造商生产的器件都支持 SPI 接口。

SPI 允许 MCU 与外部设备以全双工、同步、串行方式通信。应用软件可以通过查询状态或 SPI 中断来通信。

14.2 SPI 主要特征

- 完全兼容 Motorola 的 SPI 规格
- 在 3 根线上支持全双工同步传输
- 16 位的可编程波特率生成器
- 支持主机模式和从机模式
- 8 个字节的接收/发送 FIFO
- SPI 作为主机模式下 SPI 的时钟最快可高达 $PCLK/2$ ($PCLK$ 为 APB 时钟)，作为从机模式下 SPI 的时钟最快可高达 $PCLK/4$
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或者 LSB 在前
- 支持一个主机多个从机操作
- 支持 1 ~ 32 位的数据位长度同时发送和接收
- 除了 8 位数据收发，其余 1 ~ 32 位数据收发只支持 LSB 模式，不支持 MSB 模式。
- 支持各 8 个对应配置数据位 (Data size) 的发送缓冲器和接收缓冲器
- 中断驱动操作
 - 发送缓冲为空
 - 发送缓冲和发送移位寄存器同时为空
 - 发送端下溢
 - 接收到有效字节
 - 接收缓冲上溢
 - 接收缓冲满
 - 主模式下接收到指定字节数

14.3 SPI 功能描述

14.3.1 概述

SPI 的方框图见下图

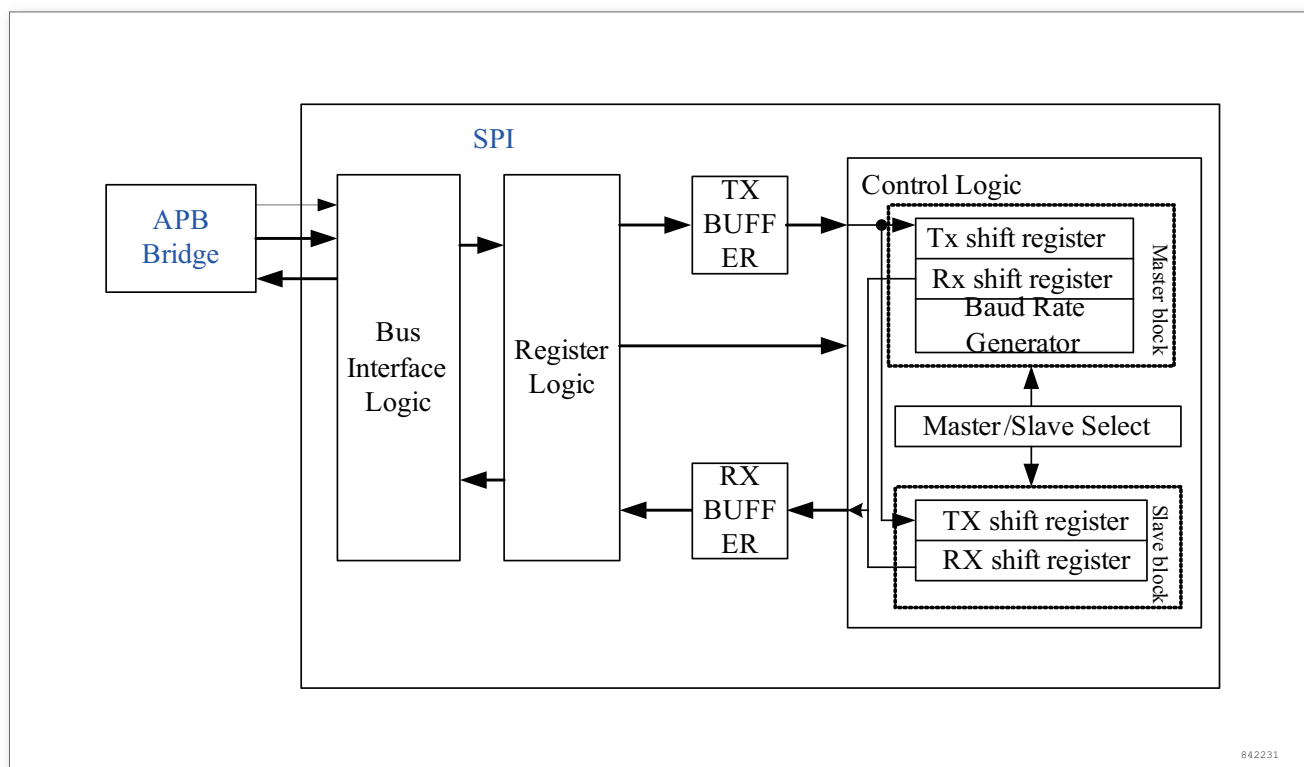


图 133. SPI 框图

SPI 支持接收和发送 1 ~ 32 位数据同时进行。SPI 可以被配置为从模式或者在一个主机环境下配置为主模式。可以通过配置时钟极性 CPOL 和相位 CPHA 选择四种可能的时序关系。可编程的数据顺序，MSB 在前或者 LSB 在前。

发送和接收部分使用相同的时钟。数据在时钟的上升沿或者下降沿输出，在 SCLK 相反的有效沿锁存数据。因为 SPI 是用于交换数据，因此数据必须在转移结束后读取，即使数据不是有效数据。在 SPI 模式下，主机和与其通信的从机的时钟相位和极性必须相同。

通常 SPI 通过 4 个管脚与外部器件相连：

- **MISO:** 主设备输入/从设备输出管脚。该管脚在从模式下发送数据，在主模式下接收数据。
- **MOSI:** 主设备输出/从设备输入管脚。该管脚在主模式下发送数据，在从模式下接收数据。
- **SCK:** 串口时钟，作为主设备的输出，从设备的输入。
- **NSS:** 从设备选择。这是一个可选的管脚，用来选择主/从设备。它的功能是用来作为‘片选管脚’，让主设备可以单独地与特定从设备通讯，避免数据线上的冲突。从设备的 NSS 管脚可以由主设备当作一个标准的 IO 来驱动。一旦被使能，NSS 管脚也可以作为输出管脚，并在 SPI 设置为主模式时拉低；此时，所有 NSS 管脚连接到主设备 NSS 管脚的 SPI 设备，会检测到低电平。

下图是一个单主和单从设备互连的例子。

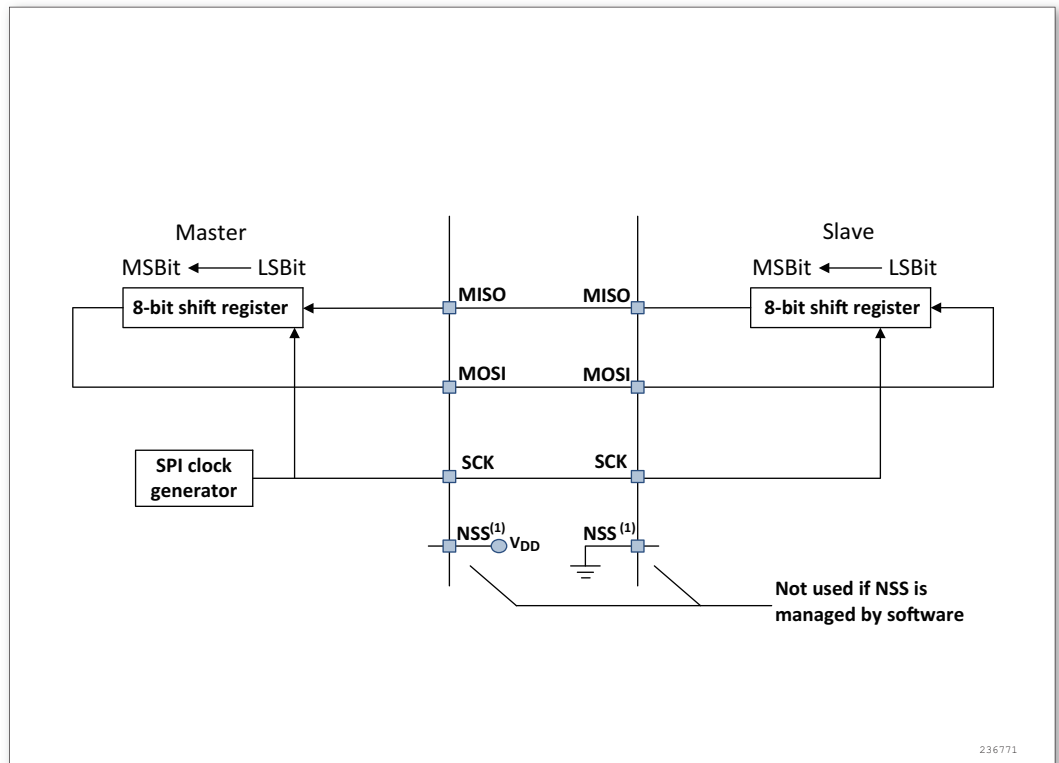


图 134. 单主和单从应用

MOSI 脚相互连接，MISO 脚相互连接。这样，数据在主和从之间串行地传输 (MSB 位在前)。

通信总是由主设备发起。主设备通过 MOSI 脚把数据发送给从设备，从设备通过 MISO 引脚回传数据。这意味全双工通信的数据输出和数据输入是用同一个时钟信号同步的；时钟信号由主设备通过 SCK 脚提供。

时钟信号的相位和极性

SPI_CCTL 寄存器的 CPOL 和 CPHA 位，能够组合成四种可能的时序关系。CPOL(时钟极性) 位控制无数据传输期间 SCK 时钟的空闲状态电平，此位对主模式和从模式下的设备都有效。如果 CPOL 被清 '0'，SCK 引脚在空闲状态保持低电平，即两次传输之间为低电平；如果 CPOL 被置 '1'，SCK 引脚在空闲状态保持高电平，即两次传输之间为高电平。如果 CPHA(时钟相位) 位被置 '1'，第一个数据位在 SCK 时钟的第一个时钟边沿被锁存 (CPOL 位为 1 时就是下降沿，CPOL 位为 0 时就是上升沿)，同时对被接收的第一个数据位进行采样。SPI 在传输的第一个 SCK 时钟转换时改变串行数据 (此时时钟向空闲状态的反方向变动)，在下一个边沿捕捉数据。

如果 CPHA(时钟相位) 位被清 '0'，第一个数据位在 SCK 时钟的第二个时钟边沿被锁存 (CPOL 位为 1 时就是上升沿，CPOL 位为 0 时就是下降沿)，同时对被接收的第一个数据位进行采样。SPI 在传输的第一个 SCK 时钟转换时捕捉串行数据 (此时时钟向空闲状态的反方向变动)，数据在下一个边沿改变。

CPOL 时钟极性和 CPHA 时钟相位的组合选择数据捕捉的时钟边沿。图 135 显示了 SPI 传输的 4 种 CPHA 和 CPOL 位组合。此图可以解释为主设备和从设备的 SCK 脚、MISO 脚、MOSI 脚直接连接的主或从时序图。

高速传输

针对高速传输模式下对板级延时的敏感, 在 SPI_CCTL 寄存器中由 TXEDGE 和 RXEDGE 控制位对发送相位和接收采样进行时间调整。

- 在从模式下, TXEDGE 为 1 时, 发送数据立即发送到数据总线, 用于高速模式时 (SPBRG = 4); 为 0 时, 发送数据在一个有效时钟边沿后发送到数据总线, 用于低速模式时 (SPBRG > 4)。
- 在主模式下, RXEDGE 为 1 时, 在传输数据位的尾时钟沿采样数据 (用于高速模式); 为 0 时, 在传输数据位的中间采样数据。
 1. 在改变 CPOL/CPHA 位之前, 必须清除 SPIEN 位将 SPI 禁止。
 2. 主和从必须配置成相同的时序模式。
 3. SCK 的空闲状态必须和 SPI_CCTL 寄存器指定的极性一致 (CPOL 为 1 时, 空闲时应上拉 SCK 为高电平; CPOL 为 0 时, 空闲时应下拉 SCK 为低电平)。

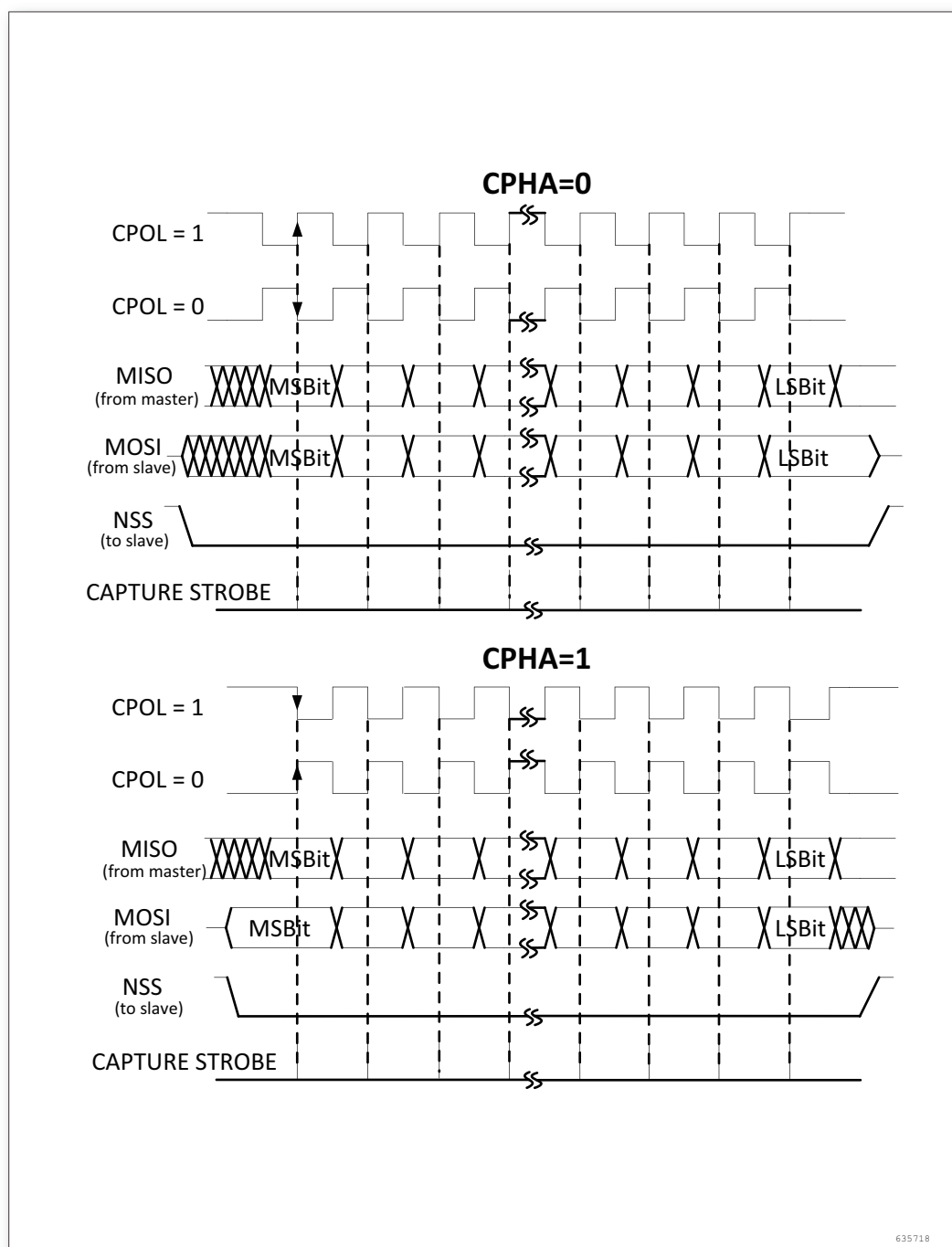


图 135. 数据时钟时序图

数据帧格式

根据 SPI_CCTL 寄存器中的 LSBFE 位，输出数据位时可以 MSB 在先也可以 LSB 在先。根据 SPI_CCTL 寄存器的 SPILEN 位，每个数据帧可以是 7 位或者 8 位。所选择的数据帧格式对发送和/或接收都有效。

另外设置寄存器 SPI_EXTCTL，可以配置数据帧长度为 1 ~ 32 位。使用此配置时需要配置：SPI_GCTL 寄存器的 DW8_32 位为 '0'，且 SPI_CCTL 寄存器的 LSBFE 位配置为 '1'，SPILEN 位配置为 '1'。

14.3.2 SPI 从模式

在从配置里，SCK 引脚用于接收到从主设备来的串行时钟。SPI_SPBRG 寄存器中的设置不影响数据传输速率。

配置步骤

1. 设置 SPILEN 位以定义数据帧格式为 7 位或者 8 位
2. 选择 CPOL 和 CPHA 位来定义数据传输和串行时钟之间的相位关系。为保证正确的数据传输，从设备和主设备的 CPOL 和 CPHA 位必须配置成相同的方式。
3. 帧格式 (MSB 在前还是 LSB 在前取决于 SPI_CCTL 寄存器中的 LSBFE 位) 必须和主设备相同。
4. 清除 MDOE 位，设置 SPIEN 位，使相应引脚工作于 SPI 模式下。在这个配置里，MOSI 引脚是数据输入，MISO 引脚是数据输出。

数据发送过程

在写操作中，数据字被并行地写入发送缓冲器。

当从设备收到时钟信号，并且在 MOSI 引脚上出现第一个数据位时，发送过程开始，第一个位被发送出去。余下的位被装进移位寄存器。当发送缓冲器中的数据传输到移位寄存器时，SPI_INTSTAT 寄存器里的 TX_INTF 标志被设置。如果设置了 SPI_INTEN 寄存器上的 TXIEN 位，将会产生中断。

数据接收过程

对于接收方，当数据接收完成时：

- 移位寄存器中的数据传送到接收缓冲器，SPI_INTSTAT 寄存器中的 RX_INTF 标志被设置。
- 如果设置了 SPI_INTEN 寄存器中的 RXIEN 位，则产生中断。

在最后一个采样时钟边沿后，RXNE 位被置 '1'，移位寄存器中接收到的数据字节被传送到接收缓冲器。当读 SPI_RXREG 寄存器时，SPI 设备返回这个值。

14.3.3 SPI 主模式

在主配置时，串行时钟在 SCK 脚产生。

配置步骤

1. 通过 SPI_SPBRG 寄存器定义串行时钟波特率。
2. 选择 CPOL 和 CPHA 位，定义数据传输和串行时钟间的相位关系。
3. 设置 SPILEN 位来定义 8 或 7 位数据帧格式。
4. 配置 SPI_CCTL 寄存器的 LSBFE 位定义帧格式。
5. 如果只接收而不发送数据，配置 SPI_RNDNR 寄存器，定义需要接收的字节数。
6. 必须设置 MDOE 和 SPIEN 位。

在这个配置中，MOSI 脚是数据输出，而 MISO 脚是数据输入，NSS 是从设备选择信号输出。

数据发送过程

当一字节写进发送缓冲器时，发送过程开始。在发送第一个数据位时，数据字被并行地 (通

过内部总线) 传入移位寄存器, 而后串行地移出到 MOSI 脚上; MSB 在先还是 LSB 在先, 取决于 SPI_CCTL 寄存器中的 LSBFE 位。数据从发送缓冲器传输到移位寄存器时 TX_INTF 标志将被置位, 如果设置 SPI_INTEN 寄存器中的 TXIEN 位, 将产生中断。

数据接收过程

对于接收器来说, 当数据传输完成时:

- 移位寄存器中的数据传送到接收缓冲器, SPI_INTSTAT 寄存器中的 RX_INTF 标志被设置。
- 如果设置了 SPI_INTEN 寄存器中的 RXIEN 位, 则产生中断。

在最后一个采样时钟边沿后, RXNE 位被置 ‘1’, 移位寄存器中接收到的数据字节被传送到接收缓冲器。当读 SPI_RXREG 寄存器时, SPI 设备返回这个值。

如果只接收而不发送数据, 在接收完 RXDNR 定义的字节数, RXMATCH_INTF 位被置 ‘1’, 表示所有的数据接收完毕, 主模式下不再发送时钟信号。

14.3.4 状态标志

为了软件操作的方便, 应用程序可以通过 4 个当前状态标志和 7 个中断状态标志来监控 SPI 总线的状态。当前状态标志是只读, 由硬件自动置位和清除。中断状态标志位在事件发生时置位, 并在中断使能时产生 CPU 中断, 由软件清除。

SPI 内部分别有一个 8 字节的发送缓冲和接收缓冲, 根据 SPI_GCTL 的 DW8_32 位的设置, CPU 每次可以读写 1 或者 4 个字节。根据 DW8_32 的设置, 发送和接收缓冲分别有一个字节或者一个有效数据的状态标志。

表 222. SPI 状态

分类	状态标志	缓冲器和信号状态
中断状态	TX_INTF	根据 DW8_32 设置, 至少有一个有效数据的空间, 能完成一次发送数据寄存器的写操作
	RX_INTF	根据 DW8_32 设置, 至少有一个有效数据的数据, 能完成一次接收数据寄存器的读操作
	UNDERRUN_INTF	发送缓冲器空且重复发送
	RXOERR_INTF	接收缓冲器非空且被覆盖
	RXMATCH_INTF	非空, 最后一个数据传送到接收缓冲中
	RXFULL_INTF	接收缓冲器满, 不能再接收新的数据
	TXEPT_INTF	发送缓冲器空, 不能再发送
当前状态	RXAVL_4BYTE	接收缓冲器有超过 4 字节有效数据
	TXFULL	发送缓冲器满
	TXEPT	发送缓冲器空
	RXAVL	接收缓冲器非空, 至少还能接收一个字节

当 SPI_GCTL 寄存器的 TXTLF 为 00 时, 发送缓冲器有大于等于 1 个空闲数据空间时 TX_INTF 置位; TXTLF 为 01 时, 发送缓冲器有超过一半的空闲空间时 TX_INTF 置位。

当 SPI_GCTL 寄存器的 RXTLF 为 00 时, 接收缓冲器有大于等于 1 个有效数据时, RX_INTF 置位; RXTLF 为 01 时, 接收缓冲器有超过一半的有效数据时 RX_INTF 置位。

14.3.5 波特率设置

波特率是生成的 SCLK 的频率，一般是 PCLK 的分频。BRG 是一个 16 位的波特率发生器。SPBRG 寄存器控制 16 位计数器的计数周期。

提供期望的波特率和 f_{pclk} (APB 模块的频率)，使用下表所示的公式计算出的值近似数赋值给 SPBRG 寄存器。其中下表中的 X 等于 SPBRG 寄存器的值 (2 ~ 65535)。

表 223. 波特率公式

模式	公式
SPI 模式	波特率 = f_{pclk}/X

14.4 寄存器堆和存储器映射描述

表 225. SPI 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	SPI_TXREG	发送数据寄存器	0x00000000	小节 14.4.1
0x04	SPI_RXREG	接收数据寄存器	0x00000000	小节 14.4.2
0x08	SPI_CSTAT	当前状态寄存器	0x00000001	小节 14.4.3
0x0C	SPI_INTSTAT	中断状态寄存器	0x00000000	小节 14.4.4
0x10	SPI_INTEN	中断使能寄存器	0x00000000	小节 14.4.5
0x14	SPI_INTCLR	中断清除寄存器	0x00000000	小节 14.4.6
0x18	SPI_GCTL	全局控制寄存器	0x00000004	小节 14.4.7
0x1C	SPI_CCTL	通用控制寄存器	0x00000008	小节 14.4.8
0x20	SPI_SPBRG	波特率发生器	0x00000002	小节 14.4.9
0x24	SPI_RXDNR	接收数据个数寄存器	0x00000001	小节 14.4.10
0x28	SPI_NSSR	从机片选寄存器	0x000000FF	小节 14.4.11
0x2C	SPI_EXTCTL	数据控制寄存器	0x00000008	小节 14.4.12

14.4.1 发送数据寄存器 (SPI_TXREG)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXREG															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXREG															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:0	TXREG	rw	0x0000 0000	发送数据寄存器 (Transmit data register) 有效数据位由 DW8_32 控制。 0: 低 8 位有效 1: 32 位均有效

14.4.2 接收数据寄存器 (SPI_RXREG)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXREG															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXREG															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31:0	RXREG	r	0x0000 0000	接收数据寄存器 (Receive data register) 有效数据位由 DW8_32 控制。 0: 只有低 8 位有效 1: 32 位均有效 该寄存器可读不可写。

14.4.3 当前状态寄存器 (SPI_CSTAT)

偏移地址: 0x08

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						RXFADDR		Res.	TXFADDR			RXAVL_4BYTE	TXFULL	RXAVL	TXEPT
						r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31:12	Reserved			始终读为 0。
11:8	RXFADDR	r	0x00	当前接收缓冲器中有效数据个数
7:4	TXFADDR	r	0x00	当前发送缓冲器中有效数据个数

Bit	Field	Type	Reset	Description
3	RXAVL_4BYTE	r	0x00	接收缓冲器中有效数据达到 4 个字节标志位 (Receive available 4 byte data message) 1: 接收缓冲器中有超过 4 个字节 0: 接收缓冲器中数据小于 4 个字节
2	TXFULL	r	0x00	发送缓冲器满标志位 (Transmitter FIFO full status bit) 1: 发送缓冲器满 0: 发送缓冲器未满
1	RXAVL	r	0x00	接收有效字节数据信息位 (Receive available byte data message) 当接收端缓冲器接收了一个完整字节的数据时置位该位。 1: 接收端缓冲器已经接收了一个有效字节数据 0: 接收端缓冲器空 该位只读, 由硬件自动置位和清除。
0	TXEPT	r	0x01	发送端空位 (Transmitter empty bit) 1: 发送端缓冲器和发送移位寄存器为空 0: 发送端不为空 该位只读, 由硬件自动置位和清除。

14.4.4 中断状态寄存器 (SPI_INTSTAT)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									TXEPT_INTF	RXFULL_INTF	RX_MATCH_INTF	RXO_ERR_INTF	UNDERRUN_INTF	RX_INTF	TX_INTF
									r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31:7	Reserved			始终读为 0。
6	TXEPT_INTF	r	0x00	发送端空中断标志位 (Transmitter empty interrupt flag bit) 硬件自动置位, 写 INTCLR 寄存器 TXEPT_ICLR 位清除。 1: 发送端缓冲器和 TX 移位寄存器为空 0: 发送端不为空 注意: 该位是中断状态信号, TXEPT 是状态信号。
5	RXFULL_INTF	r	0x00	接收端缓冲器满中断标志位 (RX FIFO full interrupt flag bit) 硬件自动置位, 写 INTCLR 寄存器 RXFULL_ICLR 位清除。 1: RX 缓冲器满 0: RX 缓冲器未满

Bit	Field	Type	Reset	Description
4	RXMATCH_ INTF	r	0x00	接收指定字节数中断标志位 (Receive data match the RXDNR number, the receive process will be completed and generate the interrupt) 硬件自动置位, 写 INTCLR 寄存器 RXMATCH_ICLR 位清除。 1: 接收了 RXDNR 寄存器指定的字节数 0: 未完成 RXDNR 寄存器指定的字节数
3	RXOERR_ INTF	r	0x00	接收端溢出错误中断标志位 (Receive overrun error interrupt flag bit) 硬件自动置位, 写 INTCLR 寄存器 RXOERR_ICLR 位清除。 1: 溢出错误 0: 没有溢出错误
2	UNDERRUN_ INTF	r	0x00	SPI 从机模式下溢标志位 (SPI underrun interrupt flag bit) 硬件自动置位, 写 INTCLR 寄存器 UNDERRUN_ICLR 位清除。 1: 下溢错误 0: 没有下溢错误
1	RX_INTF	r	0x00	接收端数据有效中断标志位 (Receive data available interrupt flag bit) 硬件自动置位, 写 INTCLR 寄存器 RX_ICLR 位清除。 当接收端缓冲器接收了一个完整字节数据。 1: 接收端缓冲器有有效字节数据 0: 接收端缓冲器空
0	TX_INTF	r	0x00	发送缓冲器有效中断标志位 (发送了一个字节的数据)(Transmit FIFO available interrupt flag bit) 硬件自动置位, 发送缓冲器不为空自动清零。 1: 发送端缓冲器有效 0: 发送端缓冲器无效

14.4.5 中断使能寄存器 (SPI_INTEN)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									TXEPT_ IEN	RXFULL_ IEN	RX MATCH_ IEN	RXO ERR_ IEN	UNDE RRUN_ IEN	RX_ IEN	TX_ IEN
									rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:7	Reserved			始终读为 0。
6	TXEPT_IEN	rw	0x00	发送端空中断使能位 (Transmit empty interrupt enable bit) 1: 中断使能 0: 禁止中断
5	RXFULL_IEN	rw	0x00	接收端缓冲器满中断使能位 (Receive FIFO full interrupt enable bit) 1: 中断使能 0: 禁止中断
4	RXMATCH_IEN	rw	0x00	接收指定字节数中断使能位 (Receive data complete interrupt enable bit) 1: 中断使能 0: 禁止中断
3	RXOERR_IEN	rw	0x00	接收端溢出错误中断使能位 (Overrun error interrupt enable bit) 1: 中断使能 0: 禁止中断
2	UNDERRUN_IEN	rw	0x00	SPI 从机模式下溢中断使能位 (SPI 从机模式)(Transmitter underrun interrupt enable bit(SPI slave mode only)) 1: 中断使能 0: 禁止中断
1	RX_IEN	rw	0x00	接收端数据中断使能位 (Receive FIFO interrupt enable bit) 1: 中断使能 0: 禁止中断
0	TX_IEN	rw	0x00	发送缓冲器空中断使能位 (Transmit FIFO empty interrupt enable bit) 1: 中断使能 0: 禁止中断

14.4.6 中断清除寄存器 (SPI_INTCLR)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									TXEPT_ICLR	RXFULL_ICLR	RX MATCH_ICLR	RXOERR_ICLR	UNDERRUN_ICLR	RX_ICLR	TX_ICLR
									w	w	w	w	w	w	r

Bit	Field	Type	Reset	Description
31:7	Reserved			始终读为 0。
6	TXEPT_ICLR	w	0x00	发送端空中断清除位 (Transmitter empty interrupt clear bit) 1: 中断清除 0: 中断没有清除
5	RXFULL_ICLR	w	0x00	接收端缓冲器满中断清除位 (Receiver buffer full interrupt clear bit) 1: 中断清除 0: 中断没有清除
4	RXMATCH_ICLR	w	0x00	接收指定字节数中断清除位 (Receive completed interrupt clear bit) 1: 中断清除 0: 中断没有清除
3	RXOERR_ICLR	w	0x00	接收端溢出错误中断清除位 (Overrun error interrupt clear bit) 1: 中断清除 0: 中断没有清除
2	UNDERRUN_ICLR	w	0x00	SPI 从机模式下溢中断清除位 (SPI 从机模式)(Transmitter underrun interrupt clear bit(SPI slave mode only)) 1: 中断清除 0: 中断没有清除
1	RX_ICLR	w	0x00	接收端数据中断清除位 (Receive interrupt clear bit) 1: 中断清除 0: 中断没有清除
0	TX_ICLR	r	0x00	发送缓冲器空中断清除位 (Transmitter FIFO empty interrupt clear bit) 1: 中断清除 0: 中断没有清除

14.4.7 全局控制寄存器 (SPI_GCTL)

偏移地址: 0x18

复位值: 0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			NSS TOG	DW8_32	NSS	Reserved					RXEN	TXEN	MODE	INTEN	SPIEN
			rw	rw	rw						rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:13	Reserved			始终读为 0。
12	NSSTOG	rw	0x00	从设备选择信号自动翻转 (Slave select toggle) 1: NSS 信号在传输完每个数据后自动翻转 0: NSS 信号不翻转 注: 该位只在主模式下有效
11	DW8_32	rw	0x00	发送和接收数据寄存器有效数据选择 (Valid byte or double-word data select signal) 0: 只有低 8 位有效 1: 32 位数据都有效 注: 必须用指定数据格式访问。
10	NSS	rw	0x00	硬件或软件控制主模式下的 NSS 输出 (NSS select signal that from software or hardware) 0: 由 NSSR 寄存器值控制 1: 进行数据传输时硬件自动控制
9: 5	Reserved			始终读为 0。
4	RXEN	rw	0x00	接收使能位 (Receive enable bit) 1: 接收使能 0: 接收禁止。同时可以清空 RX 缓冲器 注意: 当 SPI 只工作在主机接收模式时, txen 必须设置为 0。
3	TXEN	rw	0x00	发送使能位 (Transmit enable bit) 1: 发送使能 0: 发送禁止。同时可以清空 TX 缓冲器 注意: 当在主机模式下发送和接收同时发生。
2	MODE	rw	0x01	主机模式位 (Master mode bit) 1: 主机模式 (由内部 BRG 产生串行时钟) 0: 从机模式 (串行时钟来自外部主机)
1	INTEN	rw	0x00	SPI 中断使能位 (SPI interrupt enable bit) 1: 使能 SPI 中断 0: 禁止 SPI 中断
0	SPIEN	rw	0x00	SPI 选择位 (SPI select bit) 0: SPI 禁止 (复位状态) 1: SPI 使能

14.4.8 通用控制寄存器 (SPI_CCTL)

偏移地址: 0x1C

复位值: 0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									CPH ASEL	TX EDGE	RX EDGE	SPI LEN	LSB FE	CPOL	CPHA
									rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:7	Reserved			始终读为 0。
6	CPHASEL	rw	0x00	CPHA 极性取反选择 (CPHA polarity invert select) 1: CPHA 设置取反。 CPHA 为 1 时, 第一个数据位采样从第二个时钟边沿开始。 CPHA 为 0 时, 第一个数据位采样从第一个时钟边沿开始。 0: CPHA 设置保持不变。
5	TXEDGE	rw	0x00	发送数据相位调整位 (从模式)(Transmit data edge select) 1: 发送数据立即发送到数据总线 可用于高速模式时 (SPBRG = 4)。 0: 发送数据在一个有效时钟边沿后发送到数据总线 可用于低速模式时 (SPBRG > 4)。
4	RXEDGE	rw	0x00	接收数据采样时钟沿选择位 (主模式)(Receive data edge select) 1: 在传输数据位的尾时钟沿采样数据 (用于高速模式) 0: 在传输数据位的中间采样数据
3	SPILEN	rw	0x01	SPI 数据宽度位 (SPI character length bit) 该位在 DW8_32 置位后 (DW8_32=0) 配置后起作用。 1: 8 位数据 (缺省) 0: 7 位数据
2	LSBFE	rw	0x00	LSBFE: LSB 在前使能位 (LSI first enable bit) 1: 数据传输或接收最低位在前 0: 数据传输或接收最高位在前
1	CPOL	rw	0x00	时钟极性标志位 (Clock polarity select bit) 1: 时钟在空闲状态为高电平 (两次传输之间) 0: 时钟在空闲状态为低电平 (两次传输之间)
0	CPHA	rw	0x00	时钟相位选择位 (Clock phase select bit) 1: 第一个数据位采样从第一个时钟边沿开始 0: 第一个数据位采样从第二个时钟边沿开始

14.4.9 波特率发生器 (SPI_SPBRG)

偏移地址: 0x20

复位值: 0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPBRG															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:16	Reserved			始终读为 0。
15:0	SPBRG	rw	0x0002	SPI 波特率控制寄存器用于产生波特率 (SPI baud rate control register for baud rate) 波特率公式: 波特率 = $f_{\text{pclk}}/\text{SPBRG}$ (f_{pclk} 是 APB 时钟频率) 注意: 不要往该寄存器写 0 和 1。

14.4.10 接收数据个数寄存器 (SPI_RXDNR)

偏移地址: 0x24

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDNR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:16	Reserved			始终读为 0。
15:0	RXDNR	rw	0x0001	该寄存器用于存储下次接收过程需要接收字节的个数 (The register is used to hold a count of to be received bytes in next receive process) 该寄存器的值在 SPI 为主机接收模式下有效。缺省值是 1。 该寄存器值通过 MCU 写值改变。 注意: 不要往该寄存器写 '0' 值。

14.4.11 从机片选寄存器 (SPI_NSSR)

偏移地址: 0x28

复位值: 0x0000 00FF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								NSS							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15:8	Reserved			
7: 0	NSS	rw	0xFF	主模式下片选输出信号。低有效，从模式下该位无效 (Chip select output signal in Master mode)。 0: 从器件被选中 1: 从器件未选中

14.4.12 数据控制寄存器 (SPI_EXTCTL)

偏移地址: 0x2C

复位值: 0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											EXTLEN				
											rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31:5	Reserved			始终读为 0。
4: 0	EXTLEN	rw	0x08	控制 SPI 数据长度 0 0000: 32 bit 0 0001: 1 bit 0 0010: 2 bit 0 0011: 3 bit ... 1 1100: 28 bit 1 1101: 29 bit 1 1110: 30 bit 1 1111: 31 bit 注: 仅当 SPI_GCTL 寄存器 DW8_32 位为 '0' 时有效, 且 SPI_CCTL 寄存器的 LSBFE 位必须配置为 '1', SPILEN 位也必须配置为 '1'。

15

内部集成电路 I2C 接口 (I2C)

内部集成电路 I2C 接口 (I2C)

15.1 I2C 简介

I2C (芯片间) 总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的时序、协议、仲裁和定时。

I2C 总线是一个两线串行接口，其中两线位串行数据 (SDA) 和串行时钟 (SCL) 线在连接到总线器件间传递信息。每个器件都有一个唯一的地址识别，而且都可以作为一个发送或接收器。除了发送器和接收器外，器件在执行数据传输时也可以被看做是主机或者从机。主机是初始化总线的数据传输并产生允许传输的时钟信号的器件。此时，任何被寻址的器件都被认为是从机。

I2C 可以工作在标准模式 (数据传输速率为 0 ~ 100 Kbps)，快速模式 (数据传输速率最大为 400 Kbps)。

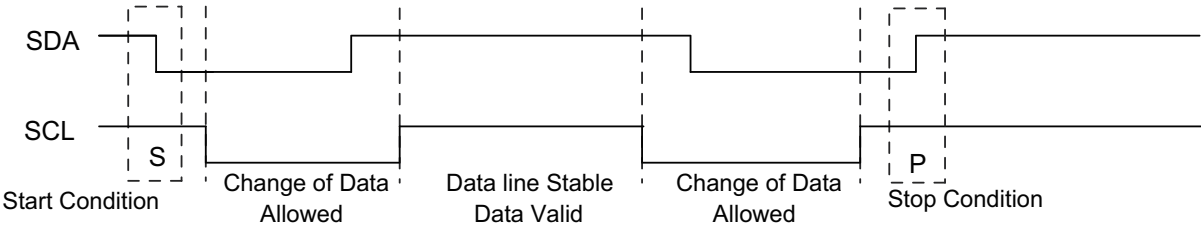
15.2 I2C 主要特征

- 并行总线 I2C 总线协议转换器
- 半双工同步操作
- 支持主从模式
- 支持 7 位地址和 10 位地址
- 支持标准模式 100 Kbps，快速模式 400 Kbps
- 产生 Start、Stop、重新发 Start、应答 Acknowledge 信号检测
- 在主模式下只支持一个主机
- 分别有 2 字节的发送和接收缓冲
- 在 SCLI 和 SDAI 上增加了无毛刺电路
- 支持中断和查询操作
- 支持 I2C 从机多地址功能（详细见寄存器描述）

15.3 I2C 协议

15.3.1 起始和停止条件

当总线处于空闲状态时，SCL 和 SDA 同时被外部上拉电阻拉为高电平。当主机启动数据传输时，必须先产生一个起始条件。在 SCL 线是高电平时，SDA 线从高电平向低电平切换表示起始条件。当主机结束传输时要发送停止条件。在 SCL 线是高电平，SDA 线由低电平向高电平切换表示停止条件。下图显示了起始和停止条件的时序图。数据传输过程中，当 SCL 为 1 时，SDA 必须保持稳定。



755520

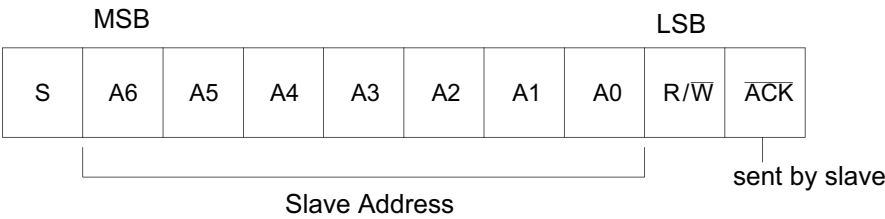
图 136. 起始和停止条件

15.3.2 从机寻址协议

I2C 有两种地址格式：7 位的地址格式和 10 位的地址格式。

7 位的地址格式

下图中显示在起始条件 (S) 后发送的一个字节的前 7 位 (bit 7: 1) 为从机地址，最低位 (bit 0) 是数据方向位，当 bit 0 为 0，表示主机写数据到从机，1 表示主机从从机读数据。



S = START condition

ACK = Acknowledge

R/W = Read/Write Pulse

389349

图 137. 7 位的地址格式

10 位的地址格式

在 10 位的地址格式中，发送 2 个字节来传输 10 位地址。发送的第一个字节的位的描述如下：第一个 5 位 (bit 7: 3) 用于告示从机接下来是 10 位的传输。第一个字节的后两个字节 (bit 2: 1) 位从机地址的 bit 9: 8，最低位 (bit 0) 是数据方向位 (R/W)。传输的第二个字节为 10 位地址的低八位。

具体如下图所示：

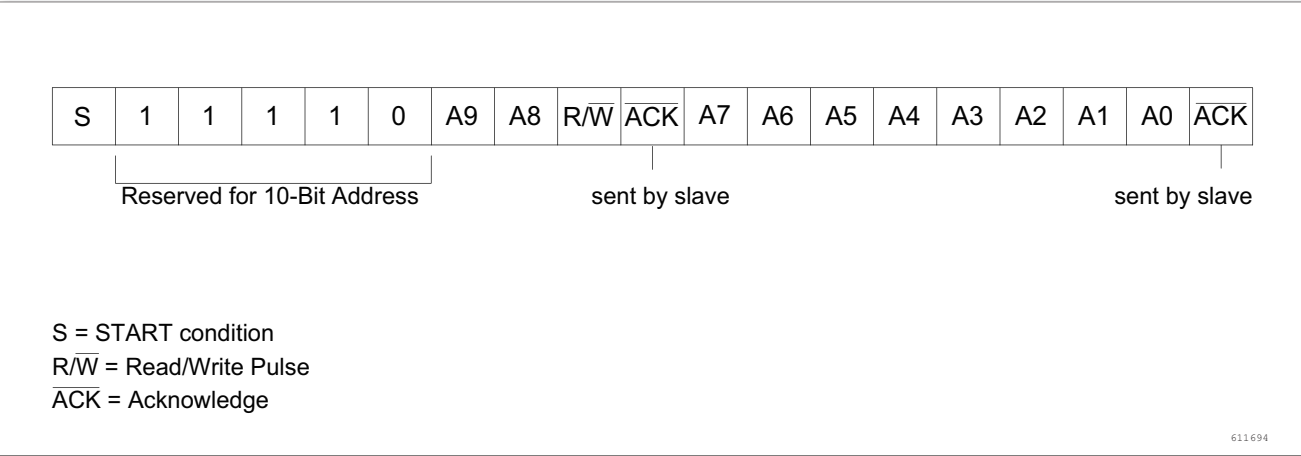


图 138. 10 位的地址格式

下表定义了 I2C 首字节的特殊用途和保留地址：

表 241. I2C 首字节

从机地址	R/W 位	描述
0000 000	0	广播呼叫地址。I2C 将数据放入接收缓冲，并产生一个广播呼叫中断
0000 000	1	起始字节
0000 001	X	CBUS 地址。I2C 接口忽略该访问
0000 010	X	保留
0000 011	X	保留
0000 1xx	X	保留
1111 1xx	X	保留
1111 0xx	X	10 位从机寻址

15.3.3 发送和接收协议

主机初始化数据传输并且从总线上发送或接收数据，作为主发送或者主接收。从机响应主机的请求来发送或接收数据，作为从发送或从接收器。

主发送和从接收

所有数据都是以字节格式传输，且不限制每次传输的字节数。当主机发送完地址和 R/W 位或者主机发送一个字节的的数据到从机上，从接收器必须产生一个响应信号 (ACK)。当从接收器不能产生 ACK 响应信号，主机将会产生一个停止条件中止传输。从机不能响应时，必须释放 SDA 为高电平才能使得主机产生停止条件。

当主发送器传输数据如下图所示，从接收器在接收到的每个字节后产生一个 ACK 来响应主发送器。

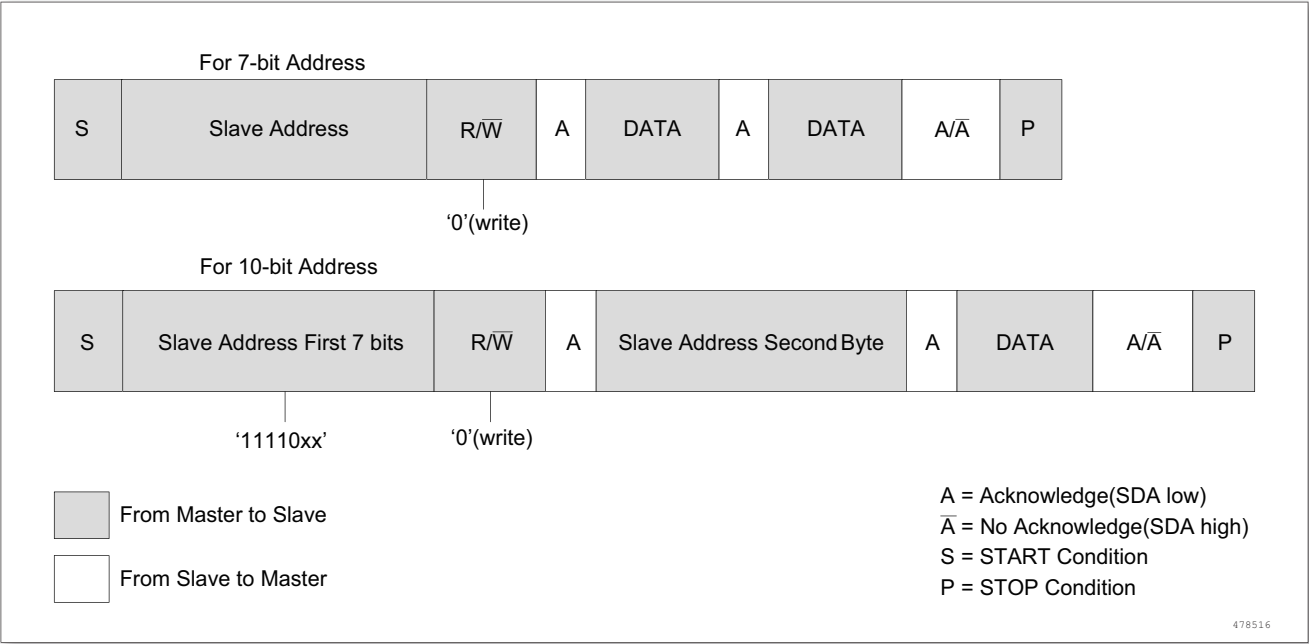


图 139. 主发送协议

主接收和从发送

当主机接收数据如下图所示，主机必须在每次接收到一个字节数据后响应从发送器，除了最后一个字节。通过这种方式，主接收器能通知从发送器是否是最后一个字节。从发送器在检测到 NACK 时必须释放 SDA，这样主机可以产生停止条件。

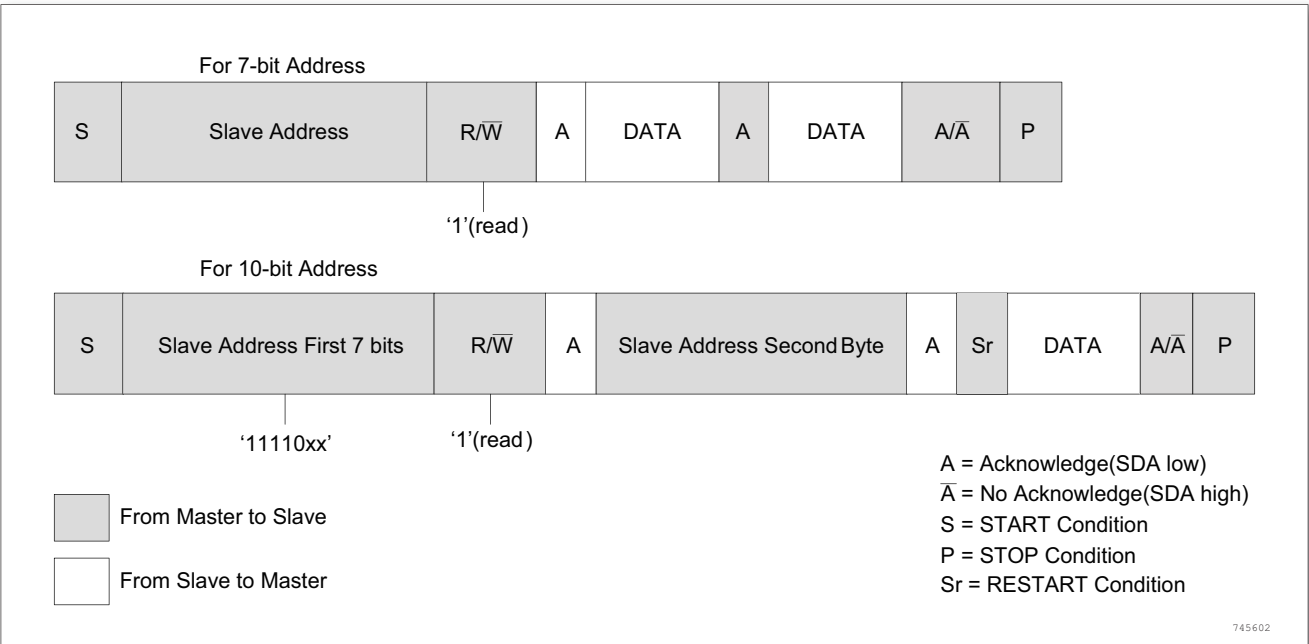


图 140. 主接收协议

当主机不想产生停止条件而释放总线，可以产生一个重复起始条件。重复起始条件与起始条件相同，只是它是在 ACK 后产生。工作在主机模式下，I2C 接口可以使用不同的传输方向与相同的从机通信。

起始字节传输协议

起始字节传输协议是用来给没有专用的 I2C 硬件模块的系统使用。当 I2C 模块作为主机时，在每次传输开始可以给需要的从机产生起始字节输出。

该协议由 7 个 0 以及一个 1 组成，如下图所示。处理器可以在地址阶段用低速采样 0 来查询总线。一旦检测到 0，处理器可以从低速采样切换到主机的正常速率。

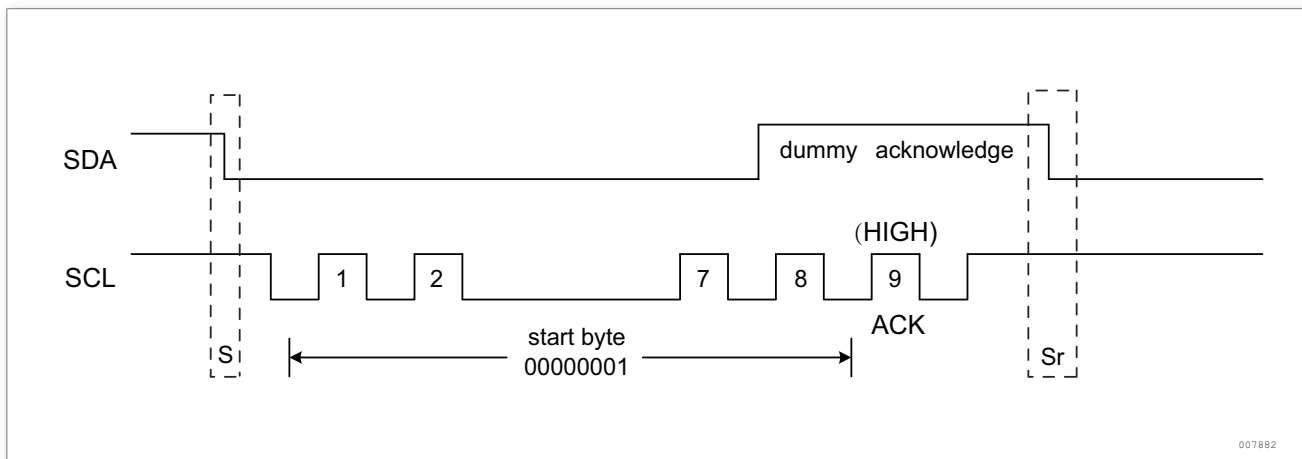


图 141. 起始字节传输

起始字节程序流程如下：

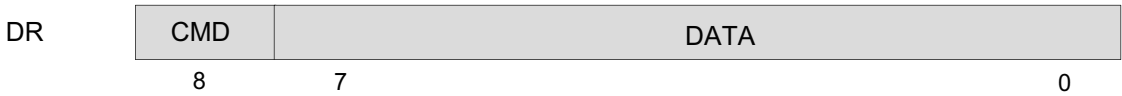
1. 主机产生一个起始条件
2. 主机发送起始字节 (0000 0001)
3. 主机发送 ACK 时钟脉冲 (ACK)
4. 没有从机响应 ACK 信号
5. 主机产生重复起始条件 (RESTART)

硬件 I2C 接收器不需要响应开始字节，因为这是一个保留地址，而且地址会在 RESTART 后复位。

15.3.4 发送缓冲管理以及起始、停止和重复起始条件产生

当工作在主机模式，每当发送为空时 I2C 模块就在总线上产生一个停止条件。如果重复起始产生功能使能 (RESTART = 1)，则传输方向从读变为写或者写变为读时产生重复起始条件。如果没有使能重复起始条件，则会在停止条件后产生一个起始条件。

下图显示了 DR 寄存器的位。

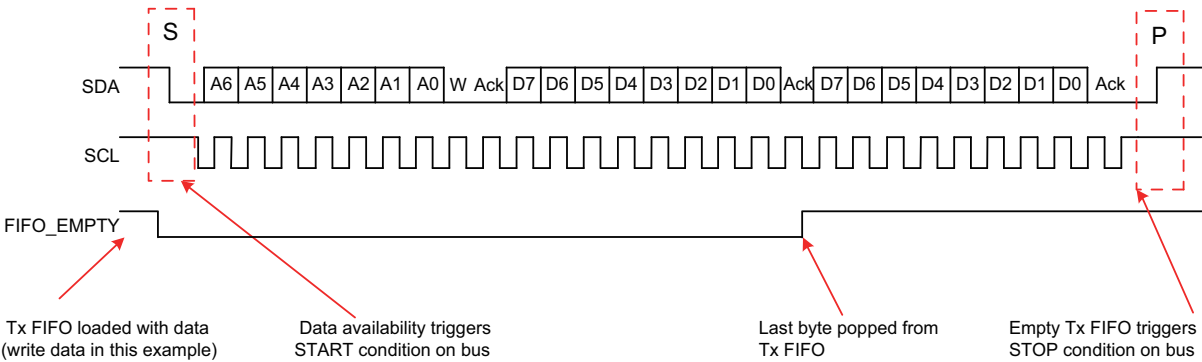


DATA: Read/Write field; data retrieved from slave is read from this field; data to be sent to slave is written to this field.
CMD: Write-only field; this bit determines whether transfer to be carried out is read (CMD = 1) or Write (CMD = 0)

924941

图 142. DR 寄存器

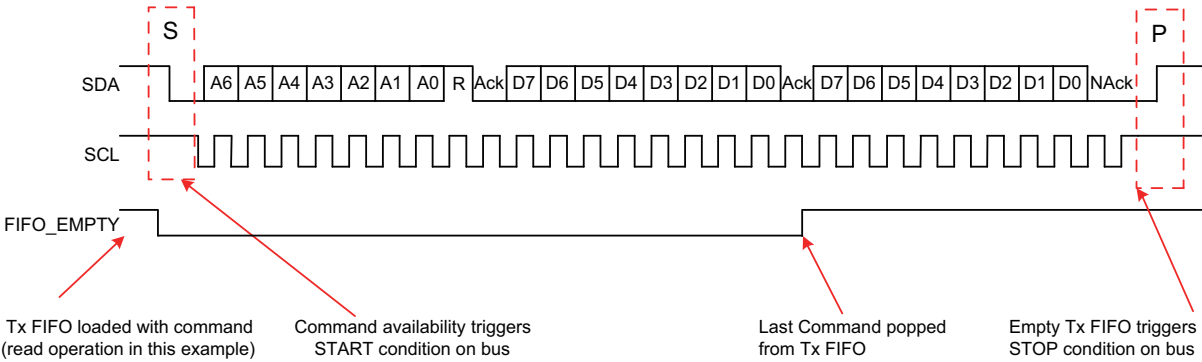
下面的时序图描述了 I2C 模块工作在主发送模式下 Tx FIFO 变为空时行为。



656035

图 143. 主发送 - Tx FIFO 为空

下面的时序图描述了 I2C 模块工作在主接收模式下 Tx FIFO 变为空时行为。



791568

图 144. 主接收 - Tx FIFO 为空

15.3.5 多个主机仲裁

I2C 总线是一个多主机的总线。仲裁是一个在有多多个主机同时尝试控制总线，但只允许其中一个控制总线并使报文不被破坏的过程。一旦其中一个主机已经控制了总线，那么直到

该主机发送一个停止条件并且将总线释放为空闲状态时，其他主机才能控制总线。

当 SCL 线是高电平时，仲裁在 SDA 线发生。如果两个或多个主机尝试发送信息到总线，在其他主机都产生“0”的情况下，首先产生一个“1”的主机将丢失仲裁。丢失仲裁的主机可以继续产生时钟脉冲直到字节传输结束。如果每个主机都尝试寻址相同的器件，仲裁会继续在数据阶段进行。

检测到丢失仲裁后，I2C 接口会停止产生 SCL 信号。

下图显示了两个主机的仲裁的总线时序

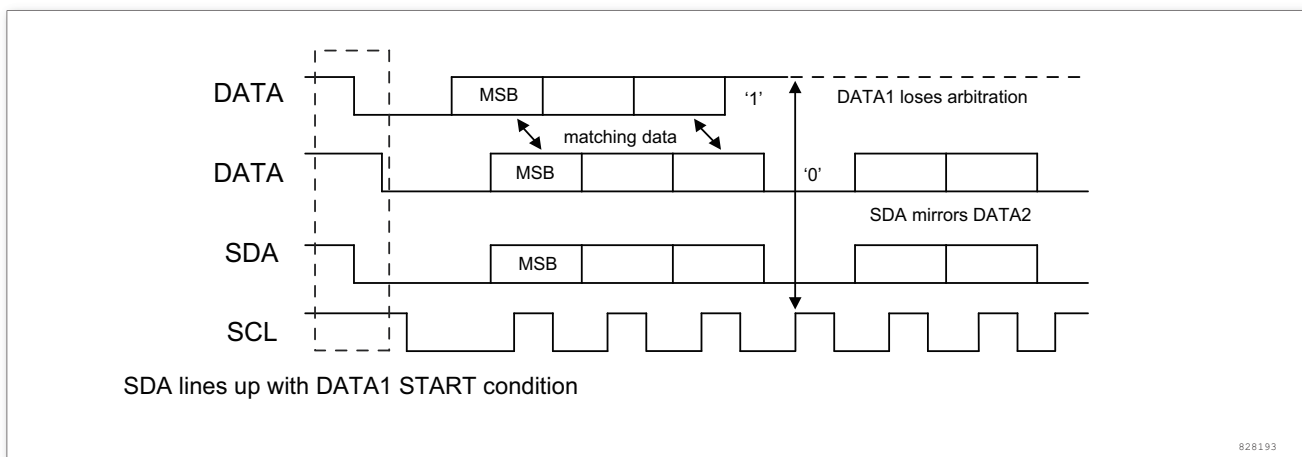


图 145. 多个主机仲裁

15.3.6 时钟同步

当两个或多个主机试图同时在总线传输信息时，他们必须仲裁和同步 SCL 时钟。所有的主机产生自己的时钟来传输消息。数据只在时钟的高电平有效。时钟同步是通过 SCL 信号的线‘与’连接进行的。当主机把 SCL 时钟变成 0，主机会计算 SCL 低电平的时间，在下一个时钟周期开始把 SCL 时钟变成 1。但是，假如另一个主机把 SCL 保持为 0，那么这个主机会进入等待状态直到 SCL 时钟变为 1。

所有的主机会计算它们的高电平时间，最短高电平时间的主机会把 SCL 变为 0。接下来主机会计算低电平时间，最长低电平时间的主机会强制其他主机进入等待状态。这样就产生一个同步后的 SCL 时钟，如下图所示。

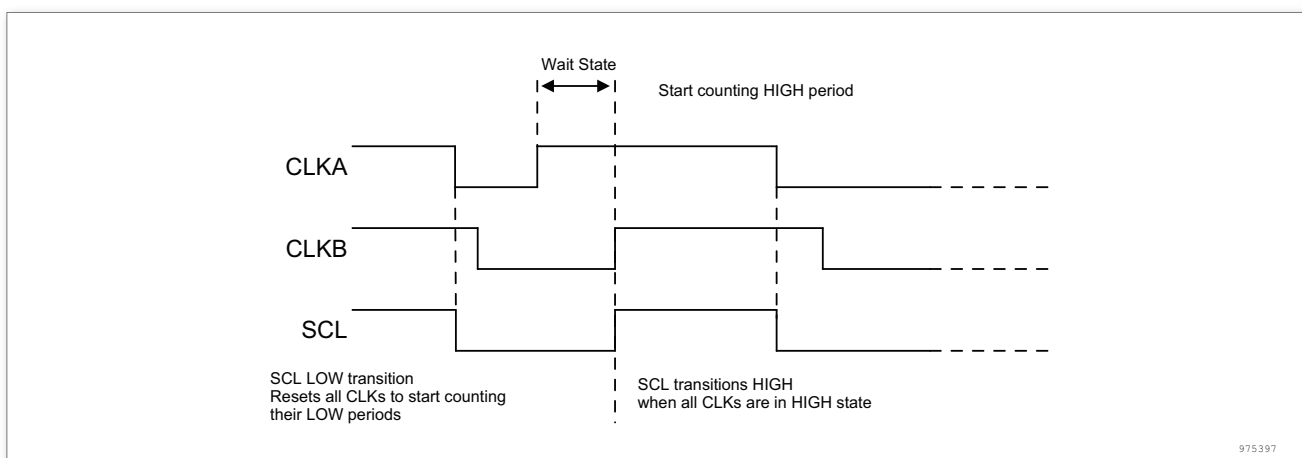


图 146. 多个主机时钟同步

15.3.7 SCL 配置

I2C 的电平可参考如下配置：

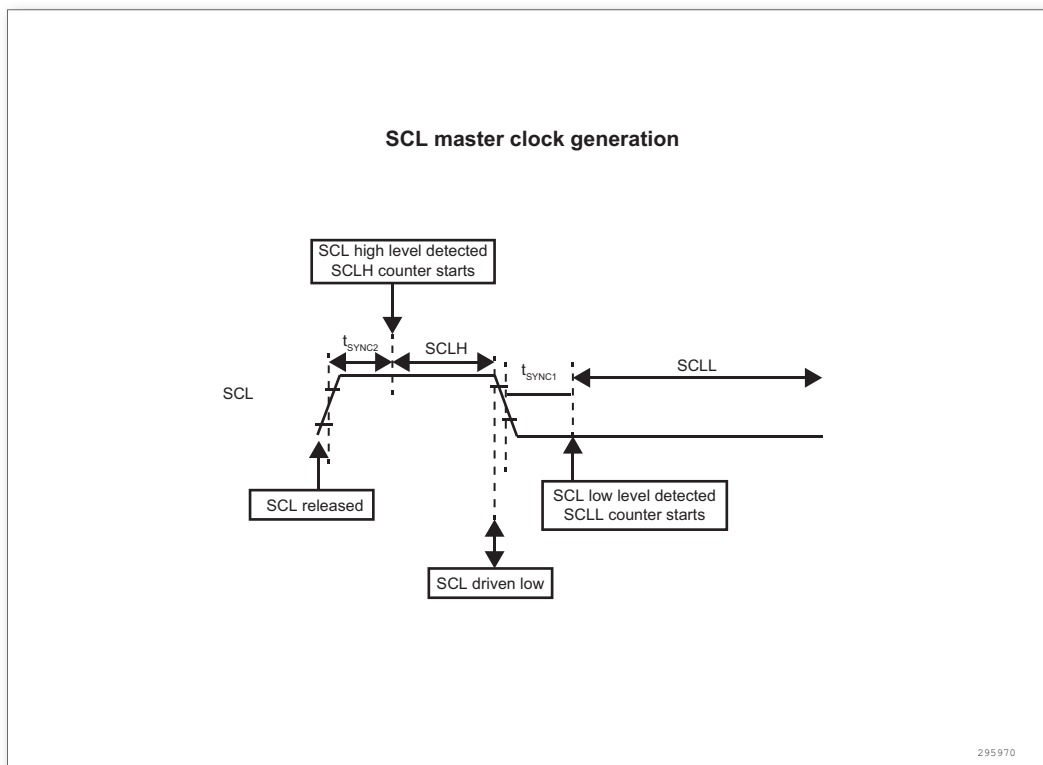


图 147. SCL master clock generation

$$\text{SCLH} = (\text{SSHR} + 12) \times \text{I2CCLK} + \text{tsyn1}$$

$$\text{SCLL} = (\text{SSLR} + 1) \times \text{I2CCLK} + \text{tsyn2}$$

注：tsyn1 为 0 ~ 1 个 I2CCLK，tsyn2 为 0 ~ 1 个 I2CCLK

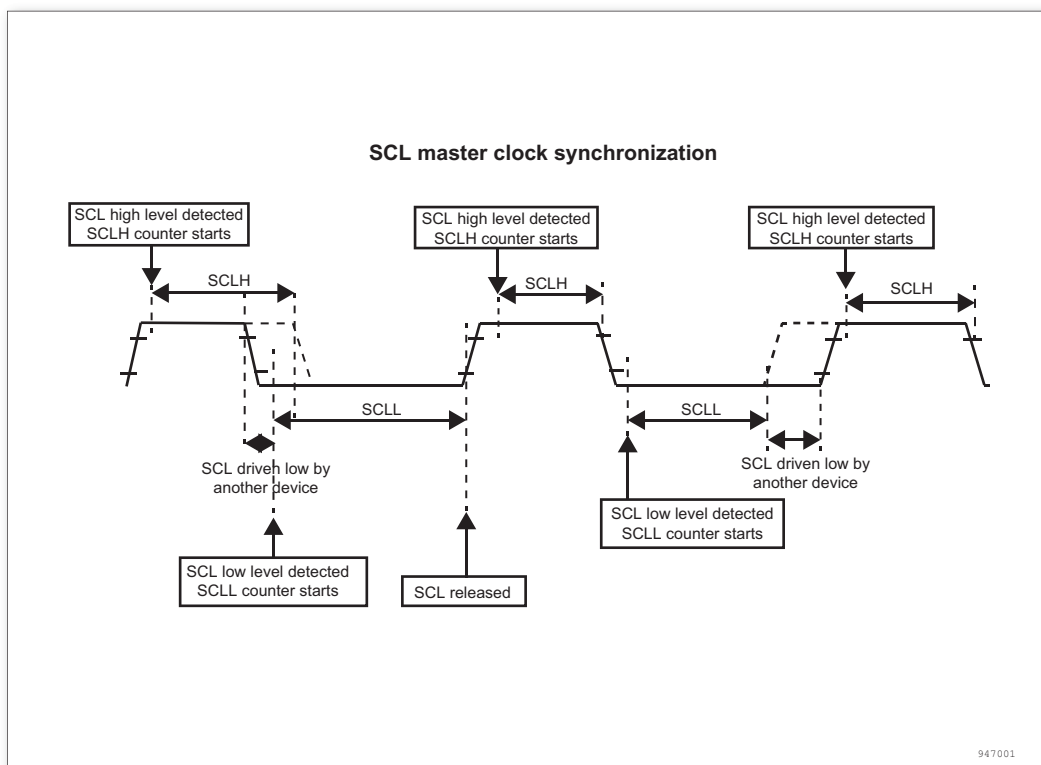


图 148. SCL master clock synchronization

$$\text{SCLH} = (\text{FSHR} + 12) \times \text{I2CCLK} + \text{tsyn1}$$

$$\text{SCLL} = (\text{FSLR} + 1) \times \text{I2CCLK} + \text{tsyn2}$$

注: tsyn1 为 2 ~ 3 个 I2CCLK, tsyn2 为 2 ~ 3 个 I2CCLK

15.4 I2C 工作模式

I2C 接口可以以下述 4 种方式中的一种运行:

- 从发送器模式
- 从接收器模式
- 主发送器模式
- 主接收器模式

注: I2C 接口模块只能工作在主机模式或者从机模式, 但不能同时工作在两种模式下。因此要确保寄存器 CR 中位 6(DISSLAVE) 和位 0(MASTER) 不能分别设置为 0 和 1(或者分别为 1 和 0)。

I2C 功能框图如下:

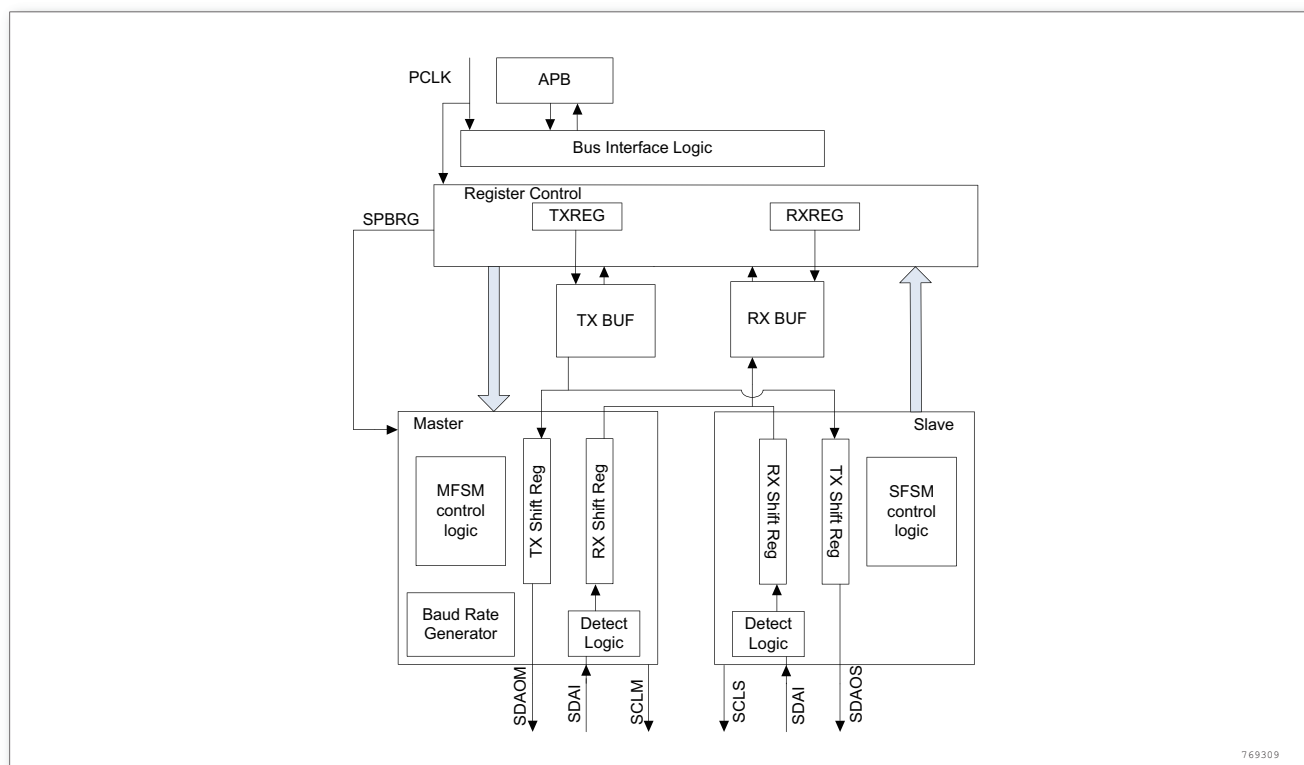


图 149. I2C 功能框图

15.4.1 从模式

下面介绍从模式的程序流程图

初始化配置

1. 写 0 到 ENR 寄存器位 0 禁止 I2C。
2. 通过初始化 SAR 寄存器来配置从机地址。该地址为 I2C 接口所响应的地址。
3. 配置 CR 寄存器指定地址格式 (设置 bit 3 来选择 7 位或 10 位地址格式)。写 0 到寄存器 CR 寄存器的位 6(DISSLAVER) 和写 0 到 0(MASTER)。
4. 写 1 到 ENR 寄存器中位 0 来使能 I2C 接口模块。

从发送的单字节操作

当 I2C 接口被其他 I2C 主机寻址并请求数据的时候，I2C 接口工作在从发送模式，步骤如下：

1. 其他 I2C 主机器件初始化 I2C 传输，发送地址与 SAR 寄存器中的从机地址匹配。
2. I2C 接口响应发送的地址，识别传输的方向是工作在从发送模式。
3. I2C 接口产生 RD_REQ 中断 (寄存器 RAWISR 位 5)，并且将 SCL 线拉低。总线一直处于等待状态直到软件响应。

如果 RD_REQ 中断被屏蔽 (寄存器 IMR[5] = 0)，建议 CPU 定期查询 RAWISR 寄存器。

1. RAWISR 位 5 置位等效于产生了一个 RD_REQ 中断。
2. 软件必须满足 I2C 传输的要求。
3. 时间间隔通常在 10 个 SCL 时钟周期左右。例如，对于 400kbps，时间间隔是 25us。
4. 如果在接收读请求之前 Tx FIFO 仍然有数据，I2C 接口就会产生一个 TX_ABRT 中断

(RAWISR[6]), 清空 Tx FIFO 中的数据。

5. 软件写数据到 DR 寄存器 (其中位 8 设置为 0)。
6. 软件必须先清除 RAWISR 寄存器 RD_REQ 和 TX_ABRT 中断 (分别为 bit5, 6)
7. I2C 接口释放 SCL, 并发送数据字节。
8. 主器件发送重复起始条件控制总线或者发送停止条件释放总线。

从接收的单字节操作

当其他主器件寻址 I2C 接口并且发送数据, I2C 接口工作在从接收模式, 步骤如下:

1. 其他 I2C 主器件初始化 I2C 传输, 发送地址与 SAR 寄存器中的从机地址匹配。
2. I2C 接口响应发送的地址, 识别传输的方向是工作在从接收模式。
3. I2C 接口收到主机发送的数据并将数据存储在接受缓冲中。
4. I2C 接口产生 RX_FULL 中断 (RAWISR[2]). 如果 RX_FULL 中断被屏蔽 (IMR[2] = 0), 建议软件定期查询 SR 寄存器中。读到 SR 寄存器位 3(RFNE) 为 1 时等效于 RX_FULL 中断产生。
5. 软件通过读 DR 寄存器中的 bit 7:0 来获得接收到的数据。
6. 主器件发送重复起始条件控制总线或者发送停止条件释放总线。

从机的块传输操作

标准的 I2C 协议中, 所有的数据处理都是单个字节的处理, 程序通过写一个字节到从机的 Tx FIFO 响应主机的读请求。当一个从机 (从发送) 接收到主机 (主接收) 的读请求 (RD_REQ) 时, 最少有一个数据放到从发送的 Tx FIFO。这个 I2C 接口模块可以处理 x FIFO 中有多个数据, 所以接下来的读请求不需要再产生中断来取数据。最终, 这极大的减少了因为每次数据中断导致等待时间。

该模式仅存在当 I2C 接口作为从发送模式。如果主机发送响应从发送传输的数据, 从机的 TX FIFO 中没有数据, I2C 接口将拉低 I2C 总线的 SCL 线直到读请求中断 (RD_REQ) 产生并且 TX FIFO 的数据准备好后才释放 SCL 线。

如果 RX_REQ 中断被屏蔽 (ISR[5] = 0), 软件可以定期查询读 RAWISR 寄存器。当读到 RAWISR[5] 返回为 1 等效于产生了 RX_REQ 中断。

RD_REQ 中断由于读请求产生, 像中断一样必须退出中断服务程序 (ISR) 时清除。在中断服务程序中 (ISR) 可以写一个或多个字节的数据到 TX FIFO。在这些字节传输给主机的过程中, 如果主机响应了最后一个字节, 从机将必须再次产生 RD_REQ 中断请求。这是因为主机要求更多的数据。

如果主机接收了来自 I2C 接口的 n 字节, 但是程序写到 Tx FIFO 中的数据个数大于 n, 从机在完成要求的 n 字节的数据发送后, 将会清空 Tx FIFO 并且忽略额外的字节。

15.4.2 主模式

初始化配置

1. 通过设置 ENR[0] = 0 来禁止 I2C 接口
2. 配置 CR 寄存器的 bit 2:1 设置 I2C 工作的速率模式 (标准模式、快速模式)。同时确保 bit 6(DISSLAVE) 为 1, 且 bit 0(MASTER) 为 1。
3. 往 TAR 寄存器写入 I2C 器件地址。设置该寄存器可配置为广播地址或起始字节命令。
4. 置位 ENR[0] 使能 I2C 接口。

5. 将传输的数据以及传输方向写入到 DR 寄存器中。如果在使能 I2C 接口之前配置了 DR 寄存器，数据和命令都会丢失，这是因为在 I2C 接口禁止的情况下缓冲是清空的。

以上的步骤将会使得 I2C 接口产生一个起始条件并发送地址字节数据到 I2C 总线上。

主发送和主接收

I2C 接口支持读写的动态切换。当发送数据时，写数据到 I2C RX/TX 数据缓冲和命令寄存器的低字节中 (DR)，配置 CMD 位为 0 产生写操作。接下来的读命令，不需要设置 DR 寄存器的低字节，只需要确保 CMD 位为 1。如果发送 FIFO 为空，I2C 模块拉低 SCL 直到下个命令写入到发送 FIFO 中。

程序流程图

下面的流程图为 I2C 接口作为主机的程序示例：

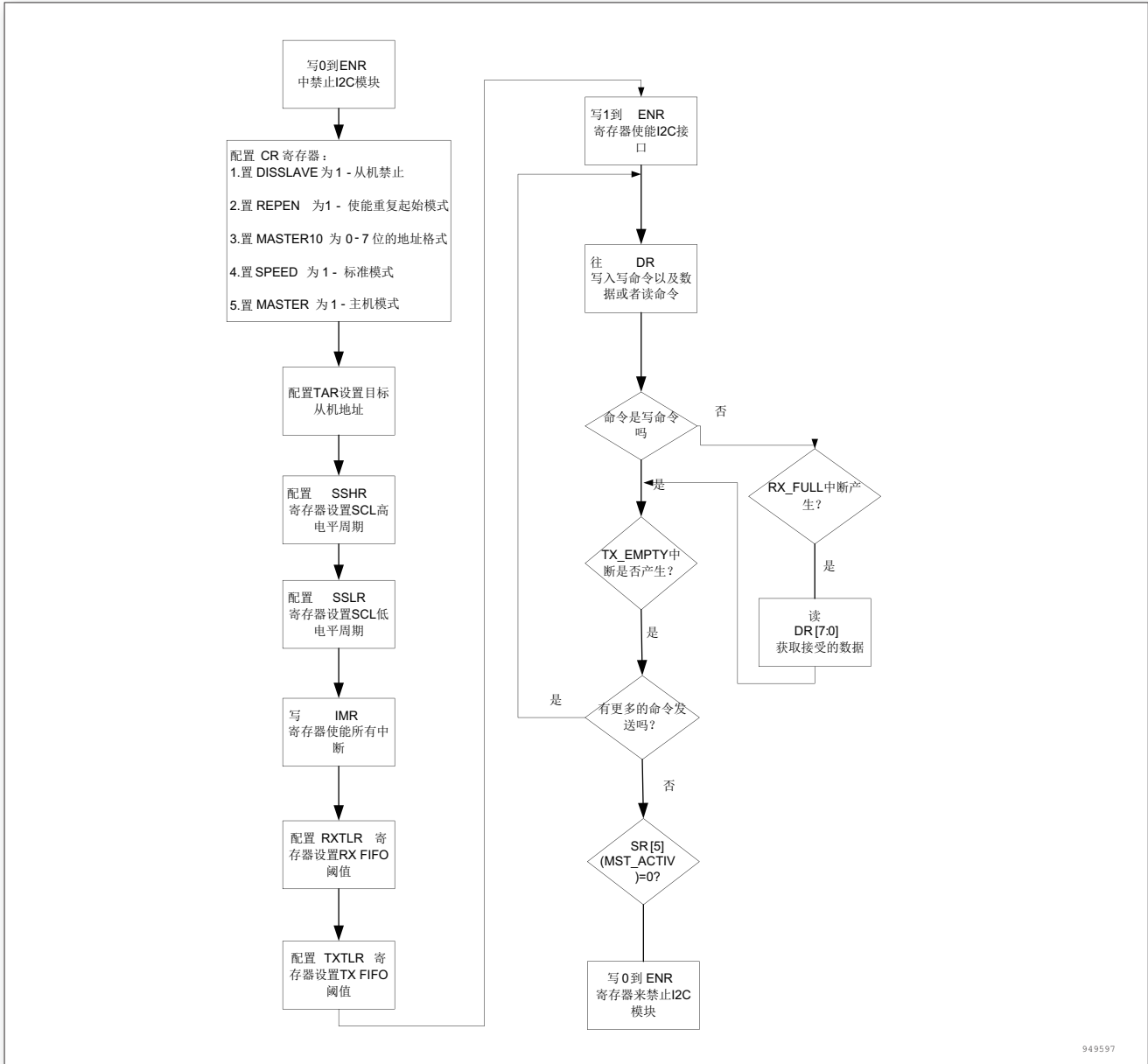


图 150. I2C 接口主机流程图

15.4.3 I2C 中止传输

ENR 寄存器中的 ABRT 控制位允许软件在完成 TX FIFO 中传输命令之前放弃 I2C 总线。作为 ABORT 请求的响应，I2C 模块发出一个停止条件到 I2C 总线，同时清空 TX FIFO。中止传输操作值允许在主模式下。

程序流程

- 1. 停止往 Tx FIFO(DR) 中写新的命令
- 2. 置 ENR 寄存器 ABRT 位为 1
- 3. 等待 TX_ABRT 中断

15.5 I2C 中断

下表列出了 I2C 的中断位以及它们的设置和清除方式。部分位由硬件置位并由软件清除；另一部分位由硬件置位和清除。

表 244. 中断位的置位和清除

中断位	硬件置位/软件清除	硬件置位和清除
GEN_CALL	√	x
START_DET	√	x
STOP_DET	√	x
ACTIVITY	√	x
RX_DONE	√	x
TX_ABRT	√	x
RD_REQ	√	x
TX_EMPTY	x	√
TX_OVER	√	x
RX_FULL	x	√
RX_OVER	√	x
RX_UNDER	√	x

下图描述了中断寄存器中，中断位被硬件置位和软件清除的操作

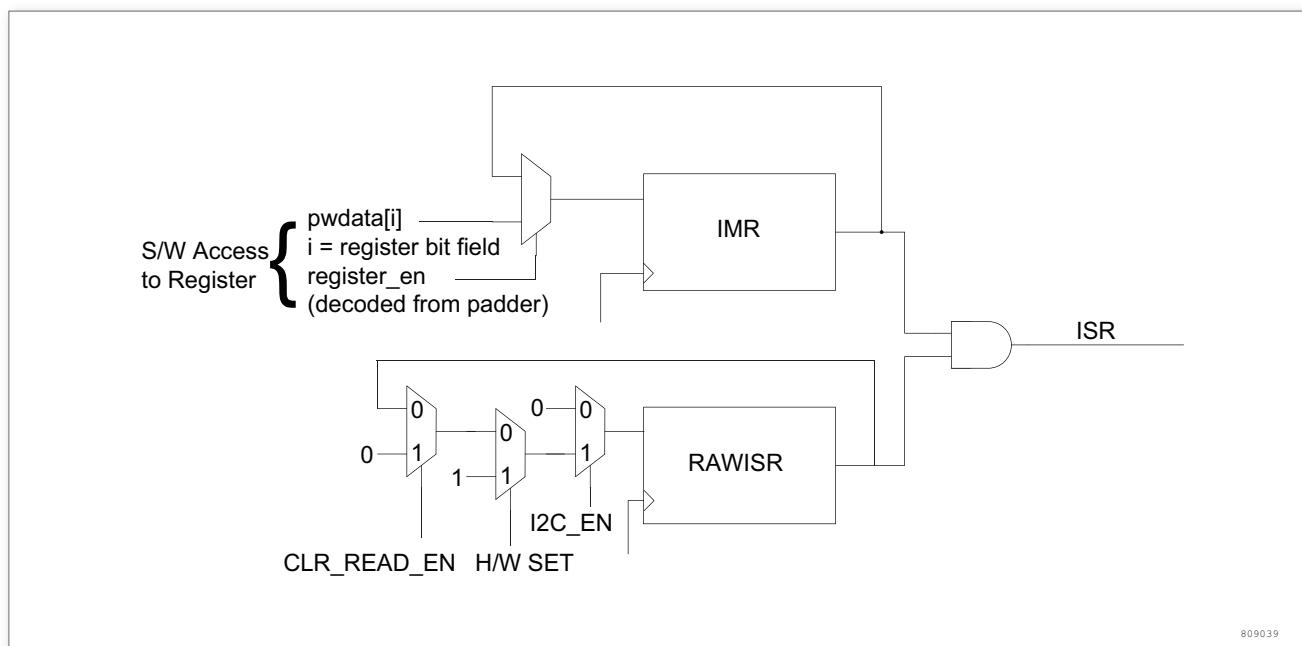


图 151. 中断机制

15.6 I2C 寄存器描述

表 246. I2C 寄存器描述概览

Offset	Acronym	Register Name	Reset	Section
0x00	I2C_CR	I2C 控制寄存器	0x0000007F	小节 15.6.1
0x04	I2C_TAR	I2C 目标地址寄存器	0x00000055	小节 15.6.2
0x08	I2C_SAR	I2C 从机地址寄存器	0x00000055	小节 15.6.3
0x10	I2C_DR	I2C 数据命令寄存器	0x00000001	小节 15.6.4
0x14	I2C_SSHR	标准模式 I2C 时钟高电平计数寄存器	0x00000190	小节 15.6.5
0x18	I2C_SSLR	标准模式 I2C 时钟低电平计数寄存器	0x000001D6	小节 15.6.6
0x1C	I2C_FSHR	快速模式 I2C 时钟高电平计数寄存器	0x0000003C	小节 15.6.7
0x20	I2C_FSLR	快速模式 I2C 时钟低电平计数寄存器	0x00000082	小节 15.6.8
0x2C	I2C_ISR	I2C 中断状态寄存器	0x00000000	小节 15.6.9
0x30	I2C_IMR	I2C 中断屏蔽寄存器	0x000008FF	小节 15.6.10
0x34	I2C_RAWISR	I2C RAW 中断寄存器	0x00000000	小节 15.6.11
0x38	I2C_RXTLR	I2C 接收阈值	0x00000000	小节 15.6.12
0x3C	I2C_TXTLR	I2C 发送阈值	0x00000000	小节 15.6.13
0x40	I2C_ICR	I2C 组合和独立中断清除寄存器	0x00000000	小节 15.6.14
0x44	I2C_RX_UNDER	I2C 清除 RX_UNDER 中断寄存器	0x00000000	小节 15.6.15

Offset	Acronym	Register Name	Reset	Section
0x48	I2C_RX_OVER	I2C 清除 RX_OVER 中断寄存器	0x00000000	小节 15.6.16
0x4C	I2C_TX_OVER	I2C 清除 TX_OVER 中断寄存器	0x00000000	小节 15.6.17
0x50	I2C_RD_REQ	I2C 清除 RD_REQ 中断寄存器	0x00000000	小节 15.6.18
0x54	I2C_TX_ABRT	I2C 清除 TX_ABRT 中断寄存器	0x00000000	小节 15.6.19
0x58	I2C_RX_DONE	I2C 清除 RX_DONE 中断寄存器	0x00000000	小节 15.6.20
0x5C	I2C_ACTIV	I2C 清除 ACTIVITY 中断寄存器	0x00000000	小节 15.6.21
0x60	I2C_STOP	I2C 清除 STOP_DET 中断寄存器	0x00000000	小节 15.6.22
0x64	I2C_START	I2C 清除 START_DET 中断寄存器	0x00000000	小节 15.6.23
0x68	I2C_GC	I2C 清除 GEN_CALL 中断寄存器	0x00000000	小节 15.6.24
0x6C	I2C_ENR	I2C 使能寄存器	0x00000000	小节 15.6.25
0x70	I2C_SR	I2C 状态寄存器	0x00000006	小节 15.6.26
0x74	I2C_TXFLR	I2C 发送缓冲水平寄存器	0x00000000	小节 15.6.27
0x78	I2C_RXFLR	I2C 接收缓冲水平寄存器	0x00000000	小节 15.6.28
0x7C	I2C_HOLD	I2C SDA 保持时间寄存器	0x00000001	小节 15.6.29
0x94	I2C_SETUP	I2C SDA 建立时间寄存器	0x00000064	小节 15.6.30
0x98	I2C_GCR	I2C 广播呼叫 ACK 寄存器	0x00000001	小节 15.6.31
0xB0	I2C_SLVMASK	I2C 从机地址掩码寄存器	0x000003FF	小节 15.6.32
0xB4	I2C_SLVRCVADDR	I2C 从机接收地址寄存器	0x00000000	小节 15.6.33

15.6.1 I2C 控制寄存器 (I2C_CR)

偏移地址: 0x00

复位值: 0x007F

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					RESTART	STOP	EMPINT	STOPINT	DISSLAVEREPEN	MASTER10	SLAVE10	SPEED		MASTER	
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 11	Reserved			始终读为 0。
10	RESTART	rw	0x00	发送或接收之前, 是否产生一个 RESTART 信号 仅在 IC_EMPTYFIFO_HOLD_MASTER_EN 的配置为“1”时有效。 1: 如果 RESTART 信号为“1”, 数据接收或发送 (根据 CMD 的值) 前产生一个 RESTART 的信号, 无论前一个命令是否改变数据的传输方向。如果 RESTART 信号为“0”, STOP 信号将紧跟 START 信号 0: 如果 RESTART 信号为“1”, 仅在前一个命令改变传输方向时才产生 RESTART 信号。如果 RESTART 信号为 ‘0’, STOP 信号将紧跟 START 信号

Bit	Field	Type	Reset	Description
9	STOP	rw	0x00	STOP: 发送或接收之后, 是否产生一个 STOP 信号 仅在 IC_EMPTYFIFO_HOLD_MASTER_EN 的配置为"1"时有效。 1: 当前字节之后产生一个 STOP 信号, 无论 Tx FIFO 是否为空。如果 Tx FIFO 不为空, 主机立即发出一个新的传输及总线仲裁信号 0: 当前字节之后不产生一个 STOP 信号, 无论 Tx FIFO 是否为空。主机继续当前传输 (发送或接收数据根据 CMD 的值)。如果 Tx FIFO 为空, 主机将拉低 SCL 挂起总线直至 Tx FIFO 收到新数据
8	EMPINT	rw	0x00	该位控制 TX_EMPTY 中断产生, 细节参考 RAWISR 寄存器。
7	STOPINT	rw	0x00	在从机模式下, 是否产生 STOP 中断。 1: 当地址匹配时才产生 STOP 中断 0: 无论地址是否匹配, 都产生 STOP 中断 该位仅适用于从机模式 注: 广播地址寻址时, 如果该位置位, 从机不产生 STOP 中断。 STOP 中断仅当发送的地址与从机地址匹配时产生。
6	DISSLAVER	rw	0x01	该位控制 I2C 接口从机禁止 (This bit controls whether I2C has its slave disabled) 0: 从机使能 1: 从机禁止
5	REPEN	rw	0x01	当作为主机时该位控制是否发送 RESTART 条件 (Determines whether RESTART conditions may be sent when acting as a master) 0: 禁止 1: 使能 当 RESTART 禁止, I2C 接口作为主机时不能执行以下功能: 发送起始字节 组合格式模式下改变传输方向 10 位的地址格式的读操作 替换 RESTART 条件为先发送停止条件再发送起始条件。如果上述操作执行会置位 RAWISR 寄存器的位 6(TX_ABRT)
4	MASTER10	rw	0x01	I2C 作为主机时的地址格式 (Address mode when acting as a master) 0: 7 位的地址格式 1: 10 位的地址格式

Bit	Field	Type	Reset	Description
3	SLAVE10	rw	0x01	当作为从机时, 该位控制响应 10 位或者 7 位地址 (When acting as a slave, this bit controls whether the I2C responds to 7- or 10-bit addresses) 0: 7 位的寻址地址。I2C 接口忽略处理 10 位的寻址。对于 7 位寻址, 仅比较 SAR 寄存器的低 7 位 1: 10 位的寻址地址。I2C 仅响应 10 位的寻址, 接收地址与 SAR 的 10 位比较
2: 1	SPEED	rw	0x03	该两位控制 I2C 接口工作的速率模式 (These bits control at which speed the I2C operates) 该设置仅当 I2C 接口工作在主机模式下有效。 1: 标准模式 (0 ~ 100Kbps) 2: 快速模式 (400Kbps)
0	MASTER	rw	0x01	该位控制主机模式 (This bit controls whether the I2C master is enabled) 0: 主机禁止 1: 主机使能

DISSLAVE(bit 6) 和 MASTER(bit 0) 配置如下表所列:

表 248. DISSLAVE(bit 6) 和 MASTER(bit 0) 配置

DISSLAVE CR[6]	MASTER CR[0]	状态
0	0	从机器件
0	1	配置错误
1	0	配置错误
1	1	主机器件

15.6.2 I2C 目标地址寄存器 (I2C_TAR)

偏移地址: 0x04

复位值: 0x0055

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				SPECIAL	GC	ADDR									
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 12	Reserved			始终读为 0。
11	SPECIAL	rw	0x00	该位指示软件执行的是否是特殊命令 (广播呼叫或者起始字节命令) 0: 忽略第 10 位 GC, 正常使用 ADDR 位 1: 执行特殊 I2C 命令如 GC 位描述

Bit	Field	Type	Reset	Description
10	GC	rw	0x00	如果位 11 置位, 该位显示 I2C 执行的是广播呼叫还是起始字节 (If bit 11(SPECIAL) is set to 1, then this bit indicates whether a General Call or START byte command is to be performed by the I2C) 0: 广播呼叫地址。发送广播呼叫地址时只能执行写操作。I2C 接口一直工作在广播地址模式下直到 SPECIAL(bit 11) 的值被清零 1: 起始字节命令
9 : 0	ADDR	rw	0x55	主操作的目标地址 (This is the target address for any master transaction) 当发送一个广播地址, 这些位就可以忽略。 要产生开始字节的命令, CPU 只需要对这些位写一次。

15.6.3 I2C 从机地址寄存器 (I2C_SAR)

偏移地址: 0x08

复位值: 0x0055

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						ADDR									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 10	Reserved			始终读为 0。
9 : 0	ADDR	rw	0x55	当 I2C 接口工作在从机模式下, 这些存储从机地址对于 7 位的地址格式, ADDR 只有 [6:0] 有效。

15.6.4 I2C 数据命令寄存器 (I2C_DR)

偏移地址: 0x10

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					RES TART	STOP	CMD	DAT							
					w	w	w	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 9	Reserved			始终读为 0。

Bit	Field	Type	Reset	Description
8	CMD	w	0x00	控制在主模式下执行读或写操作 1: 读 0: 写 当一个命令进入 TX FIFO, 该位用于区分读写命令。在从接收模式下, 该位写值操作被忽略。在从发送模式下, 写 0 表示 DR 寄存器的数据准备发送。
7:0	DAT	rw	0x00	I2C 总线待发送或者接收到的数据

15.6.5 标准模式 I2C 时钟高电平计数寄存器 (I2C_SSHR)

偏移地址: 0x14

复位值: 0x0190

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 0	CNT	rw	0x0190	I2C 接口标准模式下 SCL 时钟高电平周期 注意: 该寄存器可配置值在 6 和 65525 之间, 这是由于 I2C 接口使用了一个 16 位的计数器, 该计数器值等于 SSHR + 10 时标志 I2C 总线处于空闲状态。

15.6.6 标准模式 I2C 时钟低电平计数寄存器 (I2C_SSLR)

偏移地址: 0x18

复位值: 0x01D6

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 0	CNT	rw	0x01D6	I2C 接口标准模式下 SCL 时钟低电平周期 最小值为 8。

15.6.7 快速模式 I2C 时钟高电平计数寄存器 (I2C_FSHR)

偏移地址: 0x1C

复位值: 0x003C

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 0	CNT	rw	0x003C	I2C 接口快速模式下 SCL 时钟高电平周期 当 I2C 工作在标准模式下该寄存器为只读且返回值为 0。 最小值为 6。

15.6.8 快速模式 I2C 时钟低电平计数寄存器 (I2C_FSLR)

偏移地址: 0x20

复位值: 0x0082

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 0	CNT	rw	0x0082	I2C 接口快速模式下 SCL 时钟低电平周期 当 I2C 工作在标准模式下该寄存器为只读且返回值为 0。 最小值为 8。

15.6.9 I2C 中断状态寄存器 (I2C_ISR)

偏移地址: 0x2C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				GC	START	STOP	ACTIV	RX_DONE	TX_ABRT	RD_REQ	TX_EMPTY	TX_OVER	RX_FULL	RX_OVER	RX_UNDER
				r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
15 : 12	Reserved			始终读为 0。
11 : 0	ISR	r	0x0000	具体每位描述可以参考 RAWISR 寄存器

15.6.10 I2C 中断屏蔽寄存器 (I2C_IMR)

偏移地址: 0x30

复位值: 0x08FF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				GC	START	STOP	ACTIV	RX_DONE	TX_ABRT	RD_REQ	TX_EMPTY	TX_OVER	RX_FULL	RX_OVER	RX_UNDER
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 12	Reserved			始终读为 0。
11 : 0	IMR	rw	0x08FF	每一位屏蔽与 ISR 对应位。

15.6.11 I2C RAW 中断寄存器 (I2C_RAWISR)

偏移地址：0x34

复位值：0x0000

RAWISR 与 ISR 寄存器的区别在于前者不会被屏蔽。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				GC	START	STOP	ACTIV	RX_DONE	TX_ABORT	RD_REQ	TX_EMPTY	TX_OVER	RX_FULL	RX_OVER	RX_UNDER
				r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
15 : 12	Reserved			始终读为 0。
11	GC	r	0x00	广播呼叫 (General call) 接收到广播呼叫地址时置位。 禁止 I2C 接口或者当 CPU 读 GC 寄存器时清零。I2C 将接收的数据存储在接收缓冲中。
10	START	r	0x00	起始条件检测 (Start condition detection) 无论 I2C 接口工作在主机或者从机，一旦检测到 I2C 接口上起始或者重复起始条件即置位该位
9	STOP	r	0x00	停止条件检测 (Stop condition detection) 该位状态依据 CR 寄存器的 STOPINT 的状态 当 STOPINT = 0 无论 I2C 接口工作在主机或者从机，一旦检测到 I2C 接口上停止条件时即置位该位。从机模式下，无论寻址是否匹配都会产生一个 STOP 中断 当 STOPINT = 1 在主机模式下 (MASTER = 1)，该位显示 I2C 接口是否发生停止条件 在从机模式下 (MASTER = 0)，仅当从机地址匹配成功时产生一个 STOP 中断。
8	ACTIV	r	0x00	I2C 接口激活，该位用于捕捉 I2C 模块的活动状态 置位后只能由以下四种方式清零： 禁止 I2C 接口 读 ACTIV 寄存器 读 ICR 寄存器 系统复位 一旦置位后，只能由上述方式清零，即使 I2C 处于空闲状态，该位也仍然保持为高直到被清零。

Bit	Field	Type	Reset	Description
7	RX_DONE	r	0x00	从发送结束 (Transmit done) 当 I2C 作为从发送时, 如果发送一个字节的数据后主机没有响应, 将会置位该位。 该情况发生在传输的最后一个字节, 表示传输结束。
6	TX_ABRT	r	0x00	发送中止 (Transmit abort) 当 I2C 接口作为发送机时, 不能发送完缓冲中的数据时置位。 注意: 发送中止会将 I2C 接口中的接收和发送缓冲清空。发送缓冲会处于刷新状态直到读 TX_ABRT 寄存器。一旦该读操作执行后, 发送就可以接收 APB 总线上的新的数据。
5	RD_REQ	r	0x00	读请求 (Read request) 当 I2C 作为从机, 其他主机试图从 I2C 接口读取数据时置位。 I2C 接口会使总线保持等待状态 (SCL = 0) 直到中断被处理。这就意味着 I2C 接口作为从机时被其他主机寻址成功且要求发送数据。处理器必须响应该中断然后写入数据到 DR 寄存器中。当处理器读 RD_REQ 寄存器该位清零。
4	TX_EMPTY	r	0x00	发送缓冲空 (Transmit buffer empty) 该位状态取决于 CR 寄存器中的 EMPINT 状态: 当 EMPINT = 0, 发送缓冲区数据个数小于等于阈值时置位 当 EMPINT = 1, 发送缓冲区数据个数小于等于阈值且前一个发送数据的内部移位寄存器结束时置位 当发送缓冲非空时由硬件自动清零。
3	TX_OVER	r	0x00	发送缓冲过载 (Transmit buffer over) 发送缓冲满时处理器写入新的数据导致溢出时置位。
2	RX_FULL	r	0x00	接收缓冲非空 (Receive buffer not empty) 当接收缓冲非空时置位。 当接收缓冲为空时由硬件清零。
1	RX_OVER	r	0x00	接收缓冲过载 (Receive buffer over) 接收缓冲满且有收到新的数据时置位。此时 I2C 接口会响应, 但新的数据会丢失。
0	RX_UNDER	r	0x00	接收缓冲欠载 (Receive buffer under) 当 RX FIFO 为空时处理器读 DR 寄存器时置位。

15.6.12 I2C 接收阈值 (I2C_RXTLR)

偏移地址: 0x38

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TL							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 8	Reserved			始终读为 0。
7 : 0	TL	rw	0x00	接收 FIFO 阈值 (Receive FIFO threshold level) 控制 RX_FULL 中断触发。

15.6.13 I2C 发送阈值 (I2C_TXTLR)

偏移地址: 0x3C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TL							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 8	Reserved			始终读为 0。
7 : 0	TL	rw	0x00	发送 FIFO 阈值 (Transmit FIFO threshold level) 控制 TX_EMPTY 中断触发。

15.6.14 I2C 组合和独立中断清除寄存器 (I2C_ICR)

偏移地址: 0x40

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ICR	
														rc_r	

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	ICR	rc_r	0x00	读该寄存器将会清除所有组合中断、独立中断 该位不清除硬件可自动清除的中断，仅清除软件可清除中断。

15.6.15 I2C 清除 RX_UNDER 中断寄存器 (I2C_RX_UNDER)

偏移地址: 0x44

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														RX_UNDER	
														rc_r	

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	RX_UNDER	rc_r	0x00	读该寄存器清零 RX_UNDER 中断 (RAWISR[0])

15.6.16 I2C 清除 RX_OVER 中断寄存器 (I2C_RX_OVER)

偏移地址: 0x48

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															RX_OVER
															rc_r

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	RX_OVER	rc_r	0x00	读该寄存器清零 RX_OVER 中断 (RAWISR[1])

15.6.17 I2C 清除 TX_OVER 中断寄存器 (I2C_TX_OVER)

偏移地址: 0x4C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															TX_OVER
															rc_r

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	TX_OVER	rc_r	0x00	读该寄存器清零 TX_OVER 中断 (RAW_ISR[3])

15.6.18 I2C 清除 RD_REQ 中断寄存器 (I2C_RD_REQ)

偏移地址: 0x50

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															RD_REQ
															rc_r

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	RD_REQ	rc_r	0x00	读该寄存器清零 RD_REQ 中断 (RAW_ISR[5])

15.6.19 I2C 清除 TX_ABRT 中断寄存器 (I2C_TX_ABRT)

偏移地址: 0x54

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															TX_ABRT
rc_r															

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	TX_ABRT	rc_r	0x00	读该寄存器清零 TX_ABRT 中断 (RAWISR6]) 同时也将 TX FIFO 从刷新/复位状态中释放, 以便接收写入的数据。

15.6.20 I2C 清除 RX_DONE 中断寄存器 (I2C_RX_DONE)

偏移地址: 0x58

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															RX_DONE
rc_r															

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	RX_DONE	rc_r	0x00	读该寄存器清零 RX_DONE 中断 (RAWISR[7])

15.6.21 I2C 清除 ACTIVITY 中断寄存器 (I2C_ACTIV)

偏移地址: 0x5C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															ACTIV
rc_r															

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。

Bit	Field	Type	Reset	Description
0	ACTIV	rc_r	0x00	如果 I2C 总线不活动则读该寄存器清零 ACTIV 中断 (RAWISR[8]) 如果 I2C 仍然活动, 那么 ACTIV 中断将继续置位。当 I2C 模块禁止或者在 I2C 总线不再活动时该位由硬件清零。可以通过读该寄存器得到 RAWISR 中的 ACTIV(bit 8) 的状态。

15.6.22 I2C 清除 STOP_DET 中断寄存器 (I2C_STOP)

偏移地址: 0x60

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															STOP
rc_r															

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	STOP	rc_r	0x00	读该寄存器清零 STOP 中断 (RAWISR[9])

15.6.23 I2C 清除 START_DET 中断寄存器 (I2C_START)

偏移地址: 0x64

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															START
rc_r															

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	START	rc_r	0x00	读该寄存器清零 START 中断 (RAWISR[10])

15.6.24 I2C 清除 GEN_CALL 中断寄存器 (I2C_GC)

偏移地址: 0x68

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															GC
rc_r															

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	GC	rc_r	0x00	读该寄存器清零 GC 中断 (RAWISR[11])

15.6.25 I2C 使能寄存器 (I2C_ENR)

偏移地址: 0x6C

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														ABORT	ENABLE
														rw	rw

Bit	Field	Type	Reset	Description
15 : 2	Reserved			始终读为 0。
1	ABORT	rw	0x00	I2C 传输中止 (I2C transfer abort) 0: 中止没有发生或者已经结束 1: 中止操作正在进行 I2C 模块作为主机时置位时可以软件中止 I2C 的传输。一旦置位不能立即清除。置位后 I2C 模块控制逻辑会在完成当前传输之后产生一个 STOP 条件和清空发送缓冲, 中止操作之后产生 TX_ABRT 中断。 该 ABORT 位会在中止操作结束后自动清零。
0	ENABLE	rw	0x00	I2C 模块使能 (I2C mode enable) 0: 禁止 I2C 模块 (发送和接收缓冲保持擦除状态) 1: 使能 I2C 模块

15.6.26 I2C 状态寄存器 (I2C_SR)

偏移地址: 0x70

复位值: 0x0006

该寄存器只读, 指示当前传输和缓冲状态, 状态位不产生中断。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									SLV_ACTIV	MST_ACTIV	RFF	RFNE	TFE	TFNE	ACTIV
									r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
15 : 7	Reserved			始终读为 0。
6	SLV_ACTIV	r	0x00	从机状态机活动状态位 (Slave FSM activity status) 0: 从机状态机处于 IDLE 状态, 所以 I2C 从机部分不活动 1: 从机状态机不处于 IDLE 状态, 所以 I2C 从机部分活动

Bit	Field	Type	Reset	Description
5	MST _ACTIV	r	0x00	主机状态机活动状态位 (Master FSM activity status) 0: 主机状态机处于 IDLE 状态, 所以 I2C 主机部分不活动 1: 主机状态机不处于 IDLE 状态, 所以 I2C 主机部分活动
4	RFF	r	0x00	接收缓冲满 (Receive FIFO completely full) 0: 接收缓冲未滿 1: 接收缓冲滿
3	RFNE	r	0x00	接收缓冲非空 (Receive FIFO not empty) 0: 接收缓冲空 1: 接收缓冲非空
2	TFE	r	0x01	发送缓冲空 (Transmit FIFO completely empty) 0: 发送缓冲非空 1: 发送缓冲空
1	TFNF	r	0x01	发送缓冲未滿 (Transmit FIFO not full) 0: 发送缓冲滿 1: 发送缓冲未滿
0	ACTIV	r	0x00	I2C 位活动状态 (I2C activity status) MST_ACTIV 位与 SLV_ACTIV 位相或的结果。

15.6.27 I2C 发送缓冲水平寄存器 (I2C_TXFLR)

偏移地址: 0x74

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CNT	
														r	r

Bit	Field	Type	Reset	Description
15 : 2	Reserved			始终读为 0。
1 : 0	CNT	r	0x00	发送缓冲中有效数据个数 (0 ~ 2)

15.6.28 I2C 接收缓冲水平寄存器 (I2C_RXFLR)

偏移地址: 0x78

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														CNT	
														r	r

Bit	Field	Type	Reset	Description
15 : 2	Reserved			始终读为 0。
1 : 0	CNT	r	0x00	接收缓冲中有效数据个数 (0 ~ 2)

15.6.29 I2C SDA 保持时间寄存器 (I2C_HOLD)

偏移地址: 0x7C

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								RX_HOLD							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TX_HOLD															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 24	Reserved			始终读为 0。
23 : 16	RX_HOLD	rw	0x00	当 I2C 器件作为接收时, SDA 保持时间, 单位为 APB1 系统时钟周期
15 : 0	TX_HOLD	rw	0x01	当 I2C 器件作为发送时, SDA 保持时间, 单位为 APB1 系统时钟周期

15.6.30 I2C SDA 建立时间寄存器 (I2C_SETUP)

偏移地址: 0x94

复位值: 0x0064

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CNT							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
15 : 8	Reserved			始终读为 0。
7 : 0	CNT	rw	0x64	SDA 建立时间 (SDA setup) 如果有要求建议延迟时间为 1000nS, APB1 时钟频率为 10MHZ 时, 建议该寄存器设为 11。该寄存器最小值为 2。

15.6.31 I2C 广播呼叫 ACK 寄存器 (I2C_GCR)

偏移地址: 0x98

复位值: 0x0001

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														GC	
														rw	

Bit	Field	Type	Reset	Description
15 : 1	Reserved			始终读为 0。
0	GC	rw	0x01	广播呼叫 ACK(ACK general call) 1: 接收到广播呼叫后响应 ACK 0: 接收到广播呼叫后不响应, 也不产生中断

15.6.32 I2C 从机地址掩码寄存器 (I2C_SLVMASK)

偏移地址: 0xB0

复位值: 0x03FF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						MASK									
rw															

Bit	Field	Type	Reset	Description
15 : 10	Reserved			始终读为 0。
9 : 0	MASK	rw	0x03FF	从机地址掩码 1: 表示 SAR 寄存器的相应位需要比较 0: 表示 SAR 寄存器的相应位被掩码忽略, 不需要比较

15.6.33 I2C 从机接收地址寄存器 (I2C_SLVRCVADDR)

偏移地址: 0xB4

复位值: 0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						ADDR									
r															

Bit	Field	Type	Reset	Description
15 : 10	Reserved			始终读为 0。
9 : 0	ADDR	r	0x0000	从机实际接收的地址

16 通用异步收发器 (UART)

通用异步收发器 (UART)

16.1 UART 简介

通用异步收发器 (UART) 提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。UART 利用分数波特率发生器提供宽范围的波特率选择。它支持同步单向通信和半双工单线通信。

16.2 UART 主要特征

- 支持异步方式下 RS-232S 协议，符合工业标准 16550
- 全双工异步操作
- 分数波特率发生器系统
- 发送和接收共用的可编程波特率
- 单独分开的发送和接收缓冲寄存器
- 内置 1 字节发送和 1 字节接收缓冲
- 发送和接收数据低位在前
- 一个起始位开始，后面接数据位，输出的数据长度可为 5 位、6 位、7 位、8 位，最后为停止位。另外可选择是否有加奇偶校验位，奇偶校验位在数据位之后停止位之前。
- 第 9 位可做同步帧配置
- 支持硬件奇数或者偶数校验产生和侦测
- 线断开产生和侦测
- 线空闲产生和侦测
- 支持 LIN 协议下收发 brk
- 支持信号收发互换，接收和发送取反
- 支持波特率自适应功能
- 支持下面中断源：
 - 发送端 BUFFER 空
 - 接收端数据有效
 - 接收缓冲缓存溢出
 - 帧错误
 - 奇偶校验错误
 - 接收断开帧
 - 发送移位寄存器完成
 - 发送断开帧完成
 - 接收同步帧
 - 空闲帧完成
 - 自动波特率结束
 - 自动波特率错误

16.3 UART 功能概述

任何 UART 双向通信至少需要两个脚：接收数据输入 (RX) 和发送数据输出 (TX)。

RX: 接收数据串行输入。通过过采样技术来区别数据和噪音，从而恢复数据。

TX: 发送数据输出。当发送器被禁止时，输出引脚恢复到它的 I/O 端口配置。当发送器被激活，并且不发送数据时，TX 引脚处于高电平。

- 总线在发送或接收前应处于空闲状态
- 一个起始位
- 一个数据字 (5, 6, 7 或 8 位)，最低有效位在前
- 0.5, 1, 1.5, 2 个的停止位，由此表明数据帧的结束
- 使用分数波特率发生器——16 位整数和 4 位小数的表示方法。
- 通过使能 UART_GCR 寄存器的 SWAP 位，可以交换接收和发送端的信号。
- 通过使能 UART_GCR 寄存器的 RX_TOG/ TX_TOG 位，可以将接收/发送端的信号取反。

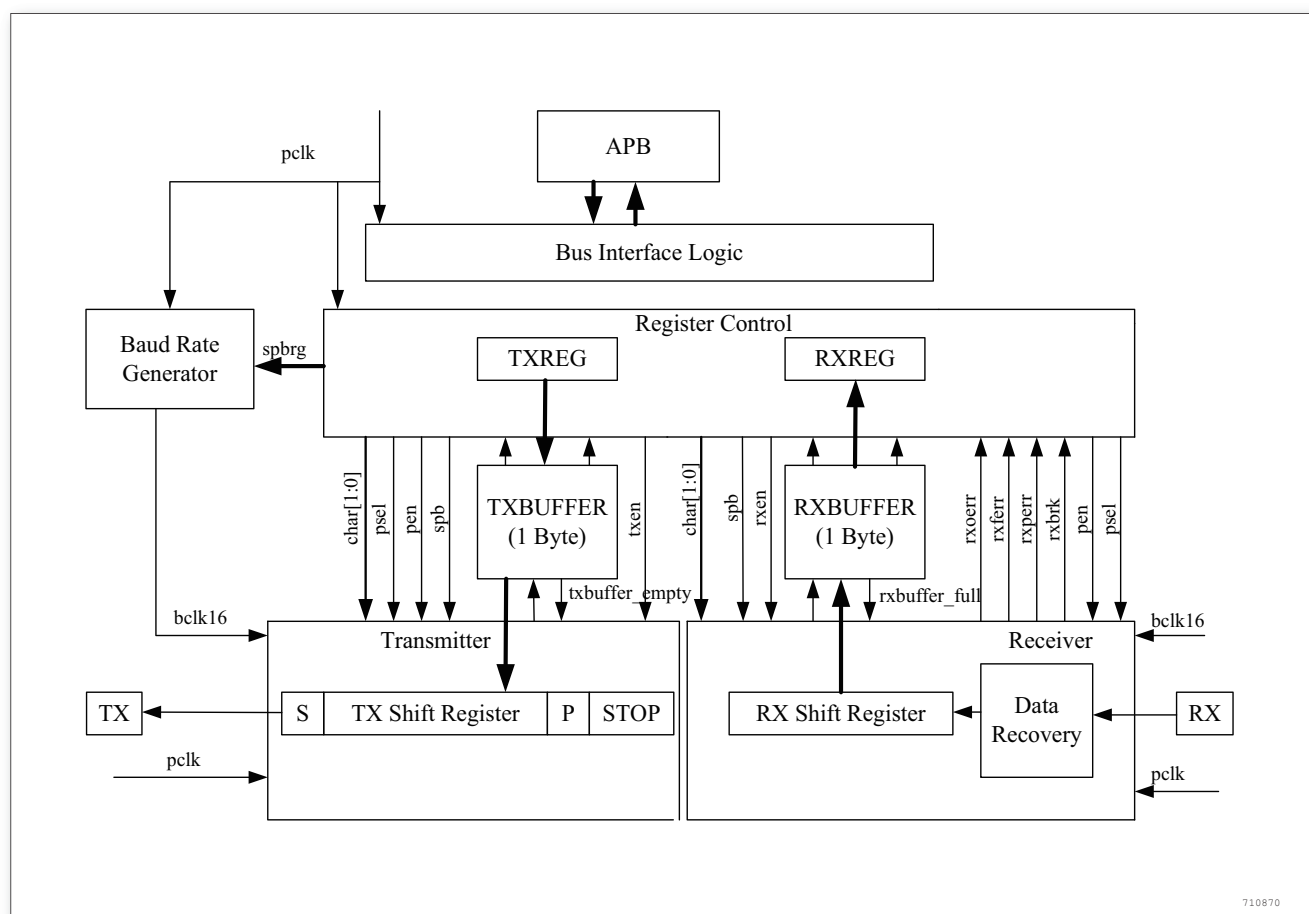


图 152. UART 方框图

16.3.1 UART 特性描述

字长可以通过编程 UART_CCR 寄存器中的 CHAR 位，选择 5 ~ 8 位。在起始位期间，TX 脚处于低电平，在停止位期间处于高电平。

空闲符号被视为完全由 '1' 组成的一个完整的数据帧，后面跟着包含了数据的下一帧的开始位 ('1' 的位数也包括了停止位的位数)。

断开符号被视为在一个帧周期内全部收到'0'(包括停止位期间，也是'0')。在断开帧结束时，发送器再插入 1 个停止位 ('1') 来应答起始位。

发送和接收由一个共用的波特率发生器驱动，当发送器和接收器的使能位分别置位时，分别为其产生时钟。

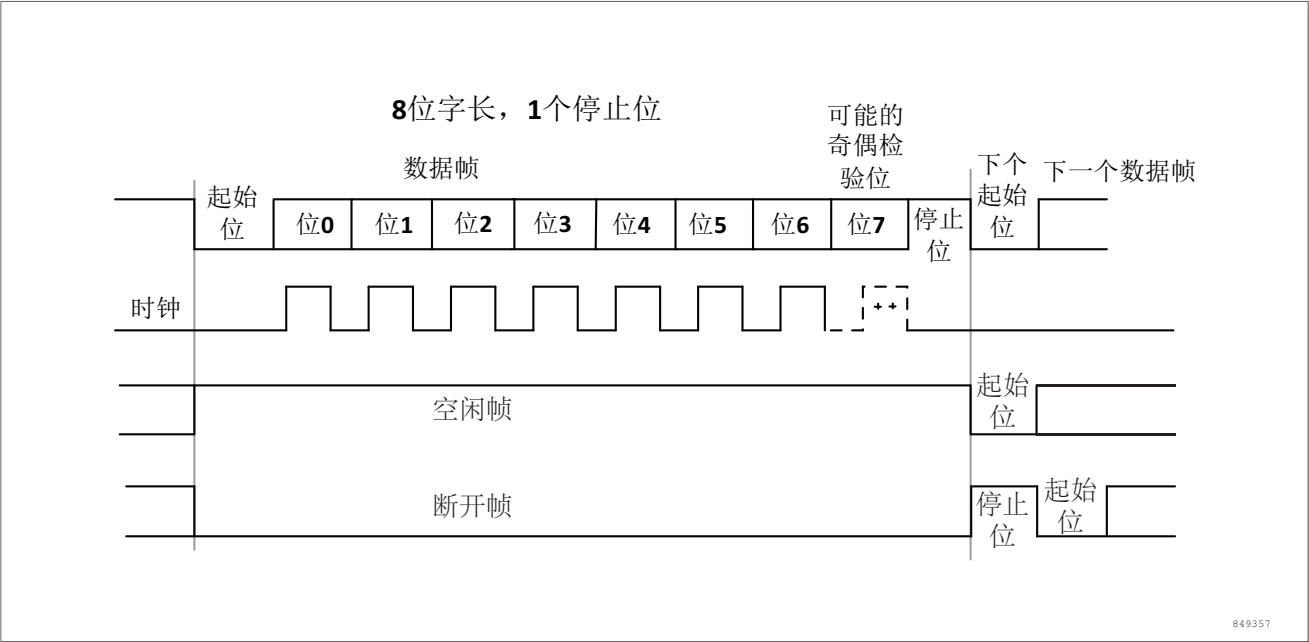


图 153. UART 时序

16.3.2 发送器

发送器根据 CHAR 位的状态发送 5 ~ 8 位的数据。当发送使能位 (TXEN) 被设置时，发送移位寄存器中的数据在 TX 脚上输出。

字符发送

在 UART 发送期间，在 TX 引脚上首先移出数据的最低有效位。在此模式里，UART_TDR 寄存器包含了一个内部总线和发送移位寄存器之间的缓冲器。

每个字符之前都有一个低电平的起始位，之后跟着的停止位，其数目可配置。

在数据传输期间不能复位 TXEN 位，否则将破坏 TX 脚上的数据，因为波特率计数器停止计数。正在传输的当前数据将丢失。

可配置的停止位

随每个字符发送的停止位的位数可以通过 SPB 位进行编程。

断开帧由起始位 + 数据位 + (校验位) + 停止位构成，长度不固定，会随着数据位、校验位、停止位设置的不同而不同。接收到断开帧会置位中断状态寄存器的 RXBRK_INTF 位。

配置步骤

1. 通过在 UART_GCR 寄存器上置位 UARTEN 位来激活 UART。
2. 编程 UART_CCR 的 CHAR 位来定义字长。
3. 在 UART_CCR 中 SPB 编程停止位的位数。
4. 设置 UART_GCR 中的 TXEN 位。
5. 设置 UART_BRR 和 UART_FRA，选择要求的波特率。

6. 把要发送的数据写进 `UART_TDR` 寄存器 (此动作清除 `TX_INTF` 位)。在只有一个缓冲器的情况下, 对每个待发送的数据重复步骤 6。

单字节通信

清零 `TX_INTF` 位总是通过对数据寄存器的写操作来完成的。`TX_INTF` 位由硬件来设置, 它表明:

- 数据已经从 `TDR` 移送到移位寄存器, 数据发送已经开始
- `TDR` 寄存器被清空
- 下一个数据可以被写进 `UART_TDR` 寄存器而不会覆盖先前的数据。

如果 `TXIEN` 位被设置, 此标志将产生一个中断。如果此时 `UART` 正在发送数据, 对 `UART_TDR` 寄存器的写操作把数据存进 `TDR` 寄存器, 并在当前传输结束时把该数据复制进移位寄存器。

如果此时 `UART` 没有在发送数据, 处于空闲状态, 对 `UART_TDR` 寄存器的写操作直接把数据放进移位寄存器, 数据传输开始, `TX_INTF` 位立即被置起。同时 `UART_CSR` 的 `TXBUF_EMPTY` 也会置起。当一帧发送完成时 (停止位发送后), 同时没有往 `UART_TDR` 写入新的数据 (`TDR` 寄存器为空), `TXC` 会置位, 表示所有的传输都已经完成。

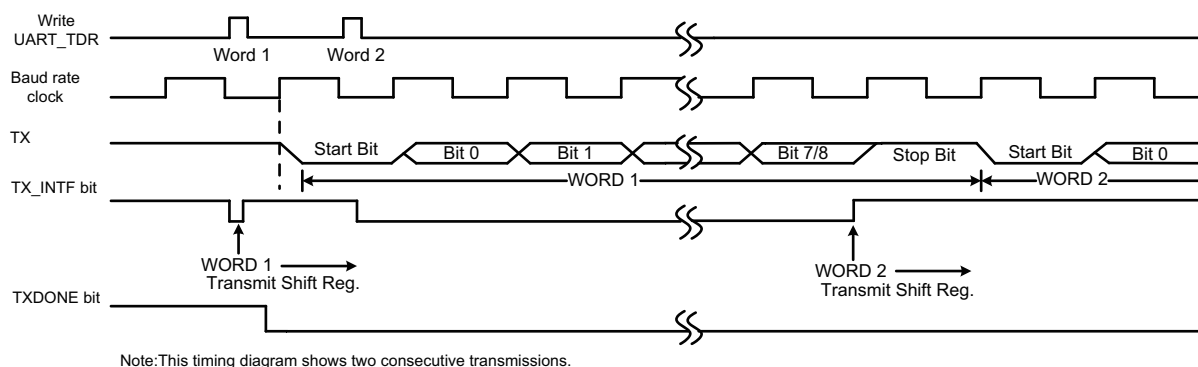


图 154. 发送时状态位变化

断开符号

设置 `BRK` 可发送一个断开符号。如果设置 `BRK=1`, 在完成当前数据发送后, 将在 `TX` 线上发送一个断开符号。断开字符发送完成时 (在断开符号的停止位时), 硬件设置 `BRK = 0`。`UART` 在最后一个断开帧的结束处插入一逻辑 '1', 以保证能识别下一帧的起始位。

空闲符号

设置 `UART_IDLR` 不为 0, 在 `TXEN` 打开后, 会立即发送一帧的空闲帧, 然后再进行其他数据传输。空闲帧的长度写入 `UART_IDL` 寄存器中。

16.3.3 接收器

字符接收

在 UART 接收期间，数据的最低有效位首先从 RX 脚移进。在此模式里，UART_RDR 寄存器包含的缓冲器位于内部总线和接收移位寄存器之间。

配置步骤：

1. 将 UART_GCR 寄存器的 UARTEN 置 ‘1’ 来激活 UART。
2. 编程 UART_CCR 的 CHAR 位定义字长。
3. 在 UART_CCR 中 SPB 编程停止位的位数。
4. 设置 UART_BRR 和 UART_FRA，选择要求的波特率。
5. 设置 UART_GCR 的 RXEN 位。激活接收器，使它开始寻找起始位。

当一个字符被接收到时，

- RX_INTF 位被置位。此时移位寄存器的内容被转移到 RDR。数据已经被接收并且可以被读出 (包括与之有关的错误标志)。
- 如果 RXIEN 位被设置，产生中断。
- 在接收期间如果检测到帧错误，或溢出错误，错误标志将被置起。
- 软件读 UART_RDR 寄存器。RX_INTF 位必须在下一字符接收结束前被清零。

在接收数据时，RXEN 位不应该被复位。如果 RXEN 位在接收时被清零，当前字节的接收被丢失。

断开符号

当接收到一个断开帧时，UART 会置位 RXBRK_INTF 中断，数据不会被写入 RXFIFO。断开帧由起始位 + 数据位 + (校验位) + 停止位构成，长度不固定，会随着数据位、校验位、停止位设置的不同而不同。

空闲符号

空闲帧长度由 UART_IDLR 寄存器设置 (默认值为 0x0C)，设置 UART_IDLR 不为 0 时，当接收到一个空闲帧时，UART 会置位 RXIDL_INTF 中断，数据不会被写入 RXFIFO。

溢出错

如果在 UART_RDR 没有读出前又接收到一个字符，则发生溢出错。

当溢出错产生时：

- RXOERR_INTF 位被置位。
- RDR 内容将不会丢失。读 UART_RDR 寄存器仍能得到先前的数据。
- 移位寄存器中以前的内容将被覆盖。随后接收到的数据都将丢失。
- 如果 RXOERREN 位被设置，中断产生。

帧错误

当停止位没有在预期的时间上接收和识别出来时检测到帧错误。当帧错误被检测到时：

- RXFERR_INTF 位被硬件置起。
- 无效数据不会从移位寄存器传送到 UART_RDR 寄存器。
- 如果 RXFERREN 位被设置，中断产生。

16.3.4 9 位数据通信

如果使能 UART_CCR 寄存器的 B8EN 控制位, UART 使能 9 位数据的发送和接收, 可以发送和接收 9 位数据。注意: 在 B8EN 使能后, 奇偶校验使能位 PEN 不起作用。

数据发送的时候, 在写入数据到发送寄存器 UART_TDR 前, 需要先设置 B8TXD。B8TXD 作为发送数据的 MSB 和 UART_TDR 的值同时发送。如果设置了 B8TOG, 如果 B8TXD 与 B8POL 相同时, 表示该数据作为地址帧或者同步帧, 发送结束后 B8TXD 会自动翻转。在接下来的数据发送过程中, 不需要再设置 B8TXD 为无效电平。

数据接收的时候, 接收数据的最高位可以从寄存器位 B8RXD 读到。如果接收的 B8RXD 与 B8POL 相同时, 中断状态寄存器 UART_ISR 的 RXB8_INTF 位会置位。

16.3.5 多处理器通信

通过 UART 可以实现多处理器通信 (将几个 UART 连在一个网络里)。例如某个 UART 设备可以是主, 它的 TX 输出和其他 UART 从设备的 RX 输入相连接; UART 从设备各自的 TX 输出逻辑地与在一起, 并且和主设备的 RX 输入相连接。

在多处理器配置中, 我们通常希望只有被寻址的接收者才被激活, 来接收随后的数据, 这样就可以减少由未被寻址的接收器的参与带来的多余的 UART 服务开销。

未被寻址的设备可启用其静默功能置于静默模式。在静默模式里:

- 任何接收状态位都不会被设置。
- 所有接收中断被禁止。
- UART_CCR 寄存器中的 RWU 位被置 1。RWU 可以被硬件自动控制或在某个条件下由软件写入。

根据 UART_CCR 寄存器中的 WAKE 位状态, UART 可以用二种方法进入或退出静默模式。

- 如果 WAKE 位被复位: 进行空闲总线检测。
- 如果 WAKE 位被设置: 进行地址标记检测。

空闲总线检测 (WAKE=0)

当 RWU 位被写 1 时, UART 进入静默模式。当检测到一空闲帧时, 它被唤醒。此时 RWU 将被硬件清零, 中断状态标志 RX_INTF 不会置位。RWU 还可以被软件清零。

地址标记 (Address Mark) 检测 (WAKE=1)

在这个模式里, 如果 MSB 是 B8POL, 该字节被认为是地址, 否则被认为是数据。在一个地址字节中, 目标接收器的地址被接收器同它自己地址做比较, 接收器的地址和屏蔽位被编程在 UART_RXADDR 和 UART_RXMASK 寄存器中。

如果接收到的字节与它的编程地址不匹配时, UART 进入静默模式。此时, 硬件设置 RWU 位。接收该字节既不会设置中断状态标志 RX_INTF 也不会产生中断, 因为 UART 已经在静默模式。

当接收到的字节与接收器内编程地址匹配时, UART 退出静默模式。然后 RWU 位被清零, 随后的字节被正常接收。收到这个匹配的地址字节时将设置中断状态标志 RX_INTF, 因为 RWU 位已被清零。

16.3.6 单线半双工通信

单线半双工模式通过设置 UART_SCR 寄存器的 HDSEL 位选择。在这个模式里, UART_SCR 寄存器的 SCEN 位必须保持清零状态。

UART 可以配置成遵循单线半双工协议。在单线半双工模式下, TX 和 RX 引脚在芯片内部互连。使用控制位“ HALF DUPLEX SEL”(UART_SCR 中的 HDSEL 位) 选择半双工和全双工通信。

当 HDSEL 为 1 时

- RX 不再被使用。
- 当有数据传输时, TX 总是在发送完停止位以后才被释放。
- 当没有数据传输时, TX 总是被释放。因此, 它在空闲状态的或接收状态时表现为一个标准 I/O 口。这就意味该 I/O 在不被 UART 驱动时, 必须配置成悬空输入 (或开漏的输出高)。

除此以外, 通信与正常 UART 模式类似。由软件来管理线上的冲突 (例如通过使用一个中央仲裁器)。特别的是, 发送从不会被硬件所阻碍。当 TXEN 位被设置时, 只要数据写到数据寄存器上, 发送就将继续。

16.3.7 智能卡

设置 UART_SCR 寄存器的 SCEN 位选择智能卡模式。

该接口符合 ISO7816-3 标准, 支持智能卡异步协议。UART 应该被设置为:

- 8 位数据位加校验位: 此时 UART_CCR 寄存器中 CHAR=11、PEN=1
- 发送和接收时为 1.5 个停止位: 即 UART_CCR 寄存器的 SPB1=1、SPB0=1

下图给出的例子说明了数据线上, 在有校验错误和没校验错误两种情况下的信号。

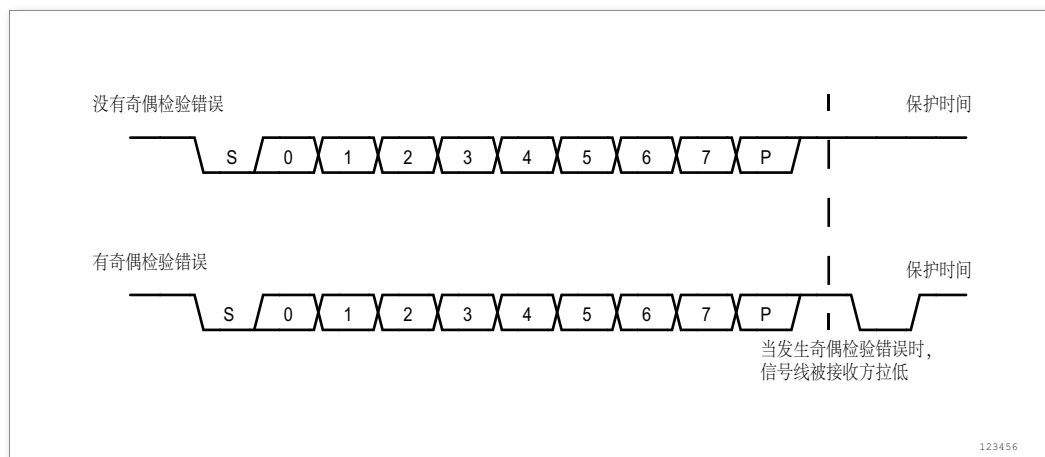


图 155. UART 方框图

当与智能卡相连接时, UART 的 TX 驱动一根智能卡的双向线。为了做到这点, RX 必须和 TX 连接到相同的 I/O 口。在发送开始位和数据字节期间, 发送器的输出使能位 TXEN 被置起, 在发送停止位期间被释放 (弱上拉), 因此在发现校验错误的情况下接收器可以将数据线拉低。如果 TXEN 不被使用, 在停止位期间 TX 被拉到高电平: 这样的话, 只要 TX 配置成开漏, 接收器也可以驱动这根线。

智能卡是一个单线半双工通信协议

- 从发送移位寄存器把数据发送出去，要被延时最小 $1/2$ 波特时钟。在正常操作时，一个满的发送移位寄存器将在下一个波特时钟沿开始向外移出数据。在智能卡模式里，此发送被延迟 $1/2$ 波特时钟。
- 如果在接收一个设置为 0.5 或 1.5 个停止位的数据帧期间，检测到一奇偶校验错误，在完成接收该帧后 (即停止位结束时)，发送线被拉低一个波特时钟周期。这是告诉智能卡发送到 UART 的数据没有被正确地接收到。此 NACK 信号 (拉低发送线一个波特时钟周期) 在发送端将产生一个帧错误 (发送端被配置成 1.5 个停止位)。应用程序可以根据协议处理重新发送数据。如果设置了 SCAEN 控制位，发生校验错误时接收器会给出一个 NACK 信号；否则就不会发送 NACK。
- TXC 标志的置起可以通过编程保护时间寄存器得以延时。在正常操作时，当发送移位寄存器变空并且没有新的发送请求出现时，TXC 被置起。在智能卡模式里，空的发送移位寄存器将触发保护时间计数器开始向上计数，直到保护时间寄存器中的值。TXC 在这段时间被强制拉低。当保护时间计数器达到保护时间寄存器中的值时，TXC 被置高。
- 标志的撤销不受智能卡模式的影响。
- 如果发送器检测到一个帧错误 (收到接收器的 NACK 信号)，发送器的接收功能模块不会把 NACK 当作起始位检测。根据 ISO 协议，接收到的 NACK 的持续时间可以是 1 或 2 波特时钟周期。
- 在接收器这边，如果一个校验错误被检测到，并且 NACK 被发送，接收器不会把 NACK 检测成起始位。

注意：1. 断开符号在智能卡模式里没有意义。一个带帧错误的 00h 数据将被当成数据而不是断开符号。

2. 当来回切换 TXEN 位时，没有 IDLE 帧被发送。ISO 协议没有定义 IDLE 帧。

下图详述了 UART 是如何采样 NACK 信号的。在这个例子里，UART 正在发送数据，并且被配置成 1.5 个停止位。为了检查数据的完整性和 NACK 信号，UART 的接收功能块被激活。

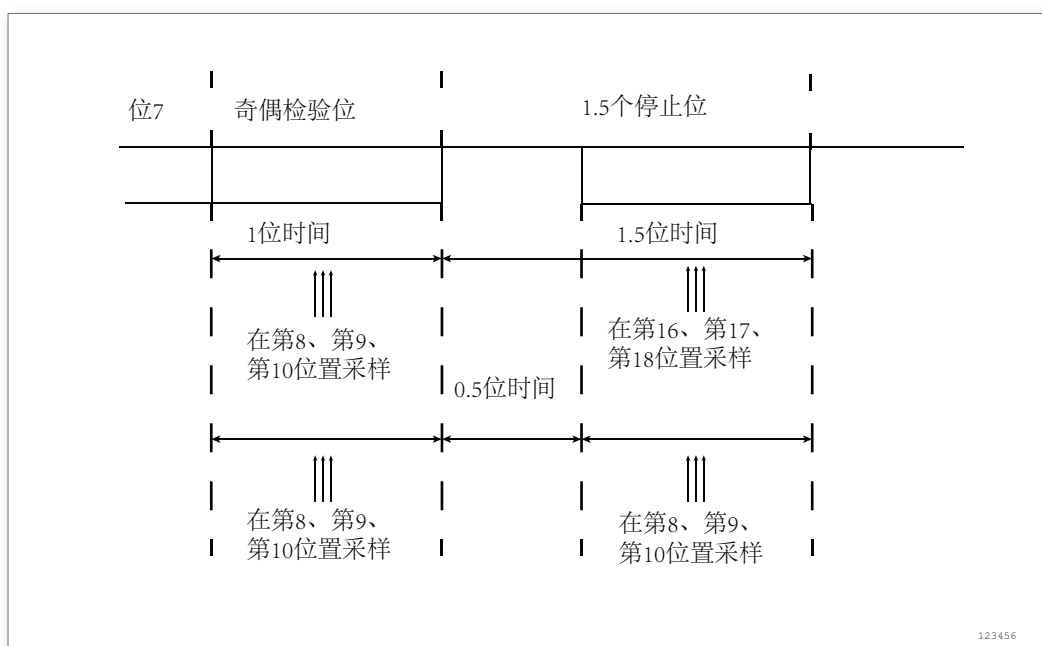


图 156. UART 方框图

16.3.8 分数波特率发生器

设置 BRR 和 FRA 寄存器，可设置相应波特率，参考如下公式：

$$f_{baudrate} = \frac{f_{PCLK}}{16 \times UARTDIV}$$

$$UARTDIV = BRR + \frac{FRA}{16}$$

得：

$$f_{baudrate} = \frac{f_{PCLK}}{16 \times BRR + FRA}$$

BRR 寄存器最小值为 1。

16.3.9 采样

由于异步操作没有单独的时钟，接收器需要一个同步于接收器方法。为了能够在接收引脚‘RX’获得正确的字符数据，UART 有一个检测电路。UART 采用 16 倍数据波特率 ‘bclk16’ 的时钟进行采样 RX 引脚的数据，每个数据有 16 个时钟采样，取中间第 7, 8, 9 的下降沿的采样值。

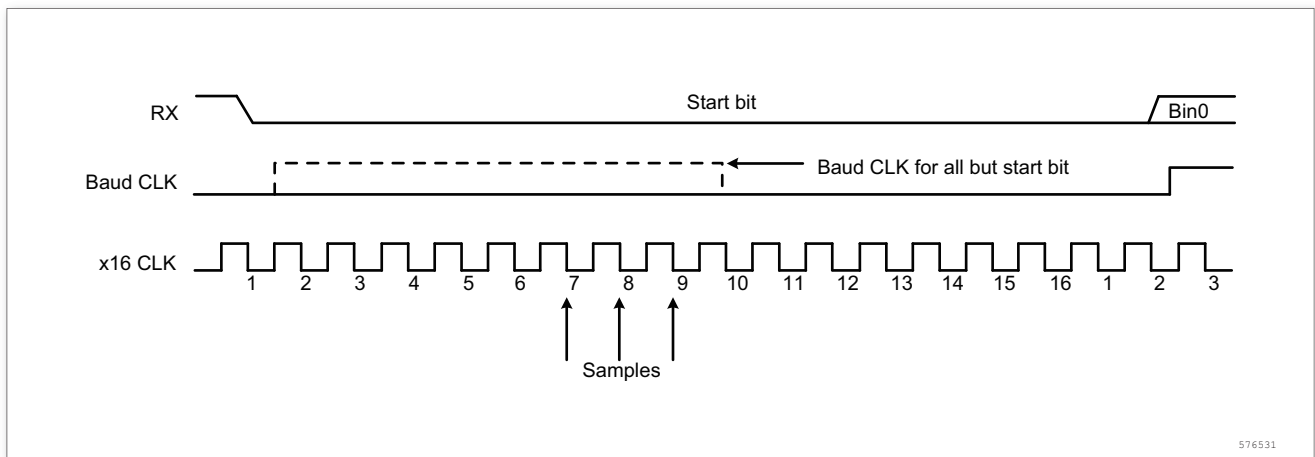


图 157. RX 引脚采样方案

16.3.10 容忍度

时钟偏差导致收发双方波特率偏差，为了提高接收端对波特率变化的容忍度，在 STOP 状态时，当三次数据采样完成后，接收端就开始准备下一帧数据的接收。当收发双方波特率偏差处于 ± 3 以内时，仍然能保证数据正常传输。

16.3.11 校验控制

奇偶控制 (发送时生成一个奇偶位，接收时进行奇偶校验) 可以通过设置 UART_CCR 寄存器上的 PEN 位而激活。如果奇偶校验出错，无效数据任然会从移位寄存器传送到 UART_RDR 寄存器。设置 RXPERRCLR 位以清除错误标志 RXPERR_INTF。

当智能卡自动应答使能时，在 STOP 状态时检测到奇偶校验错误，会产生 1 位的高电平信号 (RXNACK)，此时会将智能卡输出端拉低 1 位时间，指示帧错误。

偶校验：校验位使得一帧中的数据以及校验位中‘1’的个数为偶数。

例如：数据 = 00110101，有 4 个‘1’，如果选择偶校验 (在 UART_CCR 中的 PSEL = 1)，校验位将是‘0’。

奇校验：此校验位使得一帧中的数据以及校验位中‘1’的个数为奇数。

例如：数据 = 00110101，有 4 个‘1’，如果选择奇校验 (在 UART_CCR 中的 PSEL = 0)，校验位将是‘1’。

传输模式：如果 UART_CCR 的 PEN 位被置位，奇偶校验位将在数据寄存器数据发送完毕后发出 (如果选择偶校验偶数个‘1’，如果选择奇校验奇数个‘1’)。如果奇偶校验失败，UART_ISR 寄存器中的 RXPERR_INTF 标志被置‘1’，并且如果 RXPERREN 在被预先设置的话，中断产生。

注：如 9bit 功能使能，奇偶检验无效。

16.3.12 自动波特率检测

UART 能够根据接收到的信号，自动检测并设置 UART_BRR 寄存器。

自动波特率配置如下：

1. 配置 ABRCR 寄存器的 Former_edge 和 Latter_edge, 选择自动波特率前一个边沿和后一个边沿。
2. 配置 ABRCR 寄存器的 Abr_bitcnt, 选择自动波特率检测位长度。
3. 设置 ABRCR 寄存器的 Abr_en, 打开自动波特率检测功能。

打开 ABRENDIEN, 自动波特率结束后会产生自动波特率结束中断。

打开 ABRRERIEN, 自动波特率位错误或检测溢出错误，会产生自动波特率错误中断。

示例：

1. 设置 Former_edge=1, Latter_edge=0, Abr_bitcnt=2, Abr_en=1

此时当接收到数据 0xEF 时，会自动检测波特率并重置 UART_BRR 寄存器，RXFIFO 会接收到剩余数据 0x0E。

2. 设置 Former_edge=0, Latter_edge=1, Abr_bitcnt=2, Abr_en=1

此时当接收到数据 0xF8 时，会自动检测波特率并重置 UART_BRR 寄存器，RXFIFO 会接收到剩余数据 0x1F。

注：当 Former_edge=1，并且接收的数据位最低位不为 1，会导致接收出错，RXFIFO 中无数据。

16.4 UART 中断请求

表 285. UART 中断请求

中断事件	中断状态	使能位
发送缓冲空	TX_INTF	TXIEN
接收到有效数据	RX_INTF	RXIEN
发送移位寄存器完成	TXC_INTF	TXC_EN
接收溢出错误	RXOERR_INTF	RXOERREN
奇偶校验错误	RXPERR_INTF	RXPERREN

中断事件	中断状态	使能位
帧错误	RXFERR_INTF	RXFERREN
接收断开帧	RXBRK_INTF	RXBRKEN
发送断开帧	TXBRK_INTF	TXBRK_EN
接收同步帧	RXB8_INTF	RXB8_EN
接收空闲帧	RXIDL_INTF	RXIDLEN
自动波特率结束	ABREND_INTF	ABRENDIEN
自动波特率错误	ABRERR_INTF	ABRERRIEN

如果设置了对应的中断使能控制位，这些设置就可以产生各自对应的中断。

16.5 UART 寄存器描述

表 287. UART 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	UART_TDR	UART 发送数据寄存器	0x00000000	小节 16.5.1
0x04	UART_RDR	UART 接收数据寄存器	0x00000000	小节 16.5.2
0x08	UART_CSR	UART 当前状态寄存器	0x00000009	小节 16.5.3
0x0C	UART_ISR	UART 中断状态寄存器	0x00000000	小节 16.5.4
0x10	UART_IER	UART 中断使能寄存器	0x00000000	小节 16.5.5
0x14	UART_ICR	UART 中断清除寄存器	0x00000000	小节 16.5.6
0x18	UART_GCR	UART 全局控制寄存器	0x00000000	小节 16.5.7
0x1C	UART_CCR	UART 通用控制寄存器	0x00000000	小节 16.5.8
0x20	UART_BRR	UART 波特率寄存器	0x00000001	小节 16.5.9
0x24	UART_FRA	UART 分数波特率寄存器	0x00000000	小节 16.5.10
0x28	UART_RXADDR	UART 接收地址寄存器	0x00000000	小节 16.5.11
0x2C	UART_RXMASK	UART 接收掩码寄存器	0x000000FF	小节 16.5.12
0x30	UART_SCR	UART SCR 寄存器	0x00000000	小节 16.5.13
0x34	UART_IDLR	UART IDLE 数据长度寄存器	0x0000000C	小节 16.5.14
0x38	UART_ABRCCR	UART ABRCCR 自动波特率控制寄存器	0x00000000	小节 16.5.15
0x3C	UART_IRDA	UART IRDA 红外功能控制寄存器	0x00000100	??

16.5.1 UART 发送数据寄存器 (UART_TDR)

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								TXREG							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 8	Reserved			始终读为 0。
7 : 0	TXREG	rw	0x00	发送数据寄存器 (Transmit data register)

16.5.2 UART 接收数据寄存器 (UART_RDR)

偏移地址: 0x04

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								RXREG							
								r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31 : 8	Reserved			始终读为 0。
7 : 0	RXREG	r	0x00	接收数据寄存器 (Receive data register) 该寄存器只读

16.5.3 UART 当前状态寄存器 (UART_CSR)

偏移地址: 0x08

复位值: 0x0000 0009

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												TXEPT	TXFULL	RXAVL	TXC
												r	r	r	r

Bit	Field	Type	Reset	Description
31 : 4	Reserved			始终读为 0。
3	TXEPT	r	0x01	发送缓冲空标识位 (Transmit buffer empty flag bit) 1: 发送缓冲为空 0: 发送缓冲不为空
2	TXFULL	r	0x00	发送缓冲满标识位 (Transmit buffer full flag bit) 1: 发送缓冲满 0: 发送缓冲不满
1	RXAVL	r	0x00	接收有效字节数据标识位 (Receive valid data flag bit) 当接收缓冲接收了一个完整字节的数据时置位该位。 1: 接收缓冲接收了一个完整有效的字节数据 0: 接收缓冲为空
0	TXC	r	0x01	发送结束标识位 (Transmit complete flag bit) 1: 发送缓冲和发送移位寄存器都为空 0: 发送不为空

16.5.4 UART 中断状态寄存器 (UART_ISR)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				ABRERR	ABREND	RXIDLE	RXB8	TXBRK	RXBRK	RXFERR	RXPERR	RXOERR	TXC	RX	TX
				r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31 : 12	Reserved			始终读为 0。
11	ABRERR	r	0x00	UART 自动波特率错误中断标志位。 (Auto baud rate error interrupt flag bit) 1: 自动波特率错误 0: 无自动波特率错误
10	ABREND	r	0x00	UART 自动波特率结束中断标志位。 (Auto baud rate end interrupt flag bit) 1: 自动波特率结束 0: 自动波特率未结束

Bit	Field	Type	Reset	Description
9	RXIDLE	r	0x00	UART 接收空闲帧中断标志位 (Receive frame idle interrupt flag bit) 在停止位后 RX 引脚在一段时间内接收到若干 (UART_IDLR 数量) 高电平。 1: 检测空闲帧 0: 没有空闲帧
8	RXB8	r	0x00	UART 同步帧中断标志位。在 9 位通讯模式下, 当接收到到数据的第九位与寄存器 CCR.B8POL 相同时, RXB8_INT 位置。该位可以作为中断请求信号 1: 接收到的同步帧 0: 没有接收到同步帧
7	TXBRK	r	0x00	UART 断开帧发送完成中断标志位。 1: 移位寄存器断开帧数据发送完成 0: 移位寄存器空或正在移位发送 备注: 不能连续发送断开帧。
6	RXBRK	r	0x00	UART 接收断开帧中断标志位 (Receive frame break interrupt flag bit) 在异常停止位后 RX 引脚在一段时间内接收到 10 个或大于 10 位的低电平。 1: 检测断开帧 0: 没有断开帧
5	RXFERR	r	0x00	帧错误中断标志位 (Frame error interrupt flag bit) 帧错误发生在当检测到异常停止位。 1: 检测一个帧错误 0: 没有帧错误
5	Reserved			始终读为 0。
4	RXPERR	r	0x00	奇偶校验错误中断标志位 (Parity error interrupt flag bit) 1: 检测到奇偶校验错误 0: 没有奇偶校验错误
3	RXOERR	r	0x00	接收溢出错误中断标志位 (Receive overflow error interrupt flag bit) 1: 接收溢出错误 0: 没有溢出错误
2	TXC	r	0x00	UART 发送移位寄存器完成中断标志位。 1: 移位寄存器数据发送完成 0: 移位寄存器空或正在移位发送 注: 此标志位与保护时间相关
1	RX	r	0x00	接收有效数据中断标志位 (Receive valid data interrupt flag bit) 当接收缓冲接收了一个完整字节的数据时置位该位。 1: 接收缓冲有效字节数据 0: 接收缓冲为空

Bit	Field	Type	Reset	Description
0	TX	r	0x00	发送缓冲空中断标志位 (Transmit buffer empty interrupt flag bit) 1: 发送缓冲空 0: 发送缓冲不为空

16.5.5 UART 中断使能寄存器 (UART_IER)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				ABRERR	ABREND	RXIDL	RXB8	TXBRK	RXBRK	RXFERR	RXPERR	RXOERR	TXC	RX	TX
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 12	Reserved			始终读为 0。
11	ABRERR	rw	0x00	自动波特率错误中断使能 (Auto baud rate error enable bit)。 1: 中断使能 0: 中断禁止
10	ABREND	rw	0x00	自动波特率结束中断使能 (Auto baud rate end enable bit)。 1: 中断使能 0: 中断禁止
9	RXIDLE	rw	0x00	接收空闲帧中断使能位 (Receive frame idle interrupt enable bit) 1: 中断使能 0: 中断禁止
8	RXB8	rw	0x00	UART 同步帧中断使能控制位。 1: 使能接收同步帧中断 0: 禁止接收同步帧中断
7	TXBRK	rw	0x00	UART 断开帧发送完成中断使能控制位。 1: 使能发送断开帧完成中断 0: 禁止发送断开帧完成中断
6	RXBRK	rw	0x00	UART 接收断开帧中断使能位 (Receive frame break interrupt enable bit) 1: 中断使能 0: 中断禁止

Bit	Field	Type	Reset	Description
5	RXFERR	rw	0x00	帧错误中断使能位 (Frame error interrupt enable bit) 1: 中断使能 0: 中断禁止
4	RXPERR	rw	0x00	奇偶校验错误中断使能位 (Parity error interrupt enable bit) 1: 中断使能 0: 中断禁止
3	RXOERR	rw	0x00	接收溢出错误中断使能位 (Receive overflow error interrupt enable bit) 1: 中断使能 0: 中断禁止
2	TXC	rw	0x00	UART 发送移位寄存器完成中断使能控制位。 1: 移位寄存器数据发送完成 0: 移位寄存器空或正在移位发送
1	RX	rw	0x00	接收缓冲中断使能位 (Receive buffer interrupt enable bit) 1: 中断使能 0: 中断禁止
0	TX	rw	0x00	发送缓冲空中断使能位 (Transmit buffer empty interrupt enable bit) 1: 中断使能 0: 中断禁止

16.5.6 UART 中断清除寄存器 (UART_ICR)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				ABRERR	ABREND	RXIDL	RXB8	TXBRK	RXBRK	RXFERR	RXPERR	RXOERR	TXC	RX	TX
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 12	Reserved			始终读为 0。
11	ABRERR	w	0x00	UART 自动波特率错误中断清除位 (Auto baud rate error clear bit) 1: 中断清除 0: 中断未清除

Bit	Field	Type	Reset	Description
10	ABREND	w	0x00	UART 自动波特率结束中断清除位 (Auto baud rate end clear bit) 1: 中断清除 0: 中断未清除
9	RXIDL	w	0x00	UART 接收空闲帧中断清除位 (Receive frame idle interrupt clear bit) 1: 中断清除 0: 中断未清除
8	RXB8	w	0x00	UART 同步帧中断标志清除控制位。 1: 清除接收同步帧中断标志 0: 无动作
7	TXBRK	w	0x00	UART 断开帧发送完成中断标志清除控制位。 1: 清除断开帧发送完成中断标志 0: 无动作
6	RXBRK	w	0x00	UART 接收断开帧中断清除位 (Receive frame break interrupt clear bit) 1: 中断清除 0: 中断未清除
5	RXFERR	w	0x00	帧错误中断使能位 (Frame error interrupt enable bit) 1: 中断清除 0: 中断未清除
4	RXPERR	w	0x00	奇偶校验错误中断清除位 (Parity error interrupt clear bit) 1: 中断清除 0: 中断未清除
3	RXOERR	w	0x00	接收溢出错误中断清除位 (Receive overflow error interrupt clear bit) 1: 中断清除 0: 中断未清除
2	TXC	w	0x00	发送完成中断清除位 (Transmit complete interrupt clear bit) 1: 中断清除 0: 中断未清除
1	RX	w	0x00	接收中断清除位 (Receive interrupt clear bit) 1: 中断清除 0: 中断未清除
0	TX	w	0x00	发送缓冲空中断清除位 (Transmit buffer empty interrupt clear bit) 1: 中断清除 0: 中断未清除

16.5.7 UART 全局控制寄存器 (UART_GCR)

偏移地址: 0x18

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved						TX_TOG	RX_TOG	SWAP	SEL_B8	Reserved		TXEN	RXEN	Res.	UARTEN
						rw	rw	rw	rw			rw	rw		rw

Bit	Field	Type	Reset	Description
31 : 11	Reserved			始终读为 0。
10	TXTOG	rw	0x00	发送取反位 1: 发送取反 0: 无效
9	RXTOG	rw	0x00	接收取反 1: 接收取反 0: 无效
8	SWAP	rw	0x00	输入与输出交换 1: 输入输出交换 0: 无效 注: SWAP 置位后, GPIOx_CRL 寄存器的 MODE 需要更改, 如: 原输入模式变为输出模式。
7	SELB8	rw	0x00	选择 B8 数据接收或发送是否有效 1: B8 数据收发 0: 无效 UART_CCR 位 B8EN 有效时, 发送时发送 9 位数据; 接收时接收寄存器位 CHAR +1 的数据长度。
6 : 5	Reserved			始终读为 0。
4	TXEN	rw	0x00	发送使能位 (Enable transmit) 1: 发送使能 0: 发送禁止。可以清除 TX BUFFER
3	RXEN	rw	0x00	接收使能位 (Enable receive) 1: 接收使能 0: 接收禁止。可以清除 RX BUFFER.
2	Reserved			始终读为 0。
1	Reserved			始终读为 0。
0	UARTEN	rw	0x00	UART 模块选择位 (UART mode selection bit) 1: UART 模块使能 0: UART 模块禁止

16.5.8 UART 通用控制寄存器 (UART_CCR)

偏移地址: 0x1C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LIN	WAKE	RWU	B8EN	B8TOG	B8POL	B8TXD	B8RXD	SPB1	CHAR	BRK	SPB0	PSEL	PEN	
	rw	rw	rw	rw	rw	rw	rw	r	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 15	Reserved			始终读为 0。
14	LIN	rw	0x00	UART LIN 协议收发断开帧 (UART LIN enable bit) 1 : LIN 协议有效 0 : LIN 协议无效
13	WAKE	rw	0x00	唤醒方法。该位决定把 UART 唤醒的方法 1 : 地址标记唤醒 0 : 空闲总线唤醒
12	RWU	rw	0x00	接收唤醒。该位用来决定是否把 UART 置于静默模式。该位可以由软件设置或清除。当唤醒序列到来时, 硬件也会自动将其清零。 1 : 接收器处于静默模式 0 : 接收器处于正常工作模式 在设置地址标记唤醒时, 如果接收 buffer 非空则不能软件修改。
11	B8EN	rw	0x00	UART 同步帧第九位使能控制位。该位使能后校验使能位 PEN 不起作用。 1 : 使能同步帧第九位发送 0 : 禁止同步帧第九位发送
10	B8TOG	rw	0x00	UART 同步帧发送第九位自动翻转控制位。 1 : 使能第九位自动翻转 0 : 禁止第九位自动翻转 注: 在 B8TXD 和 B8POL 的值相同时, 在配置完寄存器后传输的第二个数据开始翻转, 第一个数据默认为地址位。
9	B8POL	rw	0x00	UART 同步帧第九位极性控制位。 1 : 同步帧第九位高电平有效 0 : 同步帧第九位低电平有效
8	B8TXD	rw	0x00	UART 同步帧发送数据第九位。 1 : 发送同步帧第九位为高电平 0 : 发送同步帧第九位为低电平
7	B8RXD	r	0x00	UART 同步帧接收数据第九位。只读。 1 : 接收同步帧第九位为高电平 0 : 接收同步帧第九位为低电平
6	SPB1	rw	0x00	停止位选择位, 与 SPB0 结合设置停止位位数。

Bit	Field	Type	Reset	Description
5 : 4	CHAR	rw	0x00	UART 数据宽度位 (UART width bit) 00: 5 位 01: 6 位 10: 7 位 11: 8 位
3	BRK	rw	0x00	UART 发送断开帧 (UART transmit frame break) 1: 串行强制输出逻辑 ‘0’ (断开帧) 0: 禁止断开
2	SPB0	rw	0x00	停止位选择 (Stop bit selection) 设置发送停止位数。 SPB1, SPB0 : 00, 1 个停止位 SPB1, SPB0 : 01, 2 个停止位 SPB1, SPB0 : 10, 0.5 个停止位 SPB1, SPB0 : 11, 1.5 个停止位
1	PSEL	rw	0x00	校验选择位 (Parity selection bit) 当校验使能后, 该位用于选择是采用偶校验还是奇校验。 1: 偶校验 0: 奇校验
0	PEN	rw	0x00	校验使能位 (Parity enable bit) 1: 发送接收使能校验 0: 禁止校验

16.5.9 UART 波特率寄存器 (UART_BRR)

偏移地址: 0x20

复位值: 0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIV_Mantissa															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 16	Reserved			始终读为 0。
15 : 0	DIV_Mantissa	rw	0x0001	UARTDIV 的整数部分 这 16 位定义了 UART 分频器除法因子 (UARTDIV) 的整数部分。 DIV_Mantissa 最小值为 1

16.5.10 UART 分数波特率寄存器 (UART_FRA)

偏移地址: 0x24

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												DIV_Fraction			
												rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 4	Reserved			始终读为 0。
3 : 0	DIV_Fraction	rw	0x00	UARTDIV 的小数部分 这 4 位定义了 UART 分频器除法因子 (UARTDIV) 的小数部分。

16.5.11 UART 接收地址寄存器 (UART_RXADDR)

偏移地址: 0x28

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								RXADDR							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 8	Reserved			始终读为 0。
7 : 0	RXADDR	rw	0x00	UART 同步帧数据本机匹配地址。如果 RXMASK =0xFF 时，接收到的同步帧数据与本机匹配地址相同时，产生 RXB8_INTF。 地址 0 是广播地址，收到后都会响应。

16.5.12 UART 接收掩码寄存器 (UART_RXMASK)

偏移地址: 0x2C

复位值: 0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								RXMASK							
								rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 8	Reserved			始终读为 0。
7 : 0	RXMASK	rw	0xFF	数据位全为“0”时，接收到任何数据都产生同步帧中断请求。 如果数据位为“1”，RDR 和 RXADDR 的相应位匹配时，产生同步帧中断请求。

16.5.13 UART SCR 寄存器 (UART_SCR)

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			HDSEL	SCFCNT								Res.	NACK	SCAEN	SCEN
			rw	rw	rw	rw	rw	rw	rw	rw	rw		r	rw	rw

Bit	Field	Type	Reset	Description
31 : 13	Reserved			保留，始终读为 0。
12	HDSEL	rw	0x00	单线半双工模式选择。 1：使能半双工模式 0：禁止半双工模式
11 : 4	SCFCNT	rw	0x00	ISO7816 保护计数器。当发送数据为在保护计数器期间内的低电平，禁止为下一个数据的起始位。 1 ~ 255 个波特率计数时间 注：当设置计数器为 0 或 FF 时，均为 255 个波特率计数时间。
3	Reserved			保留，始终读为 0。
2	NACK	r	0x00	主接收帧应答位
1	SCAEN	rw	0x00	ISO7816 校验自动应答位。 1：使能自动应答 0：禁止自动应答

Bit	Field	Type	Reset	Description
0	SCEN	rw	0x00	ISO7816 使能控制位。 1：使能 ISO7816 功能 0：禁止 ISO7816 功能

16.5.14 UART IDLE 数据长度寄存器 (UART_IDLR)

偏移地址：0x34

复位值：0x0000 000C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDLR															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 16	Reserved			保留，始终读为 0。
15 : 0	IDLR	rw	0x000C	UART idle 数据长度寄存器 (Idle data length register) 数据长度不为 0。

16.5.15 UART 自动波特率寄存器 (UART_ABRCCR)

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											Latter _edge	Former _edge	Abr_bitcnt	Abren	
											rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 5	Reserved			保留，始终读为 0。
4	LATTER _EDGE	rw	0x00	自动波特率后一个边沿选择 1：上升沿 0：下降沿

Bit	Field	Type	Reset	Description
3	FORMER_EDGE	rw	0x00	自动波特率前一个边沿选择 1: 上升沿 0: 下降沿
2 : 1	ABR_BITCNT	rw	0x00	自动波特率检测长度。检测前一个边沿和后一个边沿之间的位长 11: 8 位 10: 4 位 01: 2 位 00: 1 位
0	ABREN	rw	0x00	自动波特率使能。只能在 UART 空闲时使能自动波特率, 使能后检测接收信号的边沿, 完成自动波特率检测后, 硬件自动设置 UART_BRR 和 UART_FRA 寄存器。 1: 自动波特率使能 0: 自动波特率禁止

17 系统配置控制器 (SYSCFG)

系统配置控制器 (SYSCFG)

该芯片具有一组系统配置寄存器。这些寄存器的主要功能如下：

- 管理连接到 GPIO 口的外部中断。
- 重映射存储器到代码起始区域。
- 外部中断引脚配置

17.1 SYSCFG 寄存器描述

表 304. SYSCFG 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	SYSCFG_CFGR	SYSCFG 配置寄存器	0x0000000X	小节 17.1.1
0x08	SYSCFG_EXTICR1	外部中断配置寄存器 1	0x00000000	小节 17.1.2
0x0C	SYSCFG_EXTICR2	外部中断配置寄存器 2	0x00000000	小节 17.1.3
0x10	SYSCFG_EXTICR3	外部中断配置寄存器 3	0x00000000	小节 17.1.4
0x14	SYSCFG_EXTICR4	外部中断配置寄存器 4	0x00000000	小节 17.1.5
0x18	SYSCFG_PADHYS	PAD 配置寄存器	0x00000000	小节 17.1.6

17.1.1 SYSCFG 配置寄存器 (SYSCFG_CFGR)

具有两个可配置内存起始 0x0000 0000 地址存储区类型的控制位，这两个控制位可软件配置来屏蔽 BOOT 的选择。复位后，这两个控制位为实际的 BOOT 模式配置。

偏移地址：0x00

复位值：0x0000 000X(X 为实际 BOOT 模式的选择控制位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														MEM_MODE	
														rw	rw

Bit	Field	Type	Reset	Description
31 : 2	Reserved			保留，始终读为 0

Bit	Field	Type	Reset	Description
1 : 0	MEM_MODE	rw	0x00	存储映射选择位 (Memory selection bit) 由软件设置和清除这些位。它控制存储器内部映射到地址 0x0000 0000。 x0: 主闪存存储器映射到 0x0000 0000

17.1.2 外部中断配置寄存器 1(SYSCFG_EXTICR1)

偏移地址: 0x08

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI3				EXTI2				EXTI1				EXTI0			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 16	Reserved			保留, 始终读为 0
15 : 0	EXTIx	rw	0x00	EXTIx 配置 (x = 0...3)(EXTI x configuration) 这些位可用于软件读写。用于选择 EXTIx 外部中断的输入源。 0000: PA[x] 管脚 0001: PB[x] 管脚 0010: 保留 0011: 保留

17.1.3 外部中断配置寄存器 2(SYSCFG_EXTICR2)

偏移地址: 0x0C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI7				EXTI6				EXTI5				EXTI4			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 16	Reserved			保留, 始终读为 0

Bit	Field	Type	Reset	Description
15 : 0	EXTIx	rw	0x00	EXTIx 配置 (x = 4...7)(EXTI x configuration) 这些位可用于软件读写。用于选择 EXTIx 外部中断的输入源。 0000: PA[x] 管脚 0001: PB[x] 管脚 0010: 保留 0011: 保留

17.1.4 外部中断配置寄存器 3(SYSCFG_EXTICR3)

偏移地址: 0x10

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI11				EXTI10				EXTI9				EXTI8			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 16	Reserved			保留, 始终读为 0
15 : 0	EXTIx	rw	0x00	EXTIx 配置 (x = 8...11)(EXTI x configuration) 这些位可用于软件读写。用于选择 EXTIx 外部中断的输入源。 0000: PA[x] 管脚 0001: PB[x] 管脚 0010: 保留 0011: 保留

17.1.5 外部中断配置寄存器 4(SYSCFG_EXTICR4)

偏移地址: 0x14

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTI15				EXTI14				EXTI13				EXTI12			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit	Field	Type	Reset	Description
31 : 16	Reserved			保留, 始终读为 0
15 : 0	EXTIx	rw	0x00	EXTIx 配置 (x = 12...15)(EXTI x configuration) 这些位可用于软件读写。用于选择 EXTIx 外部中断的输入源。 0000: PA[x] 管脚 0001: PB[x] 管脚 0010: 保留 0011: 保留

17.1.6 PAD 配置寄存器 (SYSCFG_PADHYS)

偏移地址: 0x18

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															I2C1_MODE_SEL
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved															

Bit	Field	Type	Reset	Description
31 : 17	Reserved			保留, 始终读为 0
16	I2C1_MODE_SEL	rw	0x00	I2C1 端口模式选择位 0: 开漏模式 1: 推挽模式
15 : 0	Reserved			保留, 始终读为 0

18

器件电子签名 (Device)

器件电子签名 (Device)

电子签名存放在闪存存储器模块的系统存储区域，可以通过 JTAG、SWD 或者 CPU 读取。它所包含的芯片识别信息在出厂时编写，用户固件或者外部设备可以读取电子签名，用以自动匹配不同配置的微控制器。

18.1 存储器容量寄存器

18.1.1 产品唯一身份标识寄存器 (96 位)

产品唯一的身份标识非常合适：

- 用来作为序列号 (例如 USB 字符序列号或者其他的终端应用)。
- 用来作为密码，在编写闪存时，将此唯一标识与软件加解密算法结合使用，提高代码在闪存存储器的安全性。
- 用来激活带安全机制的自举过程。

96 位的产品唯一身份标识所提供的参考号码对任意一个系列微控制器，在任何情况下都是唯一的。用户在何种情况下，都不能修改这个身份标识。

这个 96 位的产品唯一身份标识，按照用户不用的用法，可以以字节 (8 位) 为单位读取，也可以以半字 (16 位) 或者全字 (32 位) 读取。

18.2 UID 寄存器描述

表 313. 存储器容量寄存器描述概览

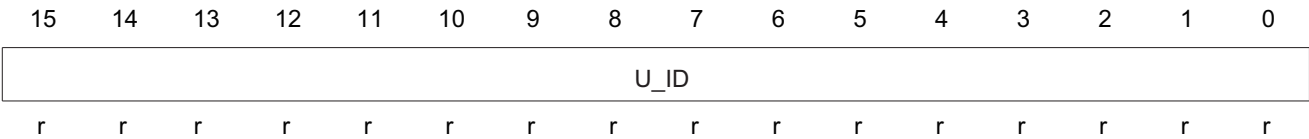
Offset	Acronym	Register Name	Reset	Section
0x00	UID1	唯一标识码	0xFFFFFFFF	小节 18.2.1
0x02	UID2	唯一标识码	0xFFFFFFFF	小节 18.2.2
0x04	UID3	唯一标识码	0xFFFFFFFF	小节 18.2.3
0x08	UID4	唯一标识码	0xFFFFFFFF	小节 18.2.4

18.2.1 唯一标识码 (UID1)

基地址：0x1FFF F7E8

地址偏移：0x00

只读，其值在出厂时编写



Bit	Field	Type	Reset	Description
15:0	U_ID	r		U_ID: 唯一身份标志 15: 0 位 (15: 0 unique ID bits) 这个域的数值也预留作为未来的其他功能。

18.2.2 唯一标识码 (UID2)

地址偏移: 0x02

只读, 其值在出厂时编写

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
15:0	U_ID	r		U_ID: 唯一身份标志 31: 16 位 (31: 16 unique ID bits) 这个域的数值也预留作为未来的其他功能。

18.2.3 唯一标识码 (UID3)

地址偏移: 0x04

只读, 其值在出厂时编写

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31:0	U_ID	r		U_ID: 唯一身份标志 63: 32 位 (63: 32 unique ID bits) 这个域的数值也预留作为未来的其他功能。

18.2.4 唯一标识码 (UID4)

地址偏移: 0x08

只读, 其值在出厂时编写

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
U_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
U_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Bit	Field	Type	Reset	Description
31: 0	U_ID	r		U_ID: 唯一身份标志 95: 64 位 (95: 64 unique ID bits) 这个域的数值也预留作为未来的其他功能。

19 调试支持 (DBG)

调试支持 (DBG)

19.1 概述

该系列内核内含硬件调试模块，支持复杂的调试操作。硬件调试模块允许内核在取指 (指令断点) 或访问数据 (数据断点) 时停止。内核停止时，内核的内部状态和系统的外部状态都是可以查询的。完成查询后，内核和外设可以被复原，程序将继续执行。

当该系列微控制器连接到调试器并开始调试时，调试器将使用内核的硬件调试模块进行调试操作。

支持：

- 串行调试接口

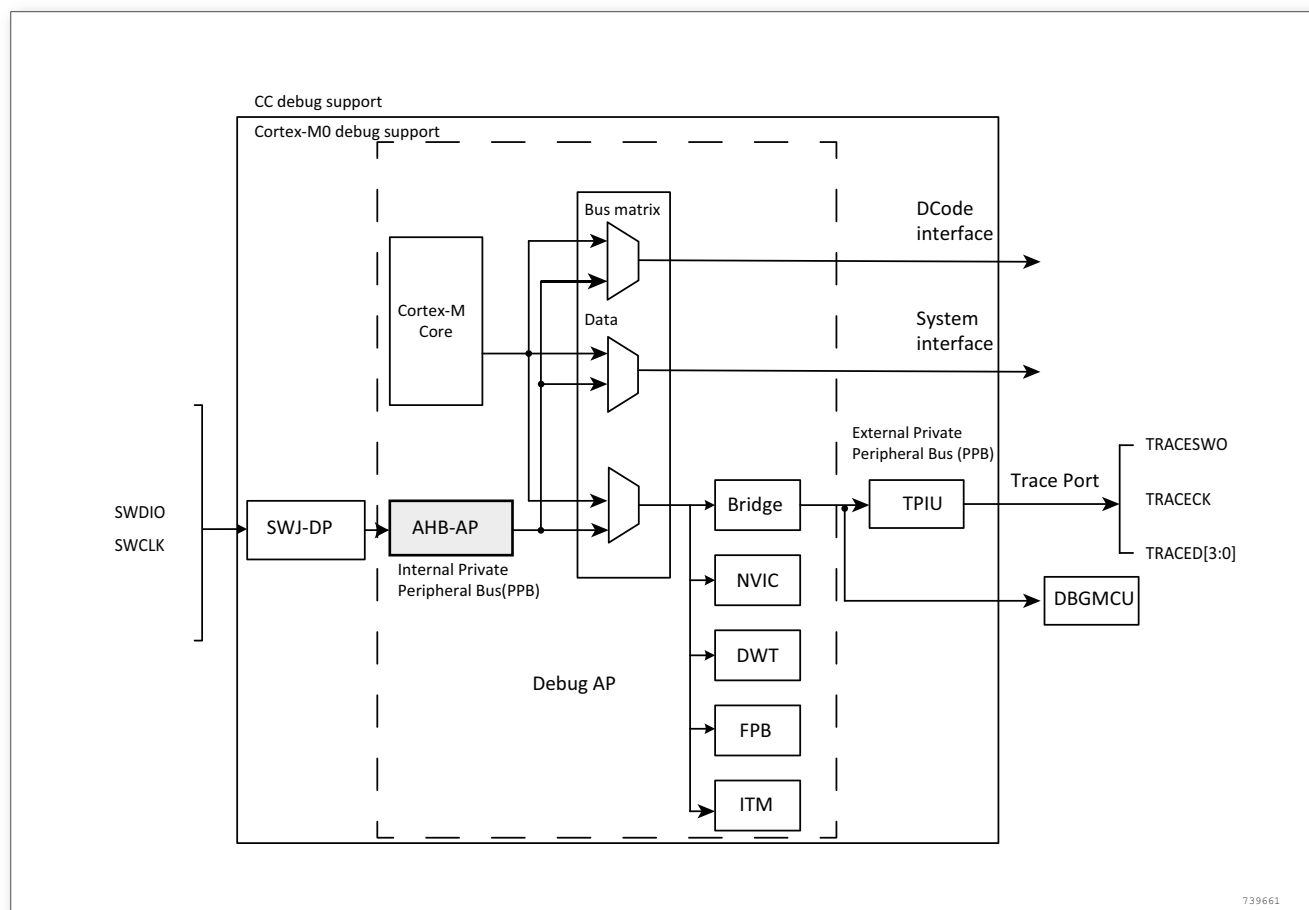


图 158. MM32 系列级别和 CPU 级别的调试框

CPU 内核提供集成的片上调试功能。它由以下部分组成：

- SW-DP：串行调试端口
- AHP-AP：AHB 访问端

- ITM: 执行跟踪单元
- FPB: 闪存指令断点
- DWT: 数据触发
- TPUI: 跟踪单元接口

19.2 引脚分布和调试端口脚

该芯片微控制器的不同封装有不同的有效引脚数。因此，某些与引脚相关的功能可能随封装而不同。

19.2.1 SWD 调试端口脚

该芯片的 2 个普通 I/O 口可用作 SW-DP 接口引脚。这些引脚在所有的封装里都存在。

表 320. SWJ 调试端口管脚

SWJ-DP 端口引脚名称	SW 调试接口		引脚分配
	类型	调试功能	
SW 调试接口	输入/输出	串行数据输入/输出	PA13
SWCLK	输入	串行时钟	PA14

19.2.2 SWD 脚上的内部上拉和下拉

保证 SWD 的输入引脚不是悬空的是非常必要的，因为他们直接连接到 D 触发器控制着调试模式。必须特别注意 SWCLK 引脚，因为他们直接连接到一些 D 触发器的时钟端。

为了避免任何未受控制的 I/O 电平，芯片在 SWD 输入脚上嵌入了内部上拉和下拉。

- SWDIO: 内部上拉
- SWCLK: 带下拉的输入

软件可以把这些 I/O 口作为普通的 I/O 口使用。

19.3 ID 代码和锁定机制

在芯片内部有多个 ID 编码。

19.3.1 微控制器设备 ID 编码

微控制器内含一个 MCU ID 编码。这个 ID 定义了 MCU 的部件号和硅片版本。它是 DBG_MCU 的一个组成部分，并且映射到外部 APB 总线上。SW 调试口 (2 个引脚) 或通过用户代码都可以访问此编码。

DBGMCU_IDCODE

地址: 0x40013400 只支持 32 位访问，只读

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DEV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31: 0	DEV_ID: 设备识别编码 (Device identifier)
---------	------------------------------------

19.3.2 Cortex JEDEC-106 ID 代码

CPU 有一个 JEDEC-106 ID 编码。它位于映射到内部 APB 总线地址为 0xE00FF000_0xE00FFFFF 的 4KB ROM 表中。

下表是该系列的各个 ID 编码：

表 323. ID 编码

ID 名	芯片
DEV_ID	0x8C4350D1
CPU TAP SW ID	0x0BB11477

19.4 SW 调试端口

19.4.1 SW 协议介绍

此同步串行协议使用 2 个引脚：

- SWCLK：从主机到目标的时钟信号
- SWDIO：双向数据信号

协议允许读写 2 个寄存器组 (DPACC 和 APACC 寄存器组)。

数据位按 LSB 传输。

由于 SWDIO 为双向口，该引脚需有上拉 (建议使用 100K 电阻)。

按协议每次 SWDIO 方向改变时，需插入一个转换时间。在该期间内主机和目标都不驱动此信号线。转换时间的默认值是 1 个比特，但可以通过配置 SWCLK 频率来调节。

19.4.2 SW 协议序列

每个序列由 3 个阶段组成：

- 主机发送包请求 (8 位)
- 目标发送确认相应 (3 位)
- 主机或目标发送数据 (33 位)

表 325. 请求包 (8 比特位)

比特位	名称	描述
0	起始	必须为 1
1	APnDP	0: 访问 DP 1: 访问 AP
2	RnW	0: 写请求 1: 读请求
4 : 3	A[3 : 2]	DP 或 AP 寄存器的地址
5	Parity	前面比特位的校验位
6	Stop	0
7	Park	不能由主机驱动, 由于有上拉, 目标永远读为 1

有关 DPACC 和 APACC 寄存器描述的详细资料, 请参考 CPU 技术参考手册。

包请求后总是跟一个 (缺省为 1 位) 转换时间, 此时主机和目标都不驱动线路。

表 326. 请求包 (3 比特位)

比特位	名称	描述
0 .. 2	ACK	001: 失败 010: 等待 100: 成功

当 ACK 为失败或等待, 或者是一个回复读操作的 ACK, 此 ACK 后有一个转换时间。

表 327. 请求包 (33 比特位)

比特位	名称	描述
0 .. 31	WDATA/RDATA	写或读的数据
32	Parity	32 位数据的奇偶校验位

读操作的数据传输操作后有一个转换时间。

19.4.3 SW-DP 状态机 (Reset, idle states, ID code)

SW-DP 状态机有一个内部 ID 编码用来识别 SW-DP, 它遵守 JEP-106 标准。

在调试器读这个 ID 编码之前, SW-DP 的状态机是不工作的。

- SW-DP 状态机将处于 RESET 状态, 在上电复位后, 或 DP 切换到 SWD 后, 或有超过 50 个周期的高电平。
- 当状态机处于 RESET 状态时, 如果有至少 2 个周期的低电平, 状态机将切换到 IDLE 状态。
- 当状态机处于 RESET 状态后, 必须首先进入 IDLE 状态, 并执行一个读 DP-SW ID 寄存器的操作。否则, 调试器在执行其他传输时, 只能获得一个失败的 ACK 响应。

19.4.4 DP 和 AP 读/写访问

- 对 DP 的读操作没有传递性: 调试器将直接获得数据 (如果 ACK = 成功), 或者等待 (如果 ACK = 等待)。

- 对 AP 的读操作具有传递性。这意味着前一次读操作的结果只能在下一次操作时获得。如果下一次的操作不是对 AP 的访问，则必须读 DP-RDBUFF 寄存器来获得上一次读操作的结果。
- DP-CTRL/STAT 寄存器的 READOK 标志位会在每次 AP 读操作和 RDBUFF 读操作后更新，以通知调试器 AP 的读操作是否成功。
- SW-DP 具有写缓冲区 (DP 和 AP 都有写缓冲)，这使得其他传输在进行时，仍然可以接受写操作。如果写缓冲区满，调试器将获得一个等待的 ACK 响应。读 IDCODE 寄存器，读 CTRL/STAT 寄存器和写 ABORT 寄存器操作在写缓冲区满时仍被接受。
- 由于 SWCLK 和 HCLK 的异步性，需要在写操作后 (在奇偶校验位后) 插入 2 个额外的 SWCLK 周期，以确保内部写操作正确完成。这两个额外的时钟周期需要在线路为低时插入 (IDLE 状态下)。这个操作步骤在写 CTRL/STAT 寄存器以提出一个上电请求时尤其重要，否则下一个操作 (在内核上电后才有效的操作) 会立即执行，这将导致失败。

19.4.5 SW-DP 寄存器

当 APnDP=0 时，可以访问以下这些寄存器。

A[3: 2]	读/写	SELECT 寄存器的 CTRLSEL 位	寄存器	描述
00	读		IDCODE	固定为 0x1BA0 1477(用于识别 SW-DP)。
00	写		ABORT	
01	读/写	0	DP-CTRL /STAT	请求一个系统或调试的上电操作； 配置 AP 访问的操作模式； 控制比较，校验操作； 读取一些状态位 (溢出，上电响应)。
01	读/写	1	WIRE CONTROL	配置串行通信物理层协议 (如转换时间长度等)。
10	读		READ RESEND	允许从一个错误的调试传输中恢复数据而不用重复最初的 AP 传输。
10	写		SELECT	选择当前的访问端口和有效的 4 字长寄存器窗口。
11	读/写		READ BUFFER	由于 AP 的访问具有传递性 (当前 AP 读操作的结果会在下次 AP 传输时传出)，因此这个寄存器非常必要。这个寄存器会从 AP 捕获上一次读操作的数据结果，因此可以获得数据而不必再启动一个新的 AP 传输。

19.4.6 SW-AP 寄存器

当 APnDP=1 时，可以访问

AP 寄存器的访问地址由以下两部分组成：

- A[3: 2] 的值
- DP SELECT 寄存器的当前值

19.5 MCU 调试模块 (MCUDBG)

MCU 调试模块协助调试器提供以下功能：

- 低功耗模式
- 在断点时提供定时器，看门狗的时钟控制
- 对跟踪脚分配的控制

19.5.1 低功耗模式的调试支持

使用 WFI 和 WFE 可以进入低功耗模式。MCU 支持多种低功耗模式，分别可以关闭 CPU 时钟，或降低 CPU 的能耗。内核不允许在调试期间关闭 FCLK 或 HCLK。这些时钟对于调试操作是必要的，因此在调试期间，它们必须工作。MCU 使用一种特殊的方式，允许用户在低功耗模式下调试代码。

为实现这一功能，调试器必须先设置一些配置寄存器来改变低功耗模式的特性。

- 在睡眠模式下，调试器必须先置位 DBGMCU_CR 寄存器的 DBG_SLEEP 位。这将为 HCLK 提供与 FCLK(由代码配置的系统时钟) 相同的时钟。
- 停机模式下，调试器必须先置位 DBG_STOP 位。这将激活内部振荡器，在停机模式下为 FCLK 和 HCLK 提供时钟。

19.5.2 调试 MCU 配置寄存器

此寄存器允许在调试状态下配置 MCU。包括：

- 支持低功耗模式
- 支持定时器和看门狗的计数器
- 分配跟踪引脚

DBGMCU_CR 寄存器被映射到外部 APB 总线，基地址为 0x4001 3404。寄存器由 PORESET 异步复位 (不被系统复位所复位)。当内核处于复位状态下时，调试器可写该寄存器。

如果调试器不支持这些特性，用户软件仍可写这些寄存器。

19.6 DBG 寄存器描述

表 331. DBG 寄存器概览

Offset	Acronym	Register Name	Reset	Section
0x00	DBG	DBG 控制寄存器	0x00000000	小节 19.6.1

19.6.1 DBG 控制寄存器 (DBG_CR)

POR 复位：0x0000 0000(不被系统复位所复位)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													DBG_TIM14_STOP	Reserved	
													W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		DBG_TIM3_STOP	Res.	DBG_TIM1_STOP	DBG_WWDG_STOP	DBG_IWDG_STOP	Reserved					DBG_STOP_FOR_LDO	DBG_STANDBY	DBG_STOP	DBG_SLEEP
		W		W	W	W						W	W	W	W

Bit	Field	Type	Reset	Description
31:19	Reserved			始终读为 0。
18	DBG_TIM14_STOP	w	0x00	当内核进入调试状态时计数器 14 停止工作 (TIM14 counter stopped when core is halted) 0: 选中定时器的计数器仍然正常工作 1: 选中定时器的计数器停止工作
17:13	Reserved			始终读为 0。
12	DBG_TIM3_STOP	w	0x00	当内核进入调试状态时计数器 3 停止工作 (TIM3 counter stopped when core is halted) 0: 选中定时器的计数器仍然正常工作 1: 选中定时器的计数器停止工作
11	Reserved			始终读为 0。
10	DBG_TIM1_STOP	w	0x00	当内核进入调试状态时计数器 1 停止工作 (TIM1 counter stopped when core is halted) 0: 选中定时器的计数器仍然正常工作 1: 选中定时器的计数器停止工作
9	DBG_WWDG_STOP	w	0x00	当内核进入调试状态时调试窗口看门狗停止工作 (Debug window watchdog stopped when core is halted) 0: 窗口看门狗计数器仍然正常工作 1: 窗口看门狗计数器停止工作
8	DBG_IWDG_STOP	w	0x00	当内核进入调试状态时看门狗停止工作 (Debug independent watchdog stopped when core is halted) 0: 看门狗计数器仍然正常工作 1: 看门狗计数器停止工作
7:4	Reserved			始终读为 0。
3	DBG_STOP_FOR_LDO	w	0x00	调试停机模式 (Debug Stop mode) STOP LDO

Bit	Field	Type	Reset	Description
2	DBG_STAN DBY	w	0x00	调试待机模式 (Debug Standby mode) 0: (FCLK 关, HCLK 关) 整个数字电路部分都断电。从软件的观点看, 退出 STANDBY 模式与复位是一样的 (除了一些状态位指示了微控制器刚从 STANDBY 状态退出) 1: (FCLK 关, HCLK 关) 数字电路部分不下电, FCLK 和 HCLK 时钟由内部 RL 振荡器提供时钟。另外, 微控制器通过产生系统复位来退出 STANDBY 模式和复位是一样的。
1	DBG_STOP	w	0x00	调试停机模式 (Debug Stop mode) 0:(FCLK 关, HCLK 关) 在停机模式时, 时钟控制器禁止一切时钟 (包括 HCLK 和 FCLK)。如果 HSI 时钟 4 分频后作为 PLL 输入时钟, 当从 STOP 模式退出时, 时钟配置与复位之后的配置一致, 软件不需要重新配置时钟控制系统。如果 HSE 时钟作为 PLL 输入时钟, 当从 STOP 模式退出时, 软件必须重新配置时钟控制系统。 1:(FCLK 关, HCLK 关) 在停机模式时, FCLK 和 HCLK 时钟都由内部振荡器提供。当退出停机模式时, 软件必须重新配置时钟控制系统。
0	DBG_SLEEP	w	0x00	调试睡眠模式 (Debug Sleep mode) 0: (FCLK 关, HCLK 关) 在睡眠模式时, FCLK 由原先已配置好的系统时钟提供, HCLK 则关闭。由于睡眠模式不会复位已配置好的时钟系统, 因此从睡眠模式退出时, 软件不需要重新配置时钟系统。 1: (FCLK 开, HCLK 开) 在睡眠模式时, FCLK 和 HCLK 时钟都由原先配置好的系统时钟提供。

20 修改记录

修改记录

表 333. 修改记录

日期	版本	内容
2022/01/25	Rev1.03	删除 BOOT0 描述
2021/11/23	Rev1.02	1. 时钟配置寄存器 00x、011 和 111 描述保持一致 2. APB1 外设复位寄存器中 DBGMCU 描述进行修改 3. APB1 外设时钟使能寄存器中 DBGMCU 描述进行修改 4. 系统配置寄存器中 0 位 type 值进行修改
2020/08/26	Rev1.01	1. 复位和时钟控制章节 SYSTICK 预分频系数 2. PWR 的 CR 寄存器添加 STDBY_FS_WK 3. 增加 Flash 选项字描述 4.ADC 框图移除温度传感器通道
2020/08/12	Rev1.00	初版